



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERIA
DIVISION DE ESTUDIOS DE POSGRADO

CONTROL ELECTRONICO DE UN ARREGLO DE FASE BASADO EN
ELEMENTOS ESPIRAFASE ACTUADOS CON MINIMOTORES

TESIS

PARA OBTENER EL GRADO DE:

MAESTRO EN INGENIERIA
(ELECTRICA)

PRESENTA:
RICARDO MOTA MARZANO

DIRECTOR DE TESIS:
DR. JOSE ISMAEL MARTINEZ LOPEZ



CIUDAD UNIVERSITARIA,

2009

JURADO ASIGNADO:

Presidente: DR. OLEKSANDR MARTYNYUK

Secretario: DR. PABLO R. PÉREZ ALCAZAR

Vocal: DR. JOSÉ ISMAEL MARTÍNEZ LÓPEZ

1^{er} Suplente: DR. JUAN ARNALDO HERNÁNDEZ CORDERO

2^{do} Suplente: DR. JORGE RODRÍGUEZ CUEVAS

ÍNDICE

	Página
Introducción.	1
1. Antecedentes del proyecto.	5
1.1 Introducción.	5
1.2 Estado del arte sobre antenas de arreglos de fase.	7
1.3 Características de los elementos que constituyen un módulo de antena reflectiva basada en anillos metálicos.	9
1.3.1 El elemento reflectivo.	9
1.3.2 La pantalla metálica.	11
1.3.3 El minimotor.	12
1.4 Delimitación del proyecto.	15
Bibliografía.	17
2. Desarrollo.	19
2.1 Introducción.	19
2.2 Análisis en niveles de abstracción para el diseño del sistema.	19
2.3 Arquitectura de los elementos del sistema.	35
2.4 Interfaz gráfica de control por computadora.	36
Bibliografía.	41
3. Implementación de la electrónica de control.	43
3.1 Introducción.	43
3.2 Interfaz electrónica de comunicación.	43
3.3 Circuito de Control del módulo de antena.	50
3.3.1 Procesamiento de Datos.	50
3.3.2 Selección del Dispositivo Lógico Programable a utilizar.	57
3.3.3 Simulación de operación del circuito de control.	59
3.3.4 Arquitectura electrónica a sintetizar en el PLD.	62
3.4 La etapa de potencia para el minimotor.	64
3.5 Detección de posición angular Inicial.	67
Bibliografía.	69
4. Programación de la Interfaz de control.	71
4.1 Introducción.	71
4.2 Funciones o rutinas principales del programa.	71
5. Pruebas, Resultados y Conclusiones.	79
5.1 Introducción.	79
5.2 Pruebas y Resultados.	80
5.3 Conclusiones.	90
Apéndice.	
Especificaciones técnicas de componentes.	93

Introducción.

Una antena del tipo “arreglo reflectivo” (*reflectarray*) consiste básicamente en un alimentador primario que ilumina a un reflector, generalmente plano, formado por un arreglo periódico de elementos radiadores, con desplazadores de fase integrados (celdas periódicas), permitiendo reflejar un campo electromagnético con distribución de fase progresiva para direccionar el haz en una determinada trayectoria. Este concepto de antenas no es nuevo y fue sugerido por primera vez en los años 1960's, utilizando guías de onda como elementos de reflexión del campo electromagnético incidente (Berry, 1963). Debido al tipo de tecnología utilizado inicialmente, estas antenas presentaban el inconveniente de tener peso y volumen considerables.

Con la evolución de la tecnología de antenas impresas, los elementos que componen el arreglo de la superficie reflectora se han implementado mediante una o más capas de parches conductores “microcinta” sobre un sustrato dieléctrico que se obtienen por litografía. El cambio de fase necesario en cada elemento del arreglo se consigue variando algún parámetro geométrico. Las antenas *reflectarray* impresas combinan las características principales de los arreglos planos y los reflectores parabólicos. El alimentador primario es una antena de tipo bocina y generalmente está alejado lo suficiente del reflector de manera que la onda incidente pueda considerarse localmente como una onda plana. Además, con el fin de disminuir el bloqueo producido por el propio alimentador, suele utilizarse una configuración tipo *offset*. De igual forma que en los reflectores parabólicos, se presentan pérdidas debidas al efecto de desbordamiento o *spillover* y a la no uniformidad de la intensidad de campo en la superficie del reflector.

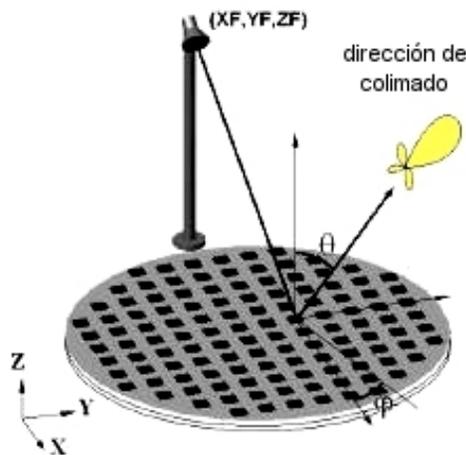


Figura 1. Antena de Arreglos de Fase Reflectivos.

La superficie reflectora está formada por un conjunto de celdas periódicas con elementos radiadores que constituyen un arreglo, dispuesto en una retícula (figura 1). Dichos elementos son metalizaciones fotograbadas sobre un dieléctrico y pueden apilarse en capas. Además, se incluye un plano de tierra en la parte inferior para evitar radiación hacia atrás de la antena.

La onda plana incidente se refleja en cada elemento radiante que introduce además el desfase apropiado. El desfase normalmente se ajusta en cada celda periódica para producir un haz orientado hacia la dirección (θ, ϕ) deseada, lo que equivale a un campo reflejado con fase progresiva. Se han desarrollado distintas versiones de elementos con mecanismos de cambio de fase *reflectarrays*, incluyendo parches con línea de longitud variable (Huang, 1995), parches con ángulo de rotación secuencial (Huang, 1998), parches de tamaño variable (Encinar, 2001), aperturas de longitud variable sobre plano de tierra (Chaharmir, 2003), dipolos con longitud variable acoplados por apertura (Carrasco, 2004), resonadores de anillos metálicos con cargas reactivas (Martynyuk, 2004), entre otras configuraciones.

Precisamente este último caso es el que nos ocupa. Aquí se aplicará el diseño de un elemento reflectivo de tipo *espirafase*, basado en diafragmas con anillos de metal depositado en un sustrato dieléctrico teniendo elementos reactivos a 90° , el cual es el elemento de la antena que provocará el cambio de fase requerido para introducir una distribución de fase lineal a través de los elementos de antena.

Para poder provocar el efecto mencionado, es necesario que los elementos reflectivos cambien de posición angular, es decir, roten. En consecuencia, se requiere establecer un sistema de control de minimotores de pasos, a los cuales se encuentran acoplados los elementos reflectivos, y de esta forma causar el movimiento angular deseado en ellos. Esto implica una serie de consideraciones o problemática a resolver, mencionando en primer lugar aquellas que se refieren a la forma en que se precisa el movimiento de cada elemento *espirafase*, para después considerar que un conjunto de estos elementos constituyen un módulo de antena y finalmente analizar el comportamiento entre módulos de antena. Al respecto se enuncian las siguientes características y necesidades:

- Cada módulo puede estar constituido de siete o nueve elementos.
- Cada elemento reflectivo requiere establecer su posición (movimiento angular) independientemente a la del resto de los elementos en el módulo.
- La antena estará constituida por varios módulos.
- Las posiciones de los elementos reflectivos en cada módulo son independientes al resto de los módulos.

- La respuesta de todos los módulos que conforman la antena debe obtenerse en tiempo corto.

Por lo tanto, para dar solución a la problemática planteada y así propiciar la continuidad necesaria al desarrollo de la investigación sobre antenas de arreglos de fase reflectivas, basadas en diafragmas con anillos de metal, el presente trabajo de tesis plantea el siguiente objetivo.

“Diseño del sistema de control electrónico de una antena de arreglos de fase formada por módulos con elementos reflectivos, basados en anillos de metal, estableciendo procesos paralelos de control, sintetizados en tecnología de Dispositivos Lógicos Programables”

El desarrollo y solución planteada en el presente trabajo se expone en los siguientes cinco capítulos de la siguiente forma.

En el primer capítulo se abordan las características técnicas del elemento reflectivo, el módulo hexagonal y el minimotor de pasos, que en conjunto son considerados los componentes a partir de los cuáles se da continuación a la investigación sobre antenas de arreglos de fase basada en elementos *espirafase*. Se analizarán las necesidades de control de los siete minimotores que constituyen un módulo hexagonal y se establecerán los alcances del trabajo.

En el segundo capítulo se muestra el análisis efectuado basado en la aplicación de la metodología descendente, estableciendo los diferentes niveles de abstracción alcanzados hasta llegar a aquel nivel que nos permita determinar las características necesarias de los dispositivos electrónicos en los que se sintetice la arquitectura final. Asimismo, se esbozan las características del programa de computadora que constituya la interfaz por medio de la cual el usuario interactúe con la electrónica de control para establecer el posicionamiento de los elementos de un módulo de antena.

En el tercer capítulo, basándose en los resultados del capítulo anterior, se diseñan y sintetizan las tarjetas electrónicas que cumplan con los requerimientos establecidos, y que van desde características dimensionales, pasando por compatibilidad de protocolo de comunicación, procesamiento en paralelo y especificaciones eléctricas en general.

En el cuarto capítulo se aborda el diseño y programación final de la interfaz de usuario que explote las características de control sintetizadas en los dispositivos electrónicos. En los capítulos dos, tres y cuatro, se hace hincapié en obtener un sistema que posibilite el crecimiento o corrección del mismo al menor costo o cambio físico posible incluyendo a la programación de la interfaz de usuario.

En el quinto capítulo se presentan los resultados obtenidos de la puesta en operación del prototipo desarrollado, así como las conclusiones correspondientes a la totalidad del trabajo realizado. Al tratarse en general de un proyecto de investigación, se espera haber obtenido un producto que propicie derivaciones significativas para la continuación y refinamiento de la investigación sobre antenas, y en específico sobre el tipo de antena con elementos reflectivos denominados *espirafase*.

Por último se incluye un apéndice en donde se exponen las especificaciones técnicas de los dispositivos considerados más importantes dentro del sistema desarrollado.

1 Antecedentes del proyecto.

1.1 Introducción.

En las últimas cinco décadas, los radares basados en antenas de arreglos de fase han visto notables avances y una amplia proliferación en todo el mundo. La enumeración y especificación de las características de los sistemas de radar existentes actualmente es en extremo abundante. En 1957 sólo existían unos pocos radares, de tal forma que artículos publicados como el de John Allen [1] en 1962, "Radares de matriz: Un estudio acerca de su potencial y sus limitaciones", sólo mostraba la experiencia con el radar de banda L orientable electrónicamente (ESAR), que a su vez fue el precursor del FPS-85, el primer gran radar de arreglos de fase que fue construido en los 1960's en la base de la fuerza aérea Eglin, Florida.

Otros grandes radares se han construido desde entonces, pero el FPS-85 sigue siendo el principal radar de vigilancia espacial, debido a su inigualable potencia y cobertura, pero aunque valioso, sufre de la obsolescencia tecnológica, ya que por ejemplo, el mantenimiento diario del sistema de control, en sitio, de un promedio de 17 unidades transmisoras del radar, generan un gasto anual de 2 millones de dólares, cifra que se verá incrementada conforme disminuya el mercado de tubos al vacío (tecnología empleada en este sistema de radar). Esto ha motivado, en específico, para el FPS-85, el contratar compañías especializadas que mejoren la instalación de la emisora matriz del sistema lo que ha representado un costo aún mayor.

En general, para las antenas de arreglos de fase existentes actualmente, la necesidad de tener múltiples funciones de alto desempeño en aplicaciones de vigilancia simultánea, exploración, detección, seguimiento e identificación de objetivos o fuentes de señal, continúa estimulando la investigación, diseño y desarrollo de la tecnología de antenas de arreglos de fase a nivel mundial debido a sus características.

Dentro de las principales características de este tipo de antenas podemos mencionar las siguientes [2] [3]:

- La exploración electrónica del espacio en un amplio sector de ángulos.
- La conformación de patrones de radiación de morfología específica, regulando las amplitudes y las fases de la excitación de los radiadores individuales.

- La adición coherente de las potencias de muchos generadores en un haz para obtener una potencia de radiación más alta.
- La adición *cofásica* de señales para obtener una superficie de recepción efectiva y muy grande.
- La obtención más completa de la información de las ondas electromagnéticas que llegan a la antena debido a la aplicación de métodos de procesamiento paralelo de las señales recibidas por los elementos individuales del arreglo.
- La alta confiabilidad del sistema debido a la acción paralela de muchos elementos.
- El control de la superficie reflectora de distintos objetos.
- La posibilidad de buscar, detectar, seguir e identificar uno o varios objetivos móviles de forma simultánea.

Estas características expresan directamente las ventajas que ofrecen las antenas de arreglos de fase, pero también existen desventajas que actualmente se están tratando de superar. Algunas desventajas son: el alto costo de los arreglos, el reducido ancho de banda del elemento radiante, la aparición de máximos secundarios parásitos o lóbulos de difracción y las pérdidas de potencia a altas frecuencias.

Una de las brechas de investigación (de la cuál se desprende el presente trabajo), que abordan investigadores de nuestra Facultad de Ingeniería de la Universidad Nacional Autónoma de México, plantea la implementación de antenas de arreglos de fase formada por módulos con elementos reflectivos de tipo *espirafase* basados en anillos de metal [4] [5]. Por lo tanto, el presente trabajo pretende dar continuidad al desarrollo de dicha investigación.

1.2 Estado del arte sobre antenas de arreglos de fase.

Básicamente existen dos tipos de arreglos de fase: pasivos y activos (figura 1.1). Los arreglos pasivos utilizan un transmisor – receptor central, sin embargo la capacidad de desplazamiento de fase se encuentra en cada elemento radiante o subarreglo. En los arreglos activos la generación de alta potencia para transmitir y la amplificación de bajo ruido en la recepción están distribuidas en cada elemento, así como también el control de fase. Los arreglos activos tienen mayor capacidad y confiabilidad, pero no han recibido mucha atención hasta los últimos 15 años debido a su alta complejidad y costo. Por otra parte, el advenimiento de los circuitos integrados monolíticos de microondas (MMIC's), el ensamblaje automático de componentes de microondas, su relativo bajo costo y las técnicas de procesamiento digital de alta velocidad han llegado a ser las alternativas preferidas para varios de los sistemas modernos de radar [6].

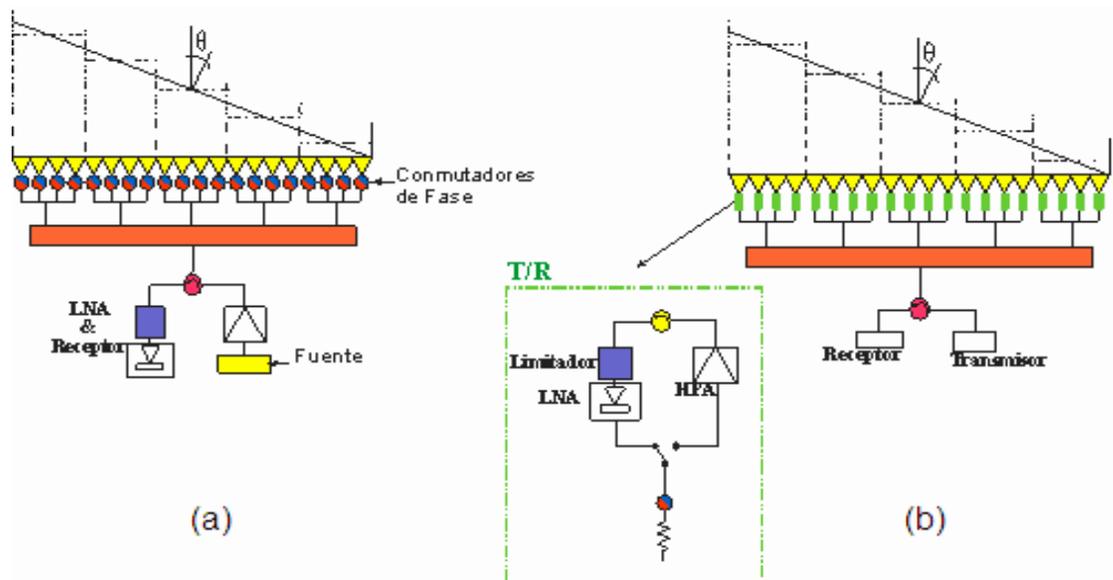


Fig. 1.1 Arreglos de fase (a) pasivos (b) activos.

La principal ventaja de un arreglo activo es que se incrementa la sensibilidad del sistema debido a que se puede establecer la figura de ruido del sistema así como la potencia de RF que es generada en la apertura, y en consecuencia los módulos transmisor – receptor proveen una flexibilidad completa en el control de la amplitud y fase tanto para transmitir como para recibir. Adicionalmente, las redes de alimentación no necesitan ser optimizadas para obtener bajas

pérdidas, permitiendo así la flexibilidad en el diseño y la posibilidad de minimizar tamaño y peso. Lamentablemente, estas mejoras representan una mayor complejidad y costo, que se multiplican al considerar la gran cantidad de elementos que requiere una antena.

Un tipo de antena de arreglos de fase, actualmente exitosa, es la antena de exploración renglón–columna, denominada RADANT, creada por el Laboratorio de Investigación Naval (NRL). La antena presenta un bajo costo para el control del arreglo en dos dimensiones. En la antena se utilizan dos arreglos de exploración. La NRL ha desarrollado dos técnicas de arreglo diferentes. En la primera de ellas una lente RADANT provee la exploración en elevación mientras que la segunda lente provee la exploración en el plano del azimut. El segundo arreglo de lentes RADANT consiste en placas conductoras paralelas horizontales y entre ellas son conectados varios diodos. La velocidad de propagación de la señal electromagnética que pasa a través de un par de las placas paralelas del arreglo depende del número de diodos que se encuentran encendidos o apagados en la dirección de la propagación. En consecuencia, se crea un gradiente de fase en la dirección horizontal y la segunda lente RADANT se encarga de direccionar el haz en el plano vertical. El segundo tipo de arreglo que han desarrollado utiliza lentes ferroeléctricas en lugar de diodos [8].

Hasta Enero de 2008, una de las opciones tecnológicas que ha cobrado mayor relevancia en el desarrollo de antenas de arreglos de fase, es la de los “Circuitos Integrados Monolíticos de Microonda” (MMIC), los cuales han hecho posible fabricar arreglos de barrido electrónico activo (AESA) que son ligeros, de volumen reducido, alta confiabilidad y bajo costo [7] [8].

Una lista de algunas de las tendencias tecnológicas actuales (incluyendo la de MMIC), empleadas en la fabricación de antenas de arreglos de fase de sistemas de radar comerciales son:

- GaAs MMIC
- GaN, SiC.
- SiGe, CMOS.
- MEMS.
- Formación de haz digital.
- MIMO.
- Arreglos adaptativos.
- Procesamiento adaptativo espacio-tiempo (STAP).
- Radares de arreglos de fase de estado sólido denominados “botella”.
- Software para el diseño de arreglos de fase.

A partir de esta lista podemos citar algunos sistemas desarrollados en el mundo, como el THAAD, COBRADANE, Flap Lid, Patriot, AEGIS, PAVE PAWS, SMARTELLO, Iridium, Globalstar, F-22, APARS, AMSAR, SAMPSON, AESA, FSX, BMS y Phalcon, desarrollados en Europa, Rusia, Estados Unidos, Japón e

Israel [7]. Otros más, como el PATRIOT, COBRA DANE, AEGIS, ARTHUR, están desarrollados con antenas de arreglos de fase pasivos; ERIEYE, PHALCON y el sistema de defensa contra misiles PAVE PAWS con arreglos de fase activos de estado sólido; Sistema celular satelital IRIDIUM, ASEA (sueco), FSX (japonés), COBRA, APAR, AMSAR, MESAR-2 y SAMPSON (británicos), MEADS, F-22, F-18, JSF, THAAD, SPY-3 (estadounidenses) e IRIDIUM con arreglos de fase activos en base a circuitos integrados monolíticos (MMIC) de estado sólido.

1.3 Características de los elementos que constituyen un módulo de antena reflectiva basada en anillos metálicos.

Se mencionan a continuación las características técnicas más importantes de los elementos básicos que constituyen un módulo hexagonal de antena reflectiva, los cuales previamente fueron desarrollados y sintetizados en el curso de la investigación para el desarrollo de antenas de arreglos de fase. El elemento reflectivo, la pantalla metálica hexagonal y el minimotor constituyen la base para el diseño del sistema de control electrónico.

1.3.1 El elemento reflectivo.

El elemento reflectivo, de tipo espirafase, basado en diafragmas con anillos de metal depositado en un sustrato dieléctrico y con elementos reactivos a 90° , elemento obtenido como resultado de un proyecto de investigación que se describe en la publicación [5], en donde se expone el uso de un arreglo de anillos metálicos reflectivos del tipo espirafase que tienen una estructura como la mostrada en la figura 1.2 con el cual se puede redireccionar una onda incidente de polarización circular en una trayectoria determinada por un ángulo de elevación de hasta 40° en una banda de frecuencia 2:1 con pérdidas de conversión menores a 1 dB.

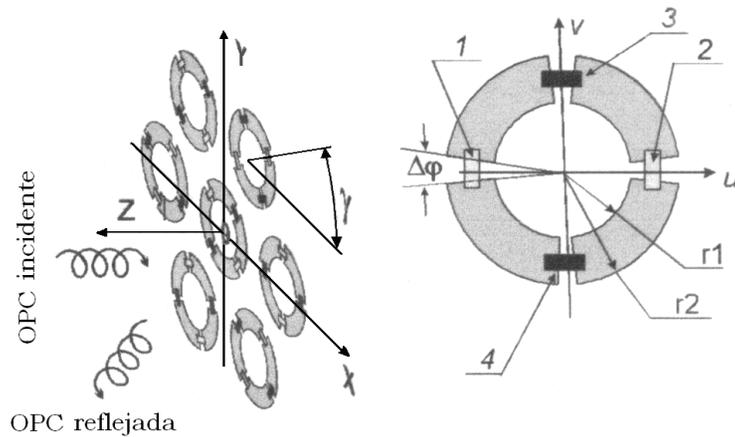


FIG. 1.2 El Elemento *Espirafase*.

Las características y dimensiones que presenta el elemento reflectivo de tipo *espirafase* son las siguientes:

- El sustrato es un material dieléctrico de $\epsilon_r = 3.38$.
- Su diámetro es de 9 mm y su grosor de 0.51 mm.
- Se imprimieron en el sustrato segmentos de anillo metálico con separaciones cada 90° .
- En dos de dichas separaciones se colocaron cargas reactivas (inductancias) hechas con hilo de oro que tiene un diámetro de $25 \mu\text{m}$ y una longitud de 1.4 mm.
- Los radios interior y exterior de los anillos son de 2.81 y 3.74 mm, respectivamente.
- El elemento reflectivo se encuentra unido en su centro a un eje de 14mm de longitud y 3 mm de diámetro. En el extremo contrario del eje, se tiene una perforación en su centro de un 1 mm de diámetro por medio del cuál se acopla al minimotor (figura 1.3).

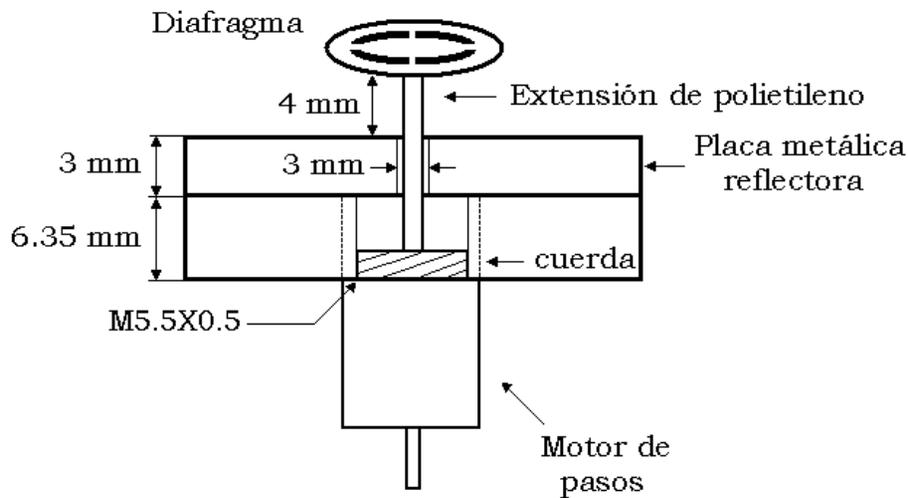


Fig. 1.3 Elemento reflectivo y complementos.

1.3.2 La pantalla metálica.

Los elementos reflectivos se complementan con una pantalla metálica situada en la parte posterior a ellos a una distancia de 4 mm. Debido a fines prácticos de maquilado, se disponen de dos pantallas metálicas hechas de material denominado “duraluminio” (figura 1.4):

- La primera pantalla persigue el propósito de aislar a los minimotores de la incidencia de la señal de microondas principalmente en la proximidad de la perforación hecha para el cruce de la extensión acoplada a los elementos reflectivos.
- La segunda pantalla, además de reforzar el aspecto anterior, permite el acoplamiento de los minimotores de forma roscada a ellos.

Las características dimensionales principales de las pantallas metálicas son las siguientes:

- La primera pantalla presenta una forma hexagonal de 31.3 mm por lado y 3 mm de espesor. Se disponen de siete perforaciones de 3 mm de diámetro distribuidas uniformemente en el área hexagonal.
- La segunda pantalla difiere de la anterior en cuanto a su grosor de 6.35 mm y del diámetro de cada una de las siete perforaciones que es de 5.5 mm.

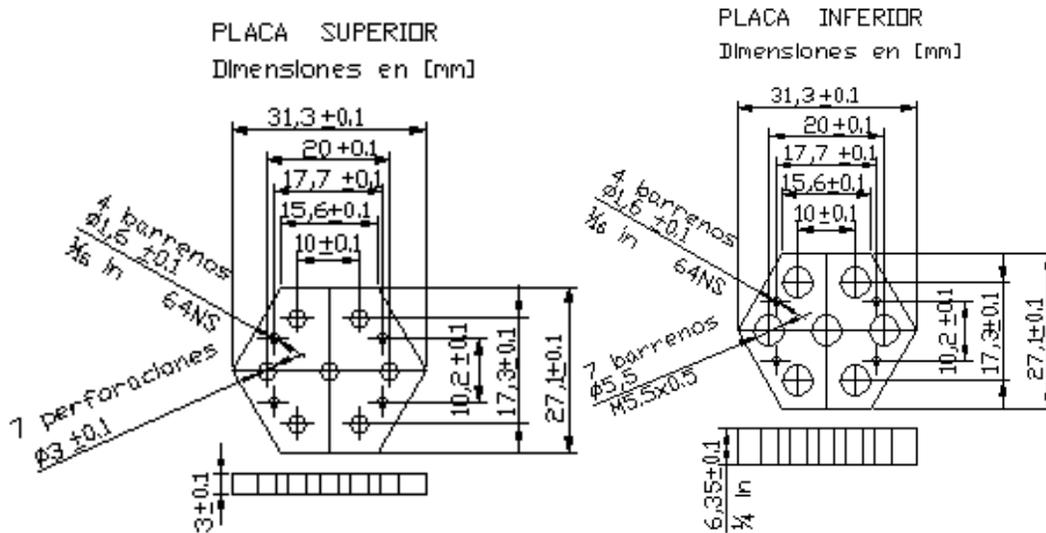


Fig. 1.4 Pantallas metálicas hexagonales.

1.3.3 El minimotor.

El minimotor seleccionado, producto de la investigación previa, es el modelo AM0820-A0.225-7, de la marca *Arsape*, cuyas características más importantes a tomar en cuenta para el presente trabajo son las siguientes:

- Motor “a pasos” de tipo bipolar.
- Una revolución equivale a 20 pasos “completos”.
- Se tiene la opción de 40 pasos codificando “a medio paso”.
- En el caso de 20 pasos por revolución, cada paso equivale a un desplazamiento de 18°.
- La corriente nominal de operación por fase es de 225 mA.
- La impedancia resistiva por fase es de 7.3 .
- Las opciones de polarización de las dos fases son como indica la figura 1.5.

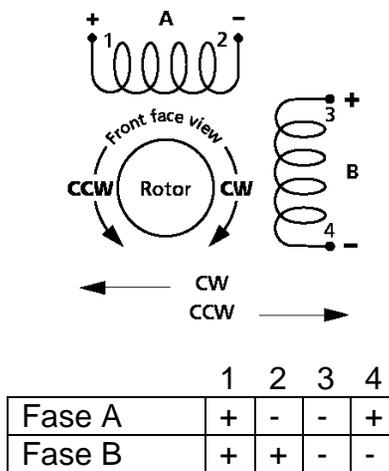
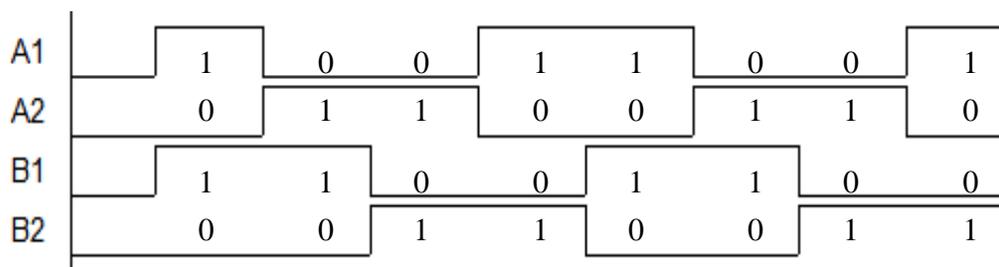


Fig. 1.5 Fases del motor.

Por lo que, por ejemplo, una secuencia de pulsos que genere movimiento en un sentido puede ser la mostrada en la figura 1.6.



A1	A2	B1	B2
1	0	1	0
0	1	1	0
0	1	0	1
1	0	0	1
1	0	1	0
...

Fig. 1.6 Ejemplo de secuencia de avance.

Continuando con las características

- La cara frontal circular del motor se encuentra “roscada” (macho), con una cuerda de M5.5 x 0.5 mm de paso. Por medio de esta rosca se empotra cada minimotor a la placa o pantalla metálica, es decir, siete minimotores por placa.
- En el eje del minimotor se acopla el elemento espirafase.
- En el extremo contrario del eje, se acopla un disco codificado para la detección de posición inicial del elemento espirafase.

En conjunto, el minimotor y los elementos anteriormente indicados se muestran en la figura 1.7.



Fig. 1.7 Minimotor y elementos complementarios.

Las especificaciones completas acerca del minimotor, proporcionadas por el fabricante, se muestran en el apéndice del presente trabajo.

1.4 Delimitación del proyecto.

Los antecedentes indicados y el análisis previo con el grupo de trabajo responsable del proyecto, son el punto de partida para establecer tanto la siguiente etapa a abordar en el desarrollo del sistema de antena, como también para establecer los alcances precisos del trabajo de tesis, los cuáles se resumen a continuación:

- Lograr que cada minimotor opere de forma independiente a los demás, es decir, el control de cada minimotor sea un proceso de ejecución paralela a los demás.
- Procurar que esa independencia de operación se extienda a cada módulo hexagonal que conforme la antena.
- Establecer una forma de comunicación que sea posible de implementar a partir de cualquier equipo de cómputo con características mínimas generales correspondientes a una plataforma Intel Pentium IV o mayor y compatible al menos con sistema operativo Windows XP.
- La interfaz de *software* tendrá características tales que permitan al usuario interactuar con los elementos espirafase (su posicionamiento) a través de diferentes opciones de control establecidas de forma gráfica.
- Adicionalmente, el medio de comunicación establecido debe permitir la relativa facilidad de acoplar módulos hexagonales para el crecimiento ágil del área total de la antena, sin que ello represente costosas modificaciones o adaptaciones.
- Puesto que se espera someter al prototipo resultante a diversas pruebas, las cuales a su vez puedan dar como resultado la necesidad de modificar parámetros de operación, es necesario elegir aquella tecnología que mejor ofrezca la facilidad de reconfigurar aspectos de *hardware* al menor costo posible de rediseño (tiempo – costo).

Por lo tanto, el presente trabajo pretende obtener un prototipo que alcance a cubrir las necesidades establecidas de operación, conjuntando a los elementos mecánicos ya establecidos y los elementos electrónicos y herramienta *software* por determinar que integren una arquitectura eficiente, aprovechando de igual forma las modernas herramientas de diseño y las tecnologías actuales en cuanto a dispositivos electrónicos, procurando además en la mayor medida posible evitar la pronta obsolescencia de los elementos seleccionados que conformen la solución a la que se llegue.

Bibliografía:

- [1] J. Allen, "Array Radars: A Survey of Their Potential And Their Limitations", *Microwave Journal*, Mayo 1962, pp. 67-79.
- [2] J. I. Martínez López, "Análisis electrodinámico de arreglos de fase reflectivos basados en aperturas anulares", Tesis Doctoral, Febrero 2005, Capítulo 1.
- [3] G.T. Markov, D.M. Sazonov, "Energy", 1975, Traducción al español, "Antenas", Editorial Mir, Moscú, 1978.
- [4] A. E. Martynyuk, J. I. Martínez López, N. A. Martynyuk, "Spiraphase-Type Reflectarray Based on Loaded Ring Slot Resonators", *IEEE Transactions on Antennas and Propagation*, vol. 52, Enero 2004, pp. 142-143.
- [5] A. E. Martynyuk, J. I. Martínez López, J. Rodríguez Cuevas, Y. K. Sydoruk, "Wideband Reflective Array Based on Loaded Metal Rings," *Microwave Symposium Digest, 2005 IEEE MTT-S International*, Junio 2005, pp. 573-576.
- [6] D. Parker, and D.C. Zimmermann, "Phased Arrays - part I: Theory and Architectures," *IEEE Transactions on Microwave Theory Tech.*, vol. 50, no. 3, Marzo 2002, pp. 678-687.
- [7] E. Brookner, "Phased Arrays and Radars – Past, Present and Future", *Microwave Journal*, Enero 2006, Vol. 49 No. 1.
- [8] E. Brookner, "Now: Phased Array Radars: Past, Astounding Breakthroughs and Future Trends", *Microwave Journal*, Enero 2008, Vol 51 No. 1.

2 Desarrollo.

2.1 Introducción.

Para el desarrollo de las distintas etapas constitutivas del sistema, se aplicará la metodología de diseño “descendente” o *top-down*, por lo que se trabajará jerarquizando los diferentes niveles de abstracción, desde el más alto nivel hasta aquel nivel inferior que de acuerdo a la tecnología a emplear, permita obtener los parámetros de diseño necesarios para la síntesis de la arquitectura electrónica y el programa de computadora correspondiente.

2.2 Análisis en niveles de abstracción para el diseño del sistema.

Se aborda el problema aplicando metodología descendente [1], partiendo de la visualización del “todo” del problema y su interacción con los elementos de entrada y de salida finales, pasando posteriormente a establecer los diferentes elementos o módulos necesarios (y su interacción), y finalizando con el establecimiento de los procesos, dispositivos, o elementos en general que los constituyan.

- **Primer nivel de abstracción (visión global del sistema a diseñar).**

El punto de partida del análisis consistirá en la determinación del origen de los datos a procesar para establecer el movimiento deseado que posicione al elemento reflectivo.

En nuestro caso, y respondiendo al alcance establecido para el presente trabajo, se establece que un usuario proporcionará la posición global o particular de las diferentes antenas que constituyan el arreglo de fase, recordando que los dos módulos están constituidos por siete y nueve elementos *espirafase*, respectivamente. En el presente trabajo, se desarrollará el sistema de control correspondiente al módulo hexagonal (siete elementos de antena). Este primer nivel de abstracción lo podemos visualizar como lo muestra la figura 2.1.

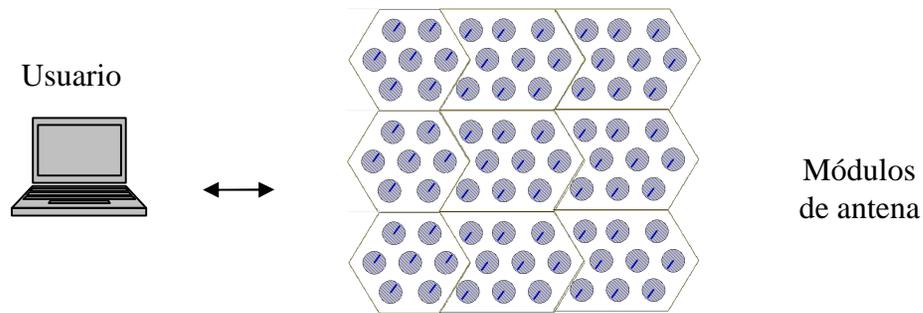


Fig. 2.1 Primer nivel de abstracción. Visualización simple del sistema.

Por lo tanto, en esta primera aproximación se desprende la necesidad de desarrollar un programa de computadora que sirva de interfaz para el usuario y que permita el envío de datos con la suficiente rapidez. La velocidad de respuesta quedará establecida con precisión al determinar los restantes elementos del sistema; sin embargo como primera aproximación se puede tomar como referencia la frecuencia de paso del minimotor, que como resultado de la investigación previa, tiene un valor de 20 Hz.

Analizando las características actuales en general de cualquier equipo de cómputo comercial, se observa que el tipo de puerto de comunicación más común es el denominado Bus Universal Serie (USB), los cuales sabemos que pueden trabajar en un rango de operación que va de 1.5 Mb/s hasta 480 Mb/s, a un voltaje de salida de 5 V y una corriente máxima de carga que va de 100 mA a 500 mA (dependiendo del tipo) [2].

Por lo tanto, las características del puerto USB son suficientes para las necesidades de velocidad de transmisión de datos (el peor caso es de 1.5 Mb/s comparado con los 20 Hz de frecuencia de paso del motor), de tal forma que queda establecido que éste será el tipo de puerto de comunicación de computadora a emplear (figura 2.2).

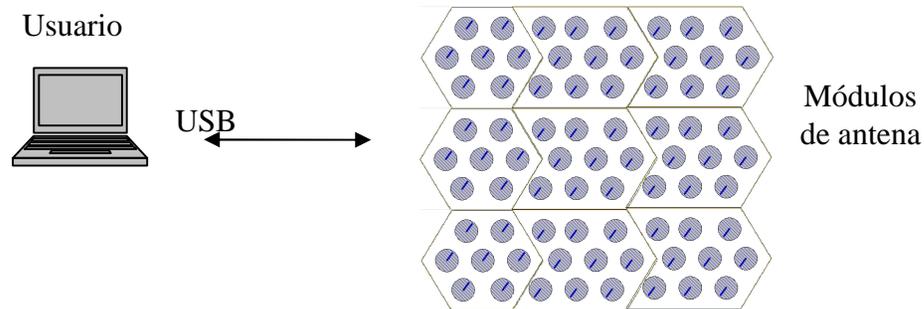


Fig. 2.2 Comunicación por puerto USB.

▪ **Segundo nivel de abstracción. Elementos principales y medio de comunicación.**

Se requiere establecer el medio de comunicación y sus características. En este punto es importante analizar ciertas características más a detalle ya que de ello se desprenderá el medio a emplear.

La cantidad de módulos hexagonales que se pueden establecer para un arreglo se pretende que sea de unas decenas, por lo que respecto a los elementos físicos de comunicación (cables ó líneas conductoras de datos) entre la computadora que nos sirve como interfaz de control y el arreglo de fase, puede ser bastante complejo y en consecuencia determina el análisis de alguna opción orientada a establecer un “bus” de datos y de control con la cantidad mínima de elementos constitutivos.

La velocidad de transmisión de datos está limitada a la frecuencia de paso de los minimotores, la cuál se especifica en un máximo de 20 Hz; por lo que un “bus” de datos que esté dentro del rango de “baja velocidad” sería suficiente, máxime si esa característica nos da como resultado un medio de comunicación con una cantidad mínima de conexiones. En general, las características que tomaremos en cuenta para la selección del medio de comunicación permitirán establecer sus ventajas, desventajas y parámetros generales.

Ventajas

- Pocos cables de interconexión.
- Componentes con encapsulado reducido.
- Tarjetas de circuito impreso de tamaño reducido.
- Conexión de dispositivos a distancia.

Inconvenientes

- Velocidad inferior a un bus paralelo.
- Disponibilidad de circuitos comerciales que soporten el bus.

Parámetros generales

- Número de hilos de conexión.
- Velocidad (bits/segundo).
- Distancia máxima y número de dispositivos.
- Protocolo de acceso al medio compartido.
- Política de direccionamiento.

En respuesta a lo anterior, para el presente trabajo se determinó el uso del *bus I2C (Inter Integrated Circuit)* por las siguientes razones.

El bus I2C (desarrollado por Philips a principios de los 1980's) está orientado para establecer la interconexión entre una CPU y dispositivos periféricos que en principio se encuentran clasificados dentro del tipo de electrónica de consumo. Se desarrolló con la idea de simplificar las conexiones entre los periféricos (pistas, decodificadores, multiplexores, etc) y aumentar en la medida de lo posible la inmunidad al ruido. En un principio su aplicación estaba destinada al control de sistemas de audio y vídeo (baja velocidad), sin embargo, actualmente se diseñan y fabrican una gran variedad de circuitos electrónicos basados en el protocolo I2C por parte de muchos fabricantes como son: Xicor, SGS-Thomson, Siemens, Intel, TI, Maxim, Atmel, Analog Devices, entre otros, existiendo más de mil dispositivos compatibles [3].

Esta característica nos permite garantizar la posible expansión de las características de operación del sistema de control electrónico del módulo de antena, ya que se pueden incorporar a los módulos desde dispositivos sensores de temperatura, acelerómetros o sensores de efecto *hall* por mencionar algunos; claro está que es una suposición de posibles elementos adicionales y que su utilización depende de las necesidades surgidas del avance en la investigación. Mientras tanto la posibilidad queda abierta.

Las aplicaciones que actualmente se tienen de él son en:

- Bus de interconexión entre dispositivos en una tarjeta o equipo.
- Sistema de configuración y supervisión en ordenadores servidores.
- Sistemas de gestión de alimentación.
- Conexión en serie de dispositivos externos a un ordenador.

Y las aplicaciones continúan expandiéndose a diferentes áreas debido en gran medida (y de acuerdo a lo que resaltan los fabricantes) a su baja complejidad de síntesis.

Obviamente existen otros tipos de *bus* que pueden cubrir o superar ciertas características del I2C, pero en nuestro caso la facilidad de su posible síntesis a la medida de nuestras necesidades y en un área reducida, son puntos que lo hacen destacar. Las características que explotaremos del *bus* I2C para nuestro caso son [4]:

- Bus de comunicación síncrono.
 - La comunicación es controlada por una señal de reloj común. Esta señal se genera en el dispositivo denominado “maestro I2C”, que para nuestro caso lo constituye la computadora personal, por lo que el control electrónico del módulo queda exento de generarla.

- Bus formado por 2 hilos.
 - SDA (**S**erial **DA**t*a* Line): datos.
 - SCL (**S**erial **CL**ock line): reloj.
 - También es necesaria una referencia común de tierra.
 - Por lo tanto, el medio de comunicación desde la PC hacia los módulos de control queda reducido a tres líneas físicas.

- Velocidad de transmisión (modos).
 - Estándar: hasta 100 Kbits/s.
 - Rápida: hasta 400 Kbits/s.
 - Alta velocidad: hasta 3.4 Mbits/s.
 - Hasta este punto, la velocidad estándar de transmisión se puede considerar como la que se empleará en nuestro caso y se determinará su capacidad en el avance del análisis.

- Cada dispositivo del bus tiene una dirección única. En consecuencia, podemos enviar información para distintos módulos de antena y en el mejor de los casos, información específica para procesarse en cada elemento de antena (*espirafase* acoplado a minimotor).

- Distancia y número de dispositivos.
 - Limitado por la capacidad del bus (inferior a 400pF). Normalmente 2 o 3 metros. Comparando con las distancias entre módulos de antena, que son de unos cuantos centímetros, la limitación no representa hasta el momento problema alguno.

- Protocolo de acceso al bus:
 - o Maestro – esclavo. Es decir, PC – módulo de antenna.
 - o I2C soporta protocolo multi - maestro. Esta característica plantea la posibilidad de que varias PC envíen información por medio del mismo *bus* a los circuitos de control de los módulos de antenna. Por el momento no se plantea la opción.

- Conexión al *bus*.
 - o Todos los dispositivos conectados a las mismas líneas. En consecuencia, se requieren conexiones relativamente simples para conectar los circuitos de control de módulo de antenna al *bus*.
 - o Las salidas deben ser en colector o drenaje abierto (figura 2.3). En este caso, se observa la ventaja de tener un aislamiento eléctrico entre el emisor (PC) y el receptor (control electrónico de módulo de antenna).

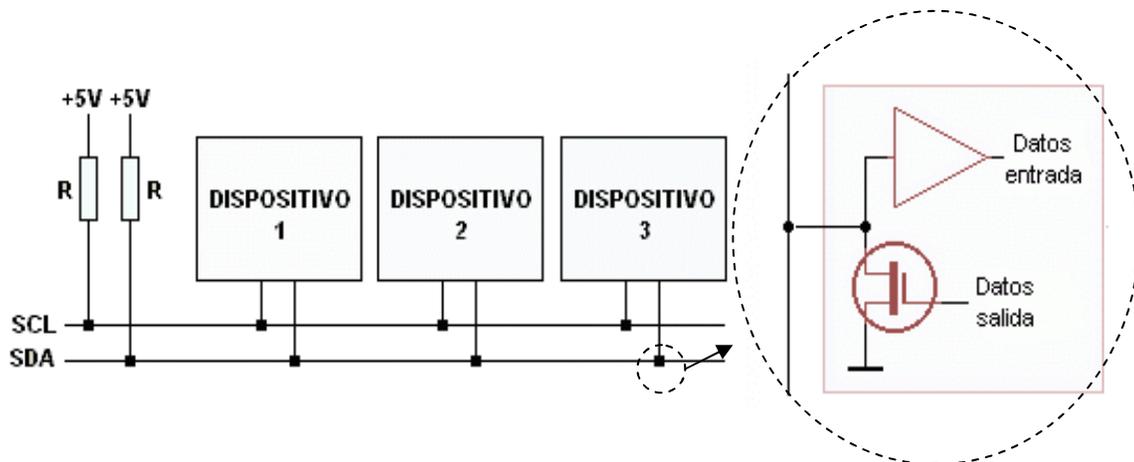
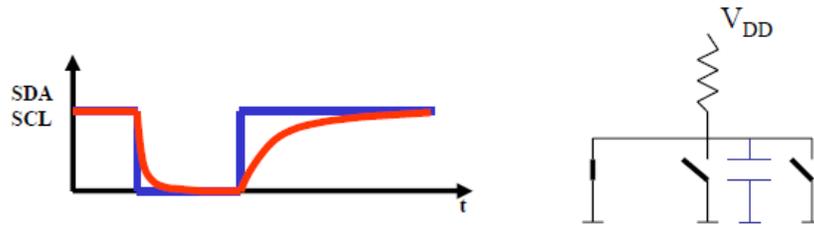
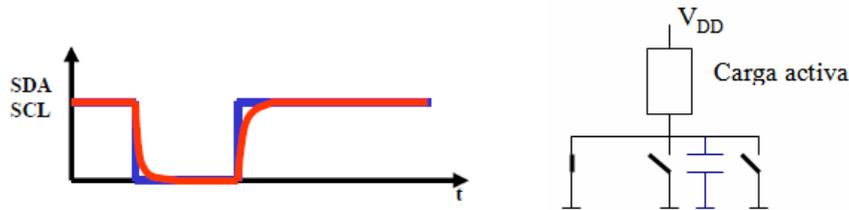


Fig. 2.3 Bus I2C.

De éste último punto, se observa el principal inconvenientes del bus I2C y que consiste en que la capacidad de la línea está limitada por la conexión de polarización positiva (*pull-up*), siendo el caso más crítico cuando se trata de un elemento pasivo como lo puede ser un simple resistor, pero por lo mismo, la mejor condición se encontrará sustituyéndolo por una carga activa (figura 2.4).



(a) Carga pasiva.



(b) carga activa

Fig. 2.4 Polarización del bus.

Para la cantidad de módulos de antena planteados hasta el momento, la polarización del *bus* mediante carga pasiva no representa ningún problema, y en caso de expansión en el número de módulos, tampoco representa problema el optar por polarización por carga activa, considerando además que solo se requiere de una etapa de polarización para todo el *bus*.

El protocolo de acceso al medio “maestro – esclavo” se comporta de la siguiente forma:

- El maestro controla la comunicación
 - Genera la señal de reloj del bus (SCL).
 - Inicia y termina la comunicación.
 - “Direcciona” a los esclavos.
 - Establece el sentido de la comunicación.
- El protocolo requiere que cada byte de información sea confirmado por el destinatario.

En la figura 2.5 se muestra gráficamente la mecánica del protocolo. En adelante se utilizará la siguiente terminología:

- Emisor: Dispositivo que envía datos al bus.
- Receptor: Dispositivo que recibe datos del bus.
- Maestro: Dispositivo que inicia una transferencia, genera las señales de

- reloj y termina la transferencia.
- Esclavo: Dispositivo direccionado por un maestro.

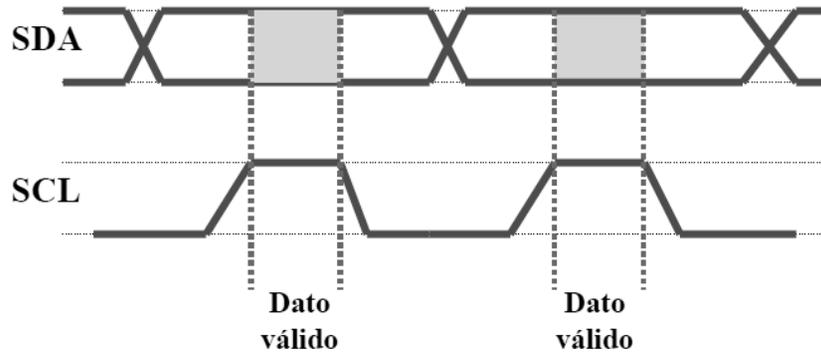


Fig. 2.5 Transmisión de bits.

Una vez establecido el tipo de bus y las características de operación que aprovecharemos de él, y considerando que dicho bus está conectado a través de una interfaz electrónica al puerto USB del equipo de cómputo que representará al “maestro” I2C (figura 2.6), podemos pasar a determinar las características específicas que se establecerán en nuestro caso.

Como ya se mencionó, la selección del puerto USB se hace con la finalidad de tener compatibilidad con los recientes modelos de equipos de cómputo, los cuales, en general, cuentan con este tipo de puerto de comunicación. El esquema que refleja el avance alcanzado hasta ahora se muestra en la siguiente figura.

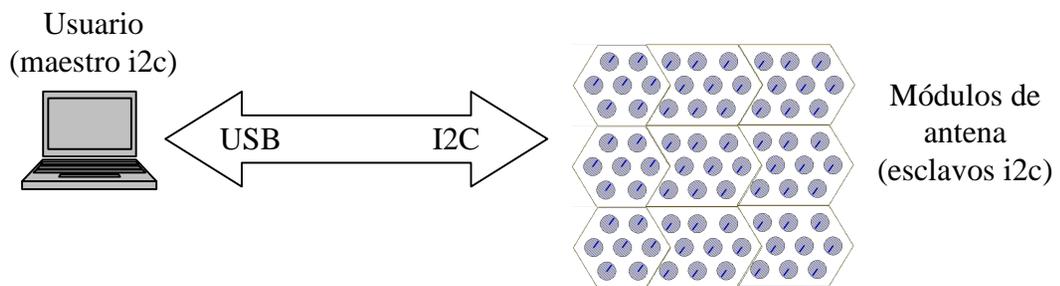


Fig. 2.6 Arquitectura “maestro” – “esclavo” I2C.

El estándar del *bus* I2C [4] establece que la capacidad normal de elementos conectados a él esta determinada por siete bits de direccionamiento, es decir, un máximo de 128 elementos diferentes a poder ser identificados. En consecuencia, la capacidad de módulos hexagonales de antena conectados al bus I2C en principio puede ser hasta de 128 módulos, y si consideramos que cada módulo hexagonal de antena contiene a siete minimotores, significa que podemos manipular un total de 896 elementos *espirafase* de antena, con el beneficio de poder extender las posibilidades del estándar a nuestra conveniencia de tal forma que manipulando la trama a enviar y reforzando la polarización del *bus*, lograr incrementar la capacidad de direccionar módulos y elementos de antena.

Obviamente, esto último excede la especificación estándar del I2C y los dispositivos comerciales que cumplen con él no permitirían este crecimiento, pero, de ser necesario, se debe dejar abierta la posibilidad de expandir o identificar un número mayor de elementos esclavos, salvando las limitantes de los circuitos comerciales. Este es un punto a considerar al abordar los siguientes niveles de abstracción.

Por otra parte, la frecuencia de envío de datos desde la PC hacia el módulo electrónico de control debe ser tal que pueda surtir de datos de posicionamiento más rápido que lo que tarde el minimotor en posicionarse, esto es, que se puedan enviar tramas de control para todos los minimotores contenidos en el módulo hexagonal antes de que se ejecute el movimiento de un paso en cualquiera de los motores.

Por lo tanto, considerando que el minimotor trabaja a frecuencia de paso de 20 Hz (50 ms por paso), entonces el envío de nuevos datos de posicionamiento para el resto de los minimotores debe ser menor a 50ms (figura 2.7).

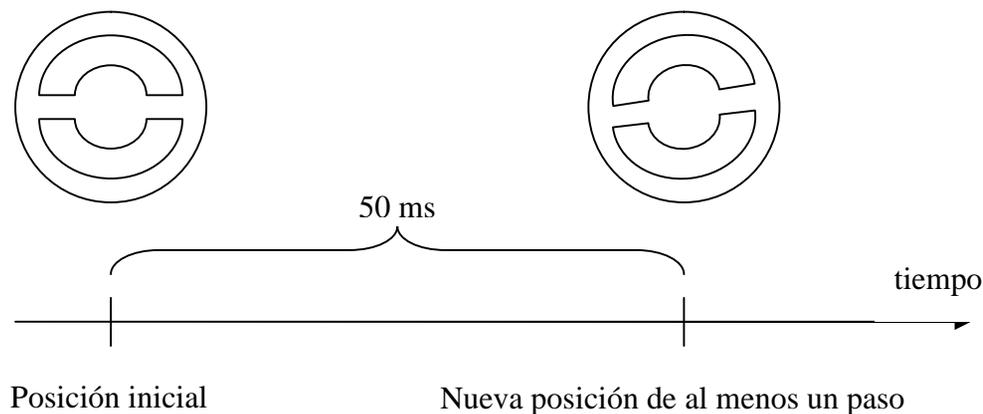


Fig. 2.7 Movimiento requerido en el motor.

Esto quiere decir que la frecuencia de envío de datos es relativamente baja.

Concluyendo que el subconjunto de elementos:

Computadora - Puerto USB - Interfaz I2C

constituye nuestro medio de comunicación e interfaz electrónica necesaria, en consecuencia a su selección quedan delimitadas las características de las señales (datos) que se pueden transmitir, por lo tanto corresponde analizar y establecer estas características que nos permitan especificar con precisión la trama de datos a manipular y enviar. El análisis es el siguiente:

- Para el presente trabajo delimitamos una capacidad máxima de elementos conectados al bus de 126 módulos hexagonales (reservamos dos direcciones para cualquier caso hasta este momento no visualizado).
- Precisando, en cuanto a la cantidad de elementos a controlar (126 módulos hexagonales) y la velocidad de transmisión de datos desde la PC, tenemos las siguientes características:
 1. La velocidad del bus I2C en modo estándar es de 100 Kb/s, en modo rápido es de 400 Kb/s y en modo de alta velocidad es de 3.4 Mb/s. La forma real de precisar la cantidad máxima de elementos a conectar al bus es respetando la limitante eléctrica de la capacitancia del bus (400 pf).
 2. En todo caso, el puerto USB permite trabajar a cualquiera de las velocidades anteriores (siempre y cuando cumpla con ser compatible al menos con el tipo 1.1 ó superior, cuya tasa de transferencia máxima es de hasta 12 Mb/s).
 3. Si establecemos que para nuestro caso las peores condiciones de envío de datos serían aquellas en las que se envíen diferentes datos, que correspondan al posicionamiento de cada elemento *espirafase* en un módulo hexagonal, y que en consecuencia se enviarían dato por dato, tenemos que:
 - a. Dirección de dispositivo esclavo I2C y bit de escritura (1 byte)
 - b. Proceso de control interno de motor destino.
 4. La trama básica para el envío de un dato hacia la electrónica de control de un módulo hexagonal de antena (escritura a dispositivo esclavo conectado al bus I2C) está constituida como sigue:
 - a. Dirección de dispositivo esclavo I2C y bit de escritura (1 byte)
 - b. Proceso de control interno de motor destino.

- o Si se tienen 7 minimotores por módulo, entonces se tienen 7 procesos paralelos de control interno.
 - o Se determina utilizar un byte en el que hasta el momento se explotan 3 bits y quedan 5 bits libres para futuras aplicaciones.
- c. Comando a ejecutar.
- o Se establece que para el presente trabajo se requiere en el mejor de los casos un control de lazo abierto ya que se conoce plenamente el tiempo que tarda en alcanzar un motor la posición indicada, por lo que los comandos a considerar son:
 1. Ejecución inmediata de posicionamiento de motor.
 2. Captura de, solo el dato de posicionamiento, sin realizar movimiento alguno (pre-carga).
 3. Ejecuta posicionamiento de dato previamente almacenado.
 - o En consecuencia se requieren al menos 3 bits.
- d. Dato de posición a alcanzar.
- o El dato a enviar consiste en alguna de las posiciones angulares establecidas (10 posiciones), por lo que solo se requiere un máximo de 4 bits.
 - o Si concatenamos el “Comando a ejecutar” del inciso anterior, con el “Dato” a enviar del presente inciso, tenemos una necesidad de al menos 1 byte.
- e. Se espera un bit entre Bytes anteriores como respuesta de reconocimiento de recepción de tramas y como parte de la especificación del estándar I2C.
5. La longitud de la trama, por lo tanto, es de tres bytes más los bits de reconocimiento y queda conformada de la siguiente forma (figura 2.8):

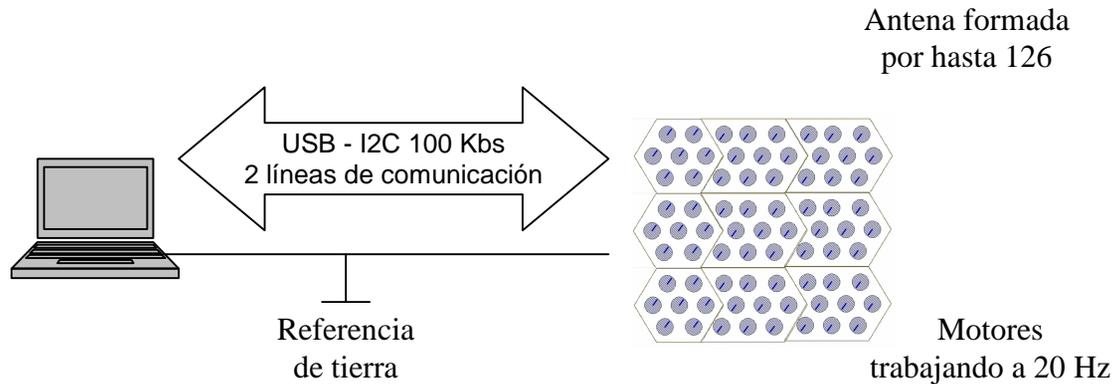
1 Byte	1 bit	1 Byte	1 bit	1 Byte	1 bit
Dirección de esclavo y bit de escritura	<i>Ack</i>	Identificador de módulo de control interno de motor	<i>Ack</i>	Comando a ejecutar & Dato de posicionamiento	<i>Ack</i>

Fig. 2.8 Arquitectura de la trama de datos.

- Sin considerar el tiempo que se lleva cada motor en establecer su reposicionamiento, podemos calcular teóricamente el tiempo necesario para el envío de un comando de escritura y el dato correspondiente de posicionamiento hacia algún elemento esclavo (un módulo de antena) trabajando a una frecuencia de modo estándar I2C (el modo más lento de transmisión). Dicho comando representaría el envío total de 27 bits, y puesto que estamos transmitiendo a 100 Kb/s (10 μ s por bit) eso nos da como resultado un total de 270 μ s para el envío total de la trama.
- Si consideramos que cada módulo tiene 7 motores, se requieren por lo tanto 1.89 ms para enviar la totalidad de datos de movimientos para todos los motores que conforman el módulo.
- Y si finalmente tomamos en cuenta el máximo número de módulos considerados hasta ahora (126), tenemos que el tiempo total para el envío de datos a todas las antenas sería de 238.14 ms.
- Partiendo de que cada paso efectuado en un motor tiene una duración de 50 ms, obtenemos que para cuando se hayan enviado todos los datos de posicionamiento hacia todos los módulos de antena (126), el primer minimotor (elemento de módulo de antena) pudo haber generado prácticamente hasta cinco movimientos (pasos) consecutivos hasta ese instante de tiempo, por lo que la operación relativa al conjunto de módulos no sería considerado el ejecutarse de forma paralela.
- Puesto que el prototipo a obtener requiere el controlar solo un módulo hexagonal, es obvio que la velocidad más baja de transmisión de datos que permite un *bus* I2C da respuesta favorable a nuestros objetivos, es decir, los siete procesos de control de minimotores se ejecutan efectivamente en paralelo y en consecuencia comenzarán a controlar su movimiento angular al mismo tiempo.
- Obviamente estamos despreciando tiempos de respuesta de varios elementos aún no definidos, por lo que se consideran a estos resultados como una primera aproximación del desempeño que se espera del sistema.

En consecuencia, se tendrá que diseñar una arquitectura electrónica capaz de procesar las acciones a efectuar de forma paralela o concurrente, es decir, hasta este punto el sistema deberá cumplir con entregar los datos y cada módulo se encargará de procesarlo (generar el movimiento deseado) sin necesidad de mantener el *bus* de datos ocupado mientras que concluya.

Hasta aquí, la representación gráfica de la abstracción alcanzada en el análisis y aplicación de la metodología es la siguiente (figura 2.9):



238.14 ms para enviar la totalidad de dato-posición de la antena

Fig. 2.9 Comunicación.

- **Tercer nivel de abstracción. La arquitectura *hardware* de control de cada módulo.**

De acuerdo al análisis anterior (segundo nivel de abstracción), las necesidades que se desprenden de él obligan a seleccionar un dispositivo que permita:

- Efectuar procesamiento paralelo.
- Ser compatible con el estándar I2C (configurado como “esclavo”), o que se pueda sintetizar la arquitectura del I2C en el propio dispositivo sin mayor problema.
- Ser de dimensiones lo suficientemente reducidas como para colocarse en el área que delimita un módulo hexagonal (dimensiones que ya fueron especificadas).
- Ser compatible con la velocidad mínima y máxima permitida en un “bus” I2C, garantizando su crecimiento a futuro.
- Requerir el menor número de elementos o dispositivos adicionales para su operación. Por lo tanto y en el mejor de los casos solo se requiera de un dispositivo electrónico en el que se procesen todos los datos necesarios de un módulo hexagonal.
- En caso de ser necesario, permitir su reconfiguración de forma simple, y en consecuencia que tenga un margen adicional de capacidad lógica para futuras modificaciones. En el mejor de los casos y al verse superadas las capacidades del circuito seleccionado, se pueda migrar a

un dispositivo de mayor capacidad pero que sea compatible en características eléctricas y de configuración de entradas – salidas (*pin*s).

Para cumplir con todos los puntos anteriores, la selección nos lleva a considerar el uso de un Dispositivo Lógico Programable (PLD), restando determinar cuál de los tipos existentes de capacidades media o alta (CPLD o FPGA) reúne las características y capacidad necesarias.

La selección de este tipo de tecnología electrónica se justifica con base en las características propias de este tipo de dispositivos [1] [5] (en general denominados PLD's), y que coinciden totalmente con las que se establecieron anteriormente, es decir, podemos disponer de las siguientes características generales:

- Permitir establecer procesos o arquitecturas paralelas en un mismo dispositivo.
- Al permitir lo anterior, es viable el establecer un proceso que opere como lo establece el estándar I2C de tipo “esclavo” junto con procesos paralelos que controlen cada minimotor, todo esto sintetizado en el mismo dispositivo.
- La operación de estos dispositivos establece tiempos de respuesta del orden de unos cuantos nanosegundos.
- La capacidad lógica del circuito no empleada, queda en libertad de utilizarse posteriormente en caso de crecimiento o corrección del diseño, manteniendo la misma configuración de entradas – salidas (hasta ciertos límites).
- Existe una amplia variedad de “familias” comerciales de este tipo de dispositivos que son compatibles con la denominada “programabilidad en sistema” (*isp*), por lo que con una cantidad mínima de líneas de comunicación, y a través de utilizar una simple interfaz electrónica, se reconfigura al circuito. Adicionalmente también tienen la capacidad de soportar diferentes voltajes de polarización, por lo que en consecuencia son capaces de reconocer distintos niveles lógicos de voltaje (TTL, LVTTTL, entre otros).
- Si es el caso de tecnologías *isp*, entonces es posible reconfigurar dispositivos en cascada (la mayoría utiliza un puerto compatible con el estándar JTAG).
- No se requiere desmontar al dispositivo de donde esté soldado para su configuración, únicamente se requiere tener acceso a las terminales

adecuadas, que para el caso de un puerto JTAG son cuatro: TDI, TDO, TMS y TCK.

- Como características adicionales, pero rescatables para nuestros fines, podemos mencionar:
 - o Pueden contener módulos de operación específica adicionales a la capacidad lógica disponible (PLL, oscilador, multiplicadores, memoria, etc).
 - o Existen en empaquetados de tamaño reducido (milímetros), como pueden ser: BG, TQ, PQ, PL, VQ, FG y QN.
 - o La cantidad de “pines” de usuario es considerable (por ejemplo un empaquetado TQFP de 100 “pines” tiene del orden de 70 a 80 disponibles), con la particularidad de poder designar la ubicación de ellos de forma flexible (tiene sus limitantes dependiendo de la complejidad del diseño a sintetizar).

Debido a la complejidad que significa internamente este tipo de dispositivos, es necesario recurrir a herramientas de desarrollo integradas (*software*) en las que se pueda especificar la arquitectura requerida desde un alto nivel de abstracción (como es nuestro caso).

Específicamente, para el caso de los Dispositivos Lógicos Programables, se han desarrollado los denominados “Lenguajes Descriptivos de Hardware” HDL’s, de los cuales varios han sido estandarizados por el IEEE, con lo que se tienen las consecuentes ventajas de compatibilidad y portabilidad entre otras.

Debemos tomar en cuenta los principales objetivos del uso de los HDL’s[5] para nuestras necesidades en la electrónica de control del módulo de antena, como son:

- Generación de arquitecturas lógicas a la medida, óptimas y eficientes, en el menor tiempo y costo posible.
- Creación de librerías propias, que evitan la dependencia de utilizar módulos de propiedad intelectual (IP), máxime si es que no se cuenta con los recursos suficientes para solventarlos y en el caso de usar versiones “gratuitas” tener en cuenta las cláusulas que limiten su explotación comercial por derechos de autor de las compañías desarrolladoras.
- Complementariedad de la tecnología de PLD’s con las tecnologías ya existentes o futuras como es el caso de microprocesadores, microcontroladores, Procesadores Digitales de Señales, etc.

- Obtención directa de las especificaciones necesarias para la síntesis de un Circuito Integrado de Aplicación Específica (ASIC), a partir de la descripción de *hardware* en HDL, con las consecuentes ventajas de fabricación en serie.

Los diferentes tipos de PLD's existentes, se clasifican principalmente de acuerdo a su capacidad de recursos lógicos internos (figura 2.10), pero en definitiva los tipos a considerar en nuestro diseño serán CPLD o FPGA.

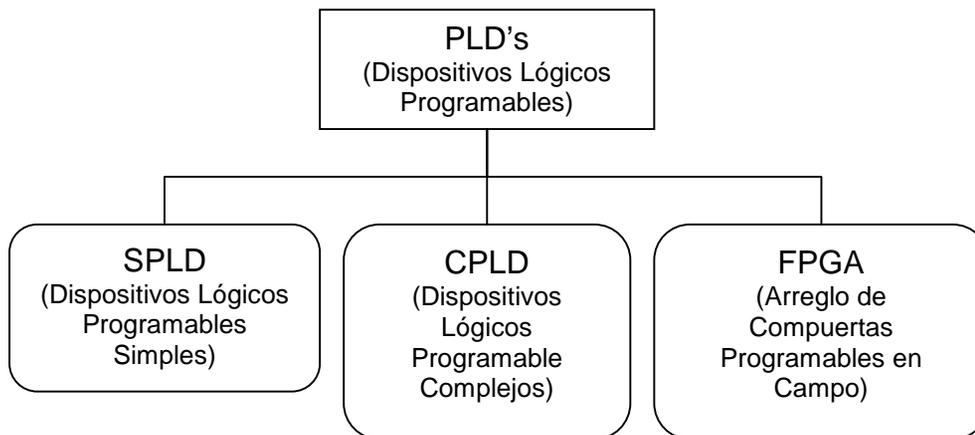


Figura 2.10 Clasificación General de PLD's

Existen diferentes lenguajes descriptivos de hardware como son:

- VHDL.
- Verilog.
- SystemC.

Por lo que para determinar cuál de ellos sería el más adecuado a nuestros fines, la respuesta consistiría en que un buen resultado no depende del lenguaje, sino de un estilo, conocimientos de lógica digital y descripción correcta de parte del diseñador, además de dejar en claro de que en ninguno de los casos se trata de un lenguaje de programación.

Por lo tanto, y para nuestro caso, se empleará el lenguaje VHDL. La justificación de la selección se basa únicamente en la mayor familiaridad que se tiene con este lenguaje descriptivo.

Pasaremos por tanto a la parte crucial y de mayor importancia que implica este trabajo, y que es la de diseñar el circuito electrónico de control que dé solución al problema, por lo que se abordará en un capítulo aparte.

2.3 Arquitectura de los elementos del sistema.

El resultado de aplicar la metodología descendente y el análisis que resulta de ello nos ubican hasta este punto del desarrollo del trabajo de tesis en donde se tienen las especificaciones generales y algunas ya muy particulares de los elementos constitutivos del sistema, y que en consecuencia a partir de ellas es posible comenzar a desarrollarlas para posteriormente sintetizarlas.

Para ello se procura emplear modernas herramientas de diseño de arquitecturas electrónicas que no necesiten el visualizar las partes constitutivas de los elementos en un nivel de abstracción más bajo (niveles discretos que representen arreglos de compuertas o aún más allá como es a nivel de transistores).

La arquitectura general que finalmente se visualiza es la siguiente (figura 2.11):

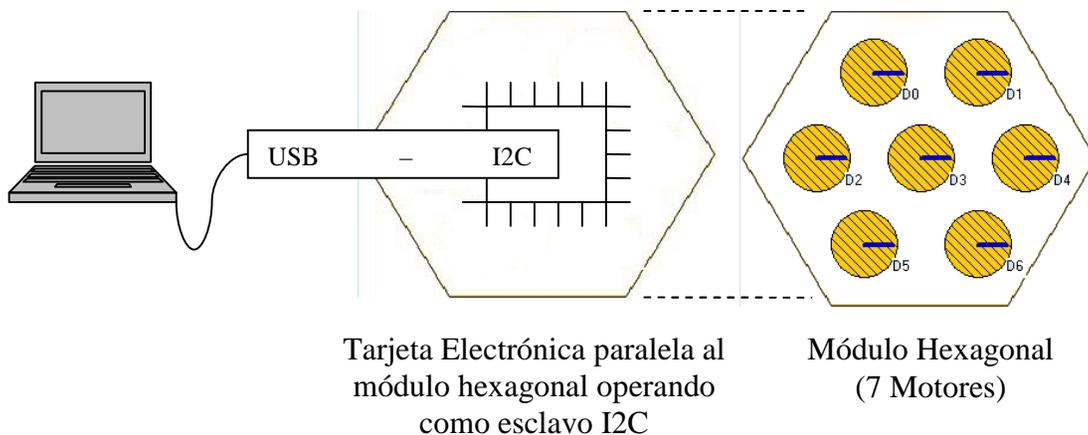


Fig. 2.11 Nivel de abstracción suficiente para proceder al diseño

De acuerdo al análisis se procederá a:

- Diseñar y programar la interfaz de usuario para computadora.
- Diseñar y sintetizar la interfaz USB-I2C
- Diseñar y sintetizar el circuito de control del módulo de antena con compatibilidad I2C.

2.4 Interfaz gráfica de control por computadora.

En la actualidad existe una cantidad considerable de lenguajes de programación, siendo los más utilizados aquellos que se ubican dentro del tipo Entorno de Desarrollo Integrado (IDE) y Constructor de Interfaz Gráfica (Visual) debido a la facilidad de asimilación y uso al tener como fundamento la programación orientada a objetos a través de elementos gráficos.

En el caso del presente trabajo, se utilizará Visual Basic 2008 Express (versión gratuita y con la cuál se tiene mayor familiaridad). Una de las ventajas que ofrece esta versión de compilador es que es gratuito, por lo que no se tiene problemas legales de propiedad de licencia, y por otra parte, de ser necesario, se puede exportar fácilmente a herramientas como "SharpDevelop" que es un Entorno Integrado de Desarrollo (IDE) con licencia libre que entre otras cosas puede exportar el código generado a C# ó generar código que se pueda ejecutar en distintos sistemas operativos incluyendo Linux. Lo anterior nos lleva a garantizar portabilidad de la aplicación a diferentes plataformas de cómputo

Aunque es conocido que para versiones anteriores de Visual Basic (como por ejemplo la popular versión 6), no cumple con los parámetros básicos que identifican a un lenguaje orientado a objetos[6], además de su relativa lentitud de ejecución de código en comparación con otros lenguajes, estas deficiencias han sido superadas considerablemente. Por otra parte, y como ya se mencionó, se tiene una considerable experiencia en el uso del lenguaje, por lo que se pretende desarrollar la aplicación necesaria en el menor tiempo posible, dejando abierta la posibilidad de exportarlo a otro lenguaje.

De acuerdo a las características establecidas con anterioridad en el capítulo 2.1, se sabe que se tienen diferentes comandos de ejecución:

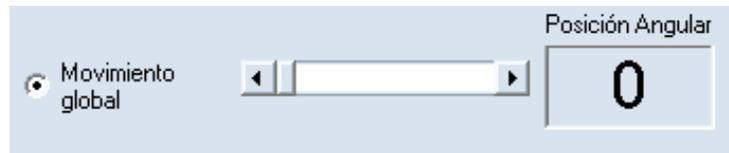
- Movimiento inmediato al recibir dato de posicionamiento.
- Captura de dato de nueva posición.
- Ejecución de posicionamiento de dato almacenado.

Correspondiendo a estos comandos, se determina que visualmente el usuario tenga los elementos necesarios en pantalla para establecer:

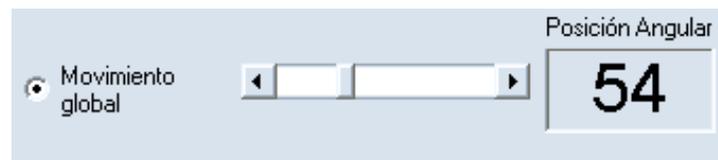
- Posicionamientos discretos (elemento de antena por elemento de antena)
- Posicionamientos globales (todos los elementos se mueven a una misma posición a un mismo tiempo)
- Posicionamientos continuos de los elementos de antena (desplazamiento angular mínimo-máximo-mínimo continuo cada determinado tiempo establecido por el usuario).
- Posicionamientos independientes de todos los elementos de antena a partir de lo especificado en una lista de posiciones a ejecutar para cada elemento.

Por lo tanto, se definen las siguientes características gráficas en la pantalla de usuario:

- Barra de desplazamiento para establecer movimiento global (todos los elementos espirafase se mueven al mismo tiempo) a una posición en común. La figura 2.12(a) muestra la situación de condición inicial, para posteriormente desplazar la barra a una posición angular de los elementos de antena de 54 grados en la figura 2.12(b).



(a) Condición inicial



(b) Posición angular a alcanzar de 54 grados.

Fig. 2.12 Movimiento “global”.

- Gráfico interactivo que refleje el movimiento generado (figura 2.13).

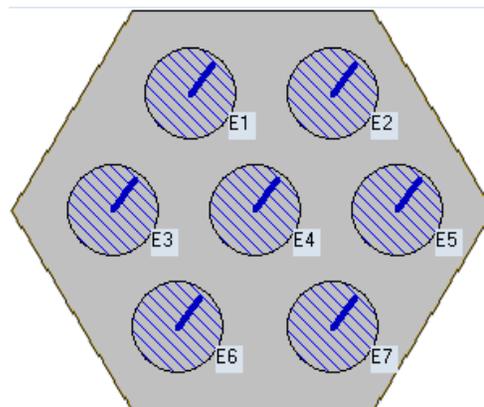
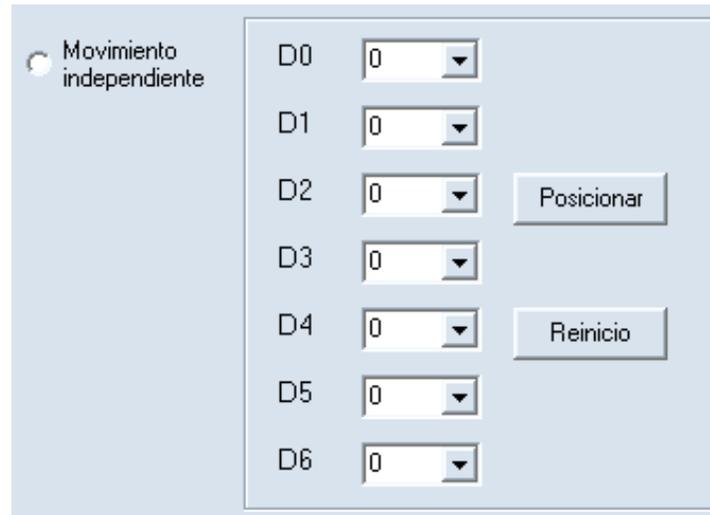


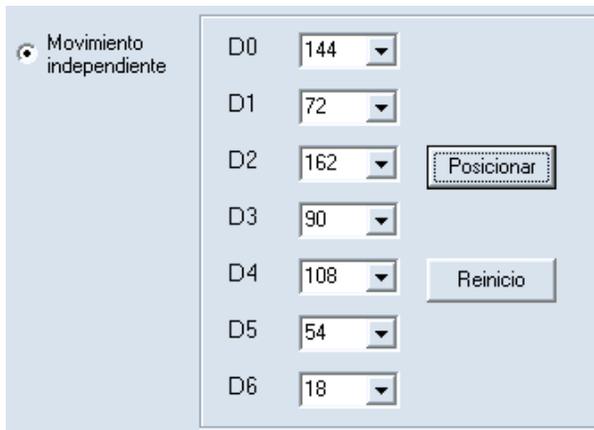
Fig. 2.13 Elementos de antena distribuidos en el módulo hexagonal.

- Cajas de selección para establecer el movimiento independiente de cada minimotor (elemento *espirafase*), del módulo hexagonal (figura 2.14). Las posiciones a alcanzar se seleccionan elemento por elemento y al

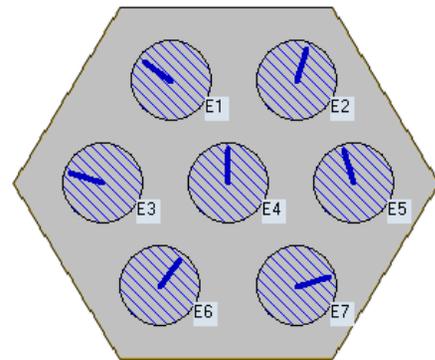
presionar el botón “posicionar” se procede a la ejecución correspondiente (figura 2.14 b). El botón de “reinicio” indicaría el reposicionamiento angular a condiciones de cero grados (posición inicial).



(a)



(b)



(c)

Fig. 2.14 Selección independiente de posiciones (a), ejemplo (b) y efecto visual en la interfaz (c).

- Barra de desplazamientos continuos a determinada velocidad (figura 2.15). En esta opción de la interfaz de control de usuario, se establece la velocidad con la que se envían tramas consecutivas de datos. Los datos a su vez determinan un barrido de incremento y decremento lineal en el posicionamiento de los minimotores, yendo desde la posición angular inicial de cero grados, con incrementos angulares de 18 grados cada

espacio de tiempo establecido en la barra de selección (tiempo mínimo de 50 ms), y una vez alcanzados los 180 grados se procede al efecto contrario, es decir, un decremento gradual de la posición angular hasta alcanzar la posición inicial. Mientras que no se presione el botón de paro, el efecto de movimiento angular se mantiene.



Fig. 2.15 Movimiento continuo del motor cada determinado tiempo.

- Lista de posicionamientos a determinada velocidad (figura 2.16). En esta opción gráfica se tiene la opción de indicar movimientos continuos cualesquiera, para cada elemento de antena, a ejecutarse en el periodo de tiempo seleccionado.

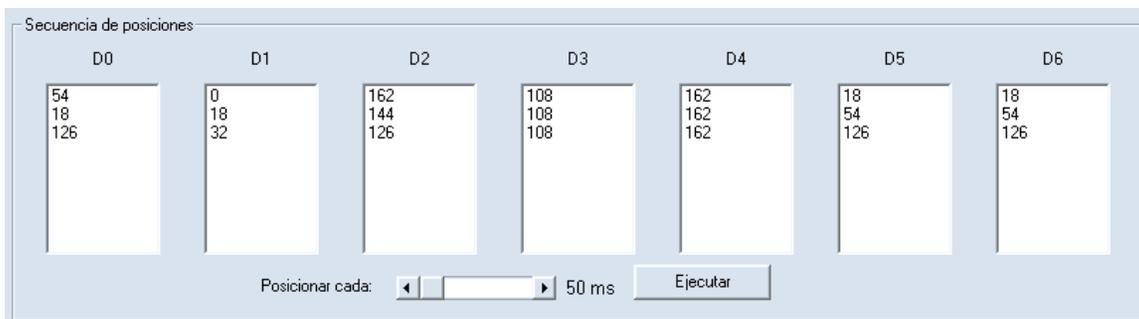


Fig. 2.16 Lista de posiciones independientes a alcanzar cada determinado tiempo.

Finalmente la apariencia de la interfaz preliminar de usuario queda como lo muestra la figura 2.17:

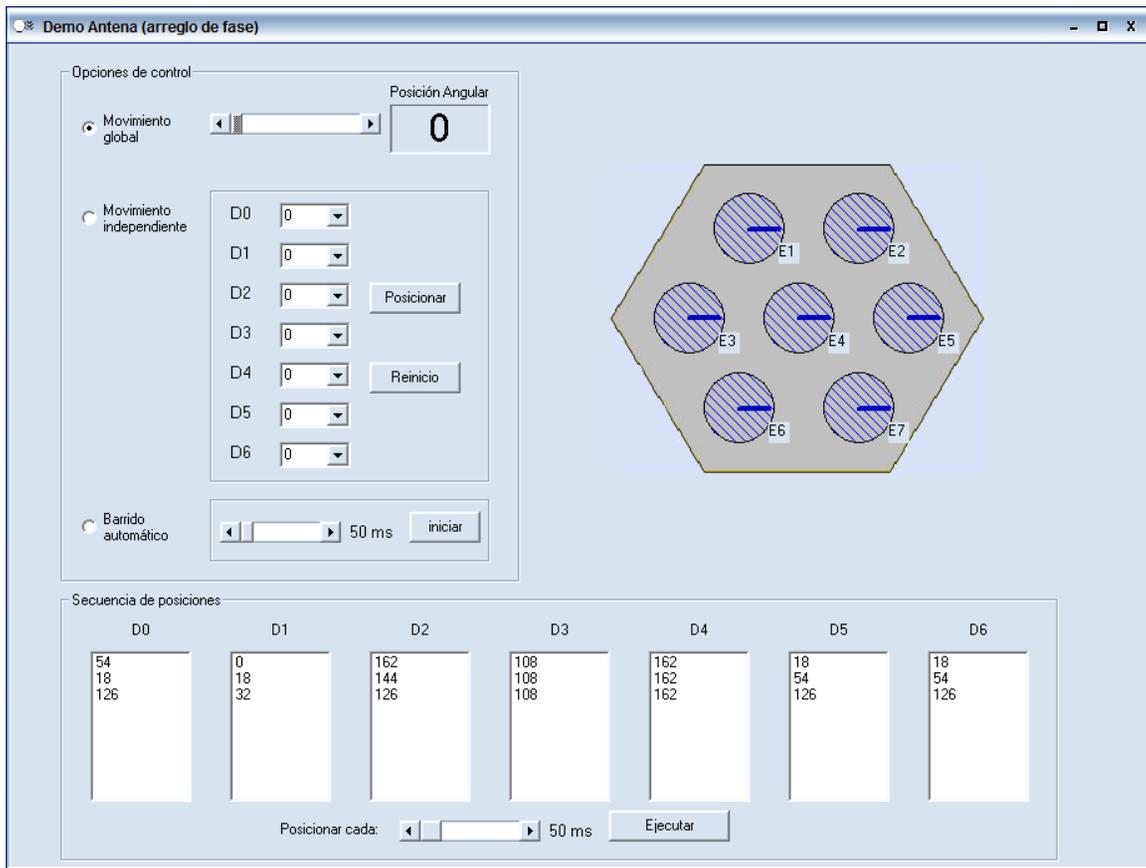


Fig. 2.17 Vista de la interfaz preliminar.

Queda abierta la posibilidad de modificar las opciones de control establecidas en la interfaz de usuario en la medida de que los avances en la investigación así lo requieran, y que en primera instancia no representa un trabajo exhaustivo efectuarlos dada la herramienta de programación seleccionada.

Los detalles del código de programación, en cuanto a comunicación desde la PC (a través del puerto USB) hacia el módulo de control de antena, dependen del *hardware* seleccionado (interfaz USB – I2C), ya que en general los fabricantes de los dispositivos electrónicos que permiten este tipo de comunicación, proporcionan el *software* controlador con la particularidad de considerarse tecnología propietaria a emplearse únicamente en sus dispositivos y que suelen ser compatibles con determinados sistemas operativos de computadora.

Por lo tanto, corresponde determinar el *hardware* correspondiente a la interfaz USB – I2C para continuar con la programación del programa interfaz de usuario.

Bibliografía.

- [1] F. Pardo, J. A. Boluda, “VHDL lenguaje para síntesis y modelado de circuitos 2ed”, Ed. Alfaomega 2004, capítulo 1.
- [2] J. Axelson, “USB Complete 3ed” Ed. Lakeview Research 2005, capítulo 1.
- [3] T. Noergaard, “Embedded Systems Architecture: A Comprehensive Guide for Engineers and Programmers” Ed. Newnes 2005, capítulos 6 – 8.
- [4] Philips Semiconductors, “The I2C-BUS Specification”, Version 2.1, Enero de 2000.
- [5] V.A. Pedroni, “Circuit Design with VHDL” Ed. MIT Press 2004.
- [6] D. Clark, “Introducción a la Programación Orientada a Objetos con Visual Basic.net” Ed. Anaya Multimedia 2003, capítulo 1.

3 Implementación de la electrónica de control.

3.1 Introducción.

Hasta esta parte del desarrollo contamos con especificaciones de operación precisas de los elementos que componen al sistema, por lo que la aplicación de la metodología empleada propicia pasar a diseñar y sintetizar los circuitos electrónicos correspondientes.

Los elementos a obtener en esta parte del desarrollo son:

- La interfaz USB – I2C.
- El circuito de control del módulo hexagonal de antena que operará como esclavo I2C y en el que se sintetizarán procesos paralelos de control para cada uno de los siete minimotores que lo constituyen (elemento *espirafase*).
- La etapa de potencia que alimenta al minimotor.
- La detección de posición angular inicial.

Con los resultados obtenidos en esta parte, posteriormente se obtendrán las especificaciones finales que tendrá la interfaz *software* de usuario en lo que corresponde a los requerimientos en su programación.

3.2 Interfaz electrónica de comunicación.

Existen diferentes opciones de dispositivos electrónicos que pueden emplearse como la interfaz de comunicación necesaria USB – I2C. La arquitectura seleccionada debido a su simpleza de operación, síntesis y costo es la correspondiente a la propuesta del fabricante *FTDI chip*.

Se determina utilizar un circuito integrado FT232RL (figura 3.1), cuyas principales características son las siguientes:

- Circuito completo de interfaz de comunicación USB a serie asíncrono.
- Cumple completamente con el protocolo USB sin requerir programación específica (*firmware*) del fabricante.
- Memoria de almacenamiento interno EEPROM de 1024 bits.
- Generación de señal de reloj integrada (no requiere cristal externo).

- Puede transferir a razón de 300 baudios hasta 3 Mbaudios (RS422, RS485, RS232) a niveles TTL.
- Buffer de recepción de 256 bytes y de transmisión de 128 bytes.
- LED's de señalización de transmisión - recepción.
- Buffers de transmisión recepción FIFO para alta tasa de transferencia.
- Conversor de nivel integrado de +3.3V para entrada-salida USB.
- Compatibilidad lógica multivoltaje 5V/3.3V/2.8V/1.8V (salida CMOS, entrada TTL).
- Encendido – reinicio integrado.
- Único voltaje de operación que va de +3.3V a +5.25V.
- Operación de bajo consumo y suspensión de corriente USB.
- Bajo consumo de ancho de banda USB.
- Compatible con USB 2.0 a velocidad plena.
- Operación en un amplio rango de temperatura de -40°C a 85°C.

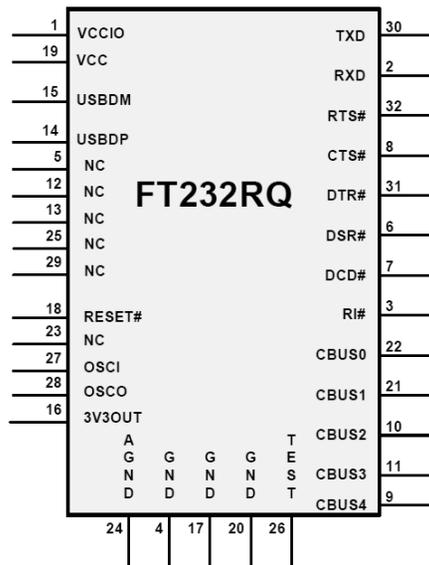


Fig. 3.1 Circuito FT232R.

El dispositivo soporta diferentes formas de polarización, dependiendo del tipo de aplicación. Puesto que en nuestro caso tenemos necesidad de hacer pruebas de operación que requieren una corriente superior a la que el propio puerto USB nos puede proporcionar, además de la posibilidad de trabajar a 3.3 Volts de alimentación (los PLD's abordados anteriormente pueden trabajar a estos voltajes), es conveniente optar por alguna configuración que nos permita esta flexibilidad de operación a diferentes voltajes y corrientes demandadas.

En consecuencia la configuración a utilizar para una primera etapa de la interfaz USB – I2C será una que opera como una interfaz USB - RS232, y que utiliza el

esquema de polarización más simple y que además nos permite trabajar a diferentes voltajes de polarización [1]. La configuración se muestra en la figura 3.2.

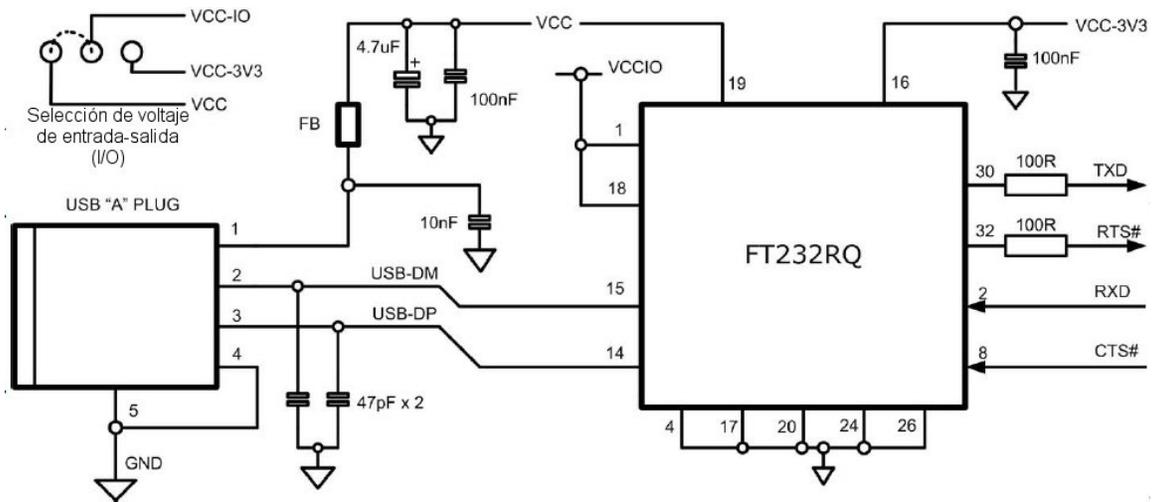


Fig. 3.2. Interfaz USB – serie utilizando el FT232RQ.

De acuerdo a lo planteado en nuestro análisis, se requiere finalmente de una interfaz USB – I2C, por lo que ahora corresponde convertir la información serie compatible con RS232, al protocolo I2C. Para finalizar con esta etapa, se sigue la recomendación del fabricante FTDI de optar por la utilización de un microcontrolador que efectúe la operación de convertir la información serie a I2C.

Para tal fin y como resultado de la propia investigación de los posibles elementos electrónicos a emplear, se presenta la opción de optar por un producto que integra todos los elementos necesarios en una sola tarjeta electrónica, siendo el caso del producto fabricado por la empresa Inglesa *Devantech Ltd.*, denominado “Módulo de comunicaciones USBI2C”, que permite hacer de puente entre el bus USB de cualquier PC y un bus I2C estándar.

La interfaz se alimenta desde el propio *bus* USB y es capaz de alimentar dispositivos I2C externos con +5Vcc y hasta 70mA, o en el mejor de los casos únicamente requiere el conectar el común de tierra a los elementos esclavos y que el bus I2C se alimente independientemente, precisamente como se ha establecido en nuestro análisis (polarización externa propia).

El módulo USB - I2C (figura 3.3) para cualquier fin se comporta como un dispositivo I2C en el modo “Maestro”. Por un lado se conecta al puerto USB y

por el otro dispone de terminales de conexión correspondientes a las señales propias del *bus* (figura 3.4), y en donde a su vez se conecta cualquier dispositivo I2C de tipo “esclavo” estándar o cualquiera de los desarrollados por la propia firma *Devantech.Ltd.*, los cuales (cabe mencionar para fines de posible expansión de características de nuestro sistema) van desde medidor ultrasónico de distancias, compás o brújula electrónica, sensor térmico, sintetizador de voz y controladores de motores de dc y servomotores.

Se dispone así de un sistema que permite gobernar dispositivos I2C y obtener información de los mismos desde un PC con puerto USB y dotado de un simple software de comunicación. Es ideal para aplicaciones orientadas al control en general y a la robótica en particular (de acuerdo al fabricante).

Al estar conformada por el dispositivo FT232RQ corresponden de forma íntegra a la configuración planteada al inicio del tema, por lo que adicionalmente se incluye un microcontrolador PIC16F687 que sirve como interfaz RS232 – I2C maestro.



Fig. 3.3 Módulo USBI2C

Antes de conectar el módulo USB-I2C es necesario instalar los controladores “FTDI’s Virtual COM Port (VCP)”, gracias a los cuales se consigue un nuevo puerto COM virtual que se añade a los ya existentes en la PC. De esta manera los programas genéricos de comunicación o los de aplicación del propio usuario acceden al dispositivo USB de la misma manera que si accediera a un puerto COM estándar reconocido por el sistema operativo mediante el empleo de las funciones VCOMM API o bien usando las librerías apropiadas. Estos controladores están disponibles de forma gratuita para los sistemas operativos Windows, Apple y Linux en la dirección <http://www.ftdichip.com/FTDriver.htm>.

Bajo estas condiciones, la compatibilidad con la plataforma de cómputo (*hardware* y *software*) establecida para nuestro sistema está garantizada.

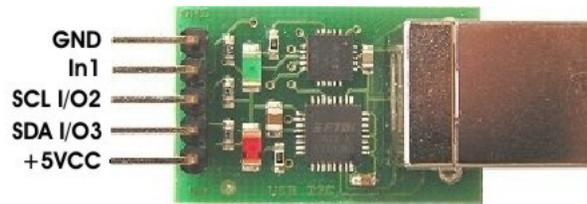


Fig. 3.4 Configuración de conexiones.

El puerto COM se debe configurar a 19200 baudios de velocidad, 8 bits de datos, sin paridad y dos bits de stop. Por otra parte dispone de 5 terminales que se emplean para conectarlo con los diferentes dispositivos I2C que se desean gobernar [2] (figura 3.4).

La función específica de cada una es:

- GND: Conexión de tierra de alimentación.
- Entrada In 1: Esta conexión se puede emplear como una línea de entrada digital con resistencia *pull-up* de 47K Ω . Si la aplicación no la necesita, esta línea se puede dejar sin conexión.
- Línea SCL I/O 2: La señal SCL corresponde a la señal de reloj del bus I2C. La genera el propio módulo USB-I2C que siempre actúa como maestro. Si este módulo no se conecta a un bus I2C, esta señal se comporta como una línea de E/S de propósito general. Mediante los comandos SETPINS y GETPINS se puede actuar sobre el periférico que estuviera conectado. También se puede emplear como entrada analógica con una resolución de 10 bits que se puede leer mediante el comando GETAD.
- Línea SDA I/O3: Es la señal de datos del bus I2C. Por ella se transfiere información hacia o desde los dispositivos I2C a controlar y el módulo USB-I2C y de ahí al PC. Si este módulo no se conecta a un bus I2C, esta señal se comporta como una línea de E/S de propósito general. Mediante los comandos SETPINS y GETPINS se puede actuar sobre el periférico que estuviera conectado. También se puede emplear como entrada analógica con una resolución de 10 bits que se puede leer mediante el comando GETAD.
- 4.5Vcc a + 5Vcc: salida de tensión de alimentación de +5VCC. Puede alimentar dispositivos I2C externos con un consumo máximo de hasta 70mA. Si se necesita una mayor intensidad se recomienda no emplear esta línea y utilizar una fuente de alimentación externa. En cualquier caso por esta terminal no debe aplicarse nunca +5VCC.

El módulo USB-I2C acepta una serie de comandos procedentes del PC al que está conectado a través de un puerto USB. Por su parte, se entiende que dicho PC está dotado de un software de comunicaciones capaz de realizar transferencias de bytes. Este software puede ser de carácter genérico como el clásico “Hiperterminal”, o cualquier otro similar, o bien puede ser un software específico de aplicación diseñado por el usuario.

Estos comandos se agrupan en tres categorías principales:

- **I2CD_CMD (0x53):** Permite leer o escribir dispositivos I2C que no dispongan registros internos a los que se requiera direccionar.
- **I2C_CMD (0x55):** Permite leer o escribir dispositivos I2C que dispongan de registros internos como puede ser una memoria EEPROM o una RAM o cualquier otro al que se necesite direccionar sus diferentes registros internos: registros de comandos, registros de configuración, registros de estado, registros de datos, etc..
- **USB-I2C_CMD (0x5A):** Permite la ejecución de una serie de sub comandos propios del módulo USB-I2C y orientados fundamentalmente al control y empleo de otros módulos de la firma *Devantech*.

Haciendo un análisis de las necesidades de nuestro diseño, nos enfocaremos en aquellos comandos cuyas características sean lo más cercanas a las operaciones que posiblemente implementemos. Ejemplos de estos comandos pueden ser:

- **Escribir en un dispositivo esclavo I2C sin registro de dirección interna.**

Después de enviar el comando I2CD_CMD puede enviar la dirección del dispositivo y byte de datos.

	Comando primario USB-I2C	Dirección del dispositivo & bit R/W _{LSB}	Byte de datos
Tipo de byte	I2CD_CMD	Dirección&R/W	Dato
Ejemplo (hexadecimal)	0x53	0x40	0x19
Significado	Comando de lectura/escritura directa	Esclavo con dirección 32 ₁₀	Dato con valor 25 ₁₀

Los 3 bytes deben enviarse al módulo USB-I2C en una secuencia. Un espacio vacío hará que el módulo USB-I2C re-inicie su bucle interno del comando de sincronización e ignore el mensaje. Después de recibir todos estos bytes, el

módulo USB-I2C ejecuta la operación de escritura a través del bus IC2 el dispositivo esclavo devolverá un byte a la PC. El byte devuelto será 0x00 (cero) si el comando de escritura falla y será diferente de cero si el comando de escritura se ha ejecutado con éxito. La PC espera a que este byte sea devuelto (se deshabilita después de 500mS) antes de proceder con la siguiente transacción.

- **Escribir directamente en un dispositivo I2C con registro de dirección interna.**

Esta posibilidad de operación es la más común en dispositivos I2C. Después de enviar el comando I2C_CMD puede enviar la dirección del dispositivo, las direcciones de los registros internos de los dispositivos en los que se quiere escribir y el número de bytes que se escribirán. El número máximo de bytes de datos no debería superar los 60 para evitar el desbordamiento del buffer interno del modulo USB-I2C.

	Comando primario de USB-I2C	Dirección del dispositivo& bit R/W	Registro interno del dispositivo	Número de bytes de datos	Los bytes de datos
Tipo de Byte	I2C_CMD	Addr&R/W	Reg	Byte Count	Data
Ejemplo	0x55	0xE0	0x00	0x01	0x51
Significado	Comando primario USB-I2C	Dirección de esclavo I2C	Registro 0	Un byte a enviar	Dato con valor 81 ₁₀

Finalmente estos comandos y la forma en que se emplean se retomarán en la programación final de la interfaz de control de usuario a través de la interfaz USB – I2C seleccionada.

3.3 Circuito de control del módulo de antena.

Como ya se mencionó, la tecnología de circuitos electrónicos a emplearse para efectuar el control del módulo de antena corresponde al tipo de Dispositivos Lógicos Programables PLD.

Las etapas a diseñar y sintetizar en el circuito de control y que se desprenden de los pasos anteriores en nuestro análisis son:

- Módulo de recepción I2C en configuración de “esclavo” a velocidad de *bus* estándar.
- Módulo decodificador de trama I2C para la identificación de “esclavo” I2C y en su caso la recepción de datos de control.
- Módulos de control de minimotores, recordando que se requieren de siete módulos idénticos (uno por motor) procesando en paralelo.

3.3.1 Procesamiento de datos.

Módulo de recepción I2C (esclavo). Se deberá sintetizar en el PLD la arquitectura que cumpla con el estándar básico del I2C, recordando que:

- Se requiere comunicación unidireccional de datos, esto es, no se requiere el que un esclavo envíe la posición que guarde en algún instante de tiempo, se asume que no hay pérdida de “pasos” en el movimiento del motor. En cualquier caso se puede establecer un comando de reinicio de posicionamiento (búsqueda de posición inicial).
- Solo se enviarán por parte del esclavo los bits de reconocimiento (*acknowledge*) que establece el protocolo I2C.
- Hasta este punto se considera que el PLD finalmente seleccionado deberá soportar el voltaje que se determine para el *bus* I2C.

La justificación de no requerir una comunicación bidireccional, y en consecuencia que se trabajará con un control de lazo abierto, es el evitar el sumar tiempos de comunicación que impliquen retraso en el envío de tramas correspondientes a posicionamiento destinados a otros módulos o minimotores que los constituyan, y de esta forma se pueda enviar en el menor tiempo posible datos de posicionamiento a todos los motores y así inicien su movimiento al mismo tiempo.

Por lo tanto el tiempo que se emplee en la transferencia de datos circulando por el *bus* únicamente se destina al envío desde el “maestro” hacia el “esclavo” y no a la inversa.

Módulo decodificador de trama. Este modulo estará siempre en operación en cada uno de los módulos hexagonales, por lo que sus funciones o características de operación serán las siguientes:

- Siempre se mantendrá a la “escucha” del *bus* I2C.
- Cuando ocurra un “inicio” de trama I2C, el módulo decodificador la identificará y procederá a recibir la parte de la trama que corresponde a la dirección del módulo destino.
- Si no corresponde a su propia dirección (la dirección será única para cada módulo hexagonal y está registrada internamente en el circuito de control), el dispositivo omitirá ejecutar acción alguna y volverá a situación de escucha del *bus*.
- En caso de identificar su propia dirección, procede a recibir el resto de la trama de datos.
- Dependiendo del comando reconocido, se activa la captura del dato que sigue en la trama en el proceso de control del minimotor correspondiente.
- Al detectar la señalización de “alto”, termina de procesar acción alguna y queda nuevamente a la escucha del bus para identificar una nueva señal de “inicio” de trama I2C.

El algoritmo a ejecutar por parte del proceso decodificador de trama es el siguiente (figura 3.5):

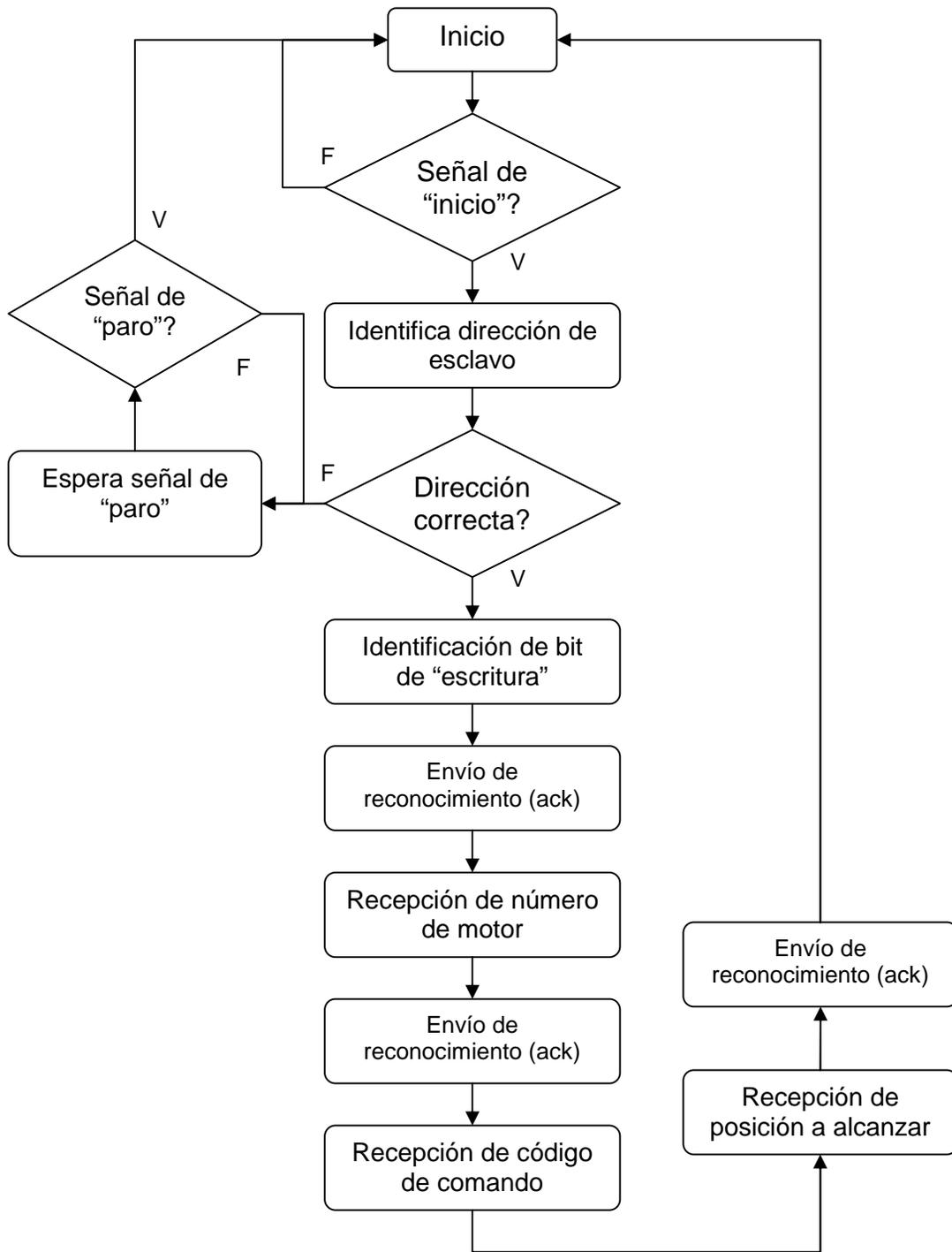


Figura 3.5 Identificación de esclavo I2C y decodificación de trama.

Módulo de control de minimotor. Este módulo recibirá la información que le envíe el módulo decodificador de trama, siendo sus características de operación las siguientes:

- El módulo comenzará a operar desde el momento en que el PLD se energice, iniciando el movimiento del minimotor hasta alcanzar la detección de posición inicial (0° ó 180°) del elemento *espirafase*. Puesto que el motor se moverá a una frecuencia de paso de 20 Hz y siendo que el avance por paso es de 18° , el peor caso en tiempo necesario para alcanzar dicha posición inicial será de 9 pasos, es decir, una secuencia de bits cuya duración total será de 0.45 segundos. Este dato se debe tomar en cuenta para el diseño de la interfaz de *software*.
- Una vez alcanzada la posición inicial, esperará a que se indique su habilitación de operación.
- Una vez habilitado, procede a identificar si se le está enviando información o no, lo que significará que en el primero caso el circuito de control debe esperar a que se le termine de enviar la información pertinente de comando y dato de posición. Si no se le está enviando información, indicará que puede realizar operación de posicionamiento del minimotor que controla. Será importante que en la parte del diseño de interfaz de *software* se considere el tiempo que le llevará al motor alcanzar la posición inicialmente indicada, y una vez transcurrido ese tiempo se envíe una nueva posición. Con esto se le resta a la parte de *hardware* cierto grado de complejidad y por lo tanto únicamente se enfoque en el control de movimientos del motor.
- Una vez que se termine de recibir información, se identifica si se trata de un comando que determine la ejecución inmediata de movimiento o no.
- Si se trata de ejecución inmediata, obviamente pasará a mover al motor a la posición indicada verificando en cada momento si es que ya llegó a ella.
- Una vez que alcance la posición deseada se detiene al motor y pasa a verificar nuevamente la ocurrencia o no de envío de nueva información a procesar.
- Para cualquier situación y en todo momento existe la posibilidad de identificar un comando de "interrupción", el cuál mientras esté activo impide acción alguna y en el momento en que la interrupción se desactive, el módulo de control de antena pase a condiciones iniciales, es decir, buscar la posición angular inicial del elemento *espirafase*.

El algoritmo que describe la operación del módulo del minimotor es el siguiente (figura 3.6) :

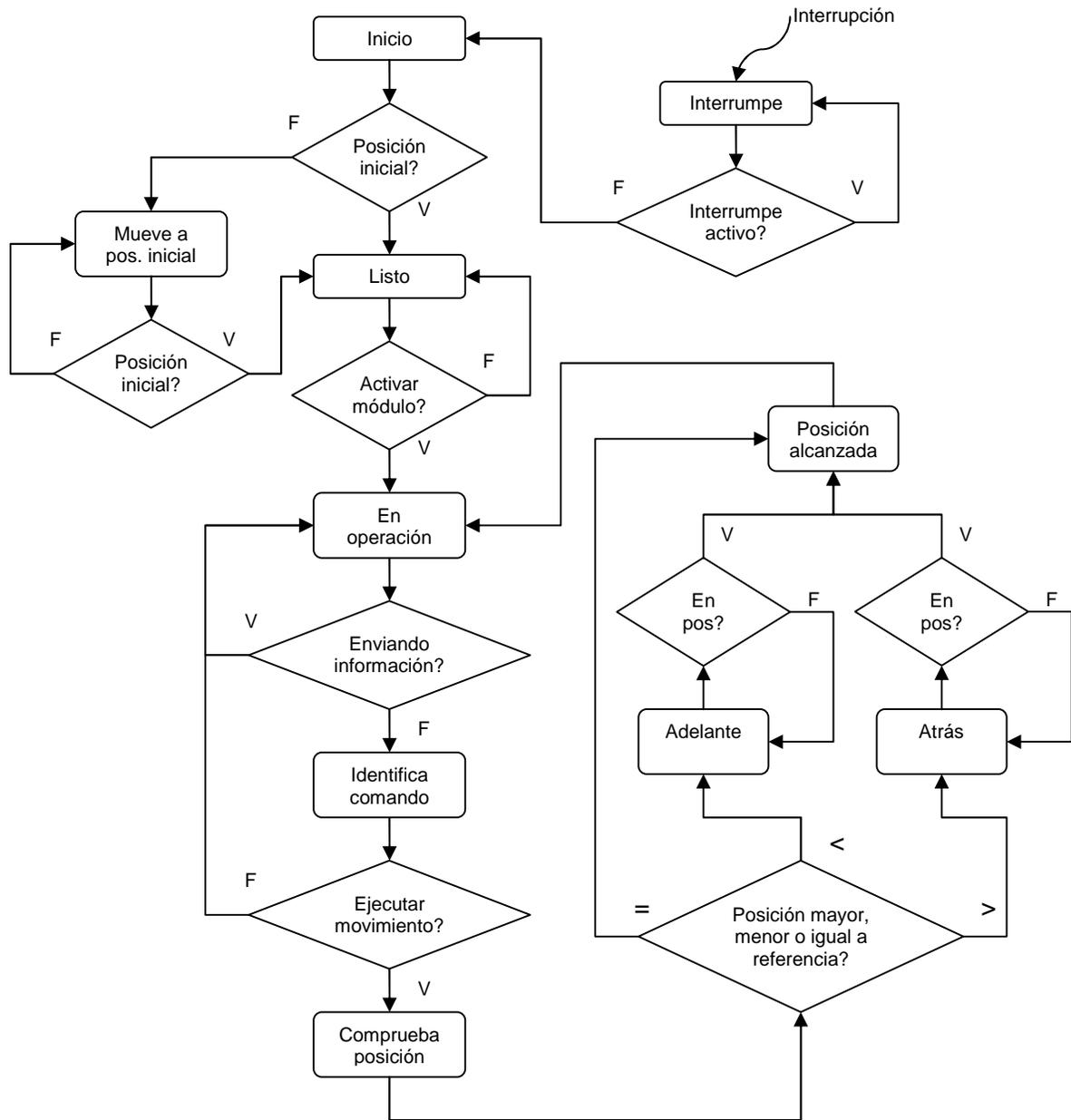


Figura 3.6 Algoritmo de control a sintetizar para el caso de un solo minimotor.

Los esquemas a bloques de la entidad a diseñar, de su interacción con el exterior (figura 3.7) y de la interacción entre los módulos que la componen (figura 3.8) son los siguientes:

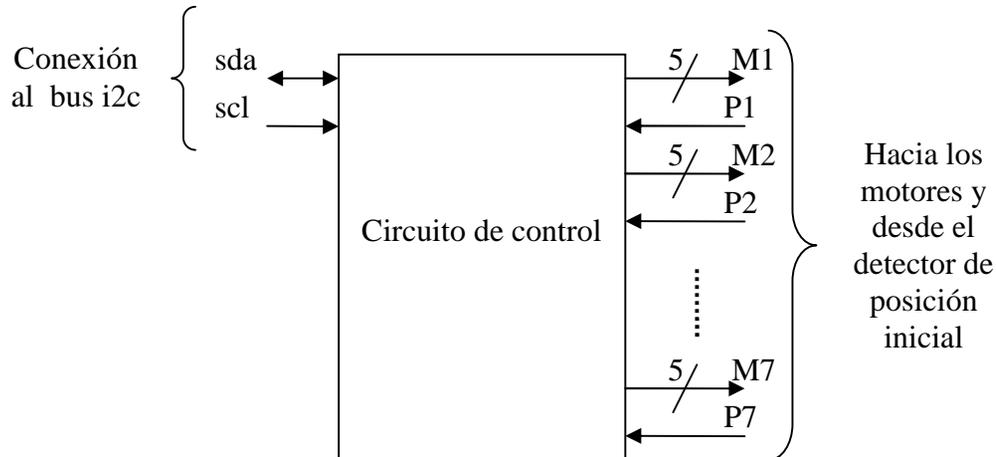


Fig. 3.7 Entidad a diseñar.

De la figura 3.7 podemos observar la necesidad de tener nueve terminales de entrada al circuito de control, dos son para las conexiones al bus I2C y siete provienen de los detectores de posición inicial de cada elemento *espirafase*. En el caso de terminales de salida, se tiene la necesidad de contar con 35, de donde 28 son las que corresponden a las conexiones de las fases de cada motor (cuatro por cada uno), y siete son las habilitaciones de las etapas de potencia correspondientes.

En la figura 3.8 podemos visualizar la arquitectura final a sintetizar en el PLD, y en donde podemos establecer las tres secciones importantes del diseño (procesos paralelos):

- El procesamiento para la identificación I2C, la recepción y decodificación de trama. Esta sección es única dentro del dispositivo.
- El procesamiento de la información para el control de movimientos del minimotor. Esta sección se encuentra replicada siete veces, y precisamente representan el procesamiento paralelo de posicionamiento de los diferentes elementos de antena.
- El oscilador interno al dispositivo, por lo que no se requiere de ningún elemento externo a él para generar la señal de reloj del sistema electrónico de control.

Diagrama simplificado

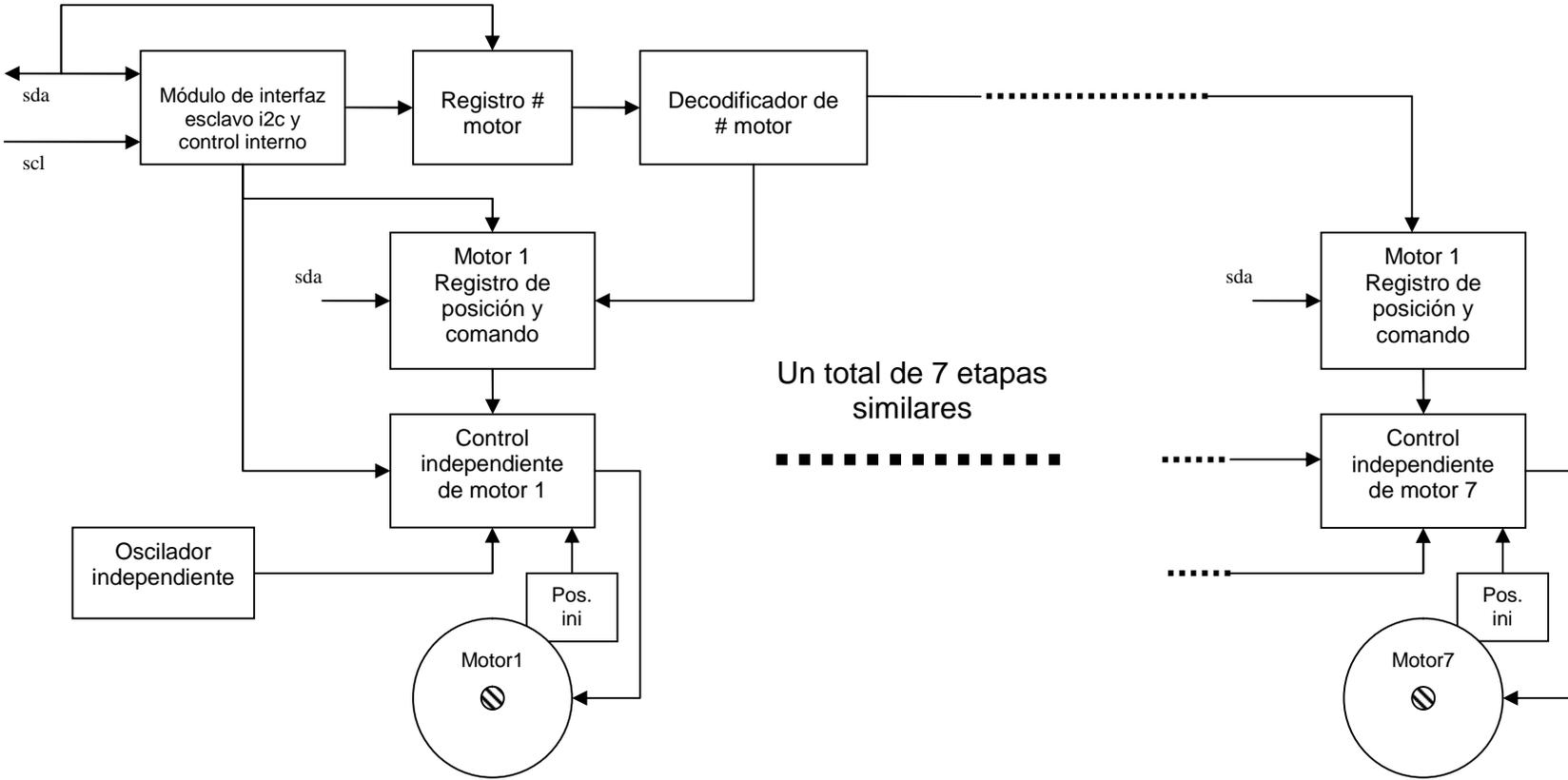


Fig. 3.8 Módulos internos a la entidad.

Por lo tanto se procede a la descripción de la totalidad de la arquitectura mostrada en la figura 3.8 en VHDL, para pasar a su síntesis final, determinando antes el PLD que cumpla con la capacidad necesaria.

3.3.2 Selección del Dispositivo Lógico Programable a utilizar.

El circuito descrito en VHDL es posible de sintetizar en una enorme cantidad de opciones de PLD's comerciales del tipo CPLD y FPGA. Así es que corresponde hacer una comparación en cuanto a sus características y que precisamente cumplan las necesidades planteadas en nuestro análisis de diseño.

El producto del análisis nos hace optar por la elección de un CPLD de la familia MAX II del fabricante Altera. Específicamente se trata del circuito EPM570T100C5N cuyas principales características que justifican su elección son las siguientes [3]:

- Es compatible con programación en sistema (isp), por lo que solo se requiere tener acceso a sus conexiones de puerto JTAG para configurarlo sin necesidad de retirarlo de donde esté dispuesto, y de no requerir una memoria de configuración como sería el caso para un FPGA.
- Tiene una capacidad de 570 “Elementos Lógicos” equivalentes a 440 “macrocelas”.
- Están disponibles en velocidades de respuesta de 3, 4 y 5 nanosegundos.
- Disponibles en encapsulado de 100 y 140 conexiones en encapsulado TQFP (cuadrado de 1.6 cm por lado incluyendo longitud de terminales de conexión).
- Las conexiones disponibles de usuario son de 76 y 116 terminales respectivamente.
- El núcleo del dispositivo se puede polarizar a 3.3 V y 2.5 V.
- Las conexiones de entrada – salida soportan diferentes voltajes de polarización (1.5, 1.8, 2.5 y 3.3 V).
- Se dispone de una zona de memoria Flash para el usuario.
- Se dispone de un oscilador interno que de habilitarse opera a una frecuencia de 3.3 MHz.

Algunos otros fabricantes de PLD's tienen productos similares al elegido con la diferencia de denominarlos como FPGA's de tecnología flash que no requieren dispositivo de configuración adicional. En cualquier caso, se tiene la ventaja de recurrir al mismo o a otro fabricante de PLD's para migrar a alguno de mayor capacidad y de dimensiones reducidas.

Las terminales de entrada - salida disponibles para ser configuradas por el usuario, y aquellas que están reservadas para funciones especiales en el circuito EPM570T100C5N se muestran en la tabla 3.1

Dedicated Pin	100-Pin TQFP
IO/GCLK0	12
IO/GCLK1	14
IO/GCLK2	62
IO/GCLK3	64
IO/DEV_OE	43
IO/DEV_CLRn	44
TDI	23
TMS	22
TCK	24
TDO	25
GNDINT	11, 37, 65, 90
GNDIO	10, 32, 46, 60, 79, 93
VCCINT (1)	13, 39, 63, 88
VCCIO1 (2)	9, 31, 45
VCCIO2 (2)	59, 80, 94
No Connect (N.C.)	-
Total User I/O Pins	76

Tabla 3.1. Terminales configurables y reservadas del EPM570T100C5N

En el apéndice se pueden consultar con mayor detalle las especificaciones técnicas del dispositivo.

3.3.3 Simulación de operación del circuito de control.

El comportamiento de las señales en el tiempo y las diferentes señales de reloj que se emplean en el sistema son:

- Señal de reloj para etapa I2C “esclavo”.
- Señal de reloj para procesamiento de datos recibidos.
- Señal de reloj para generación de movimiento del minimotor.

En el caso del proceso interno al CPLD de recepción I2C y del decodificador de trama, el pulso de reloj que sincroniza todas las funciones de los módulos, dependen de la propia señal de reloj del *bus* I2C, es decir, de la señal SCL. En consecuencia la frecuencia de reloj para un bus estándar I2C y que será la que permita efectuar sus funciones en el tiempo es de 100 KHz.

En el caso del módulo interno sintetizado para el control del minimotor se aprovecha la opción del oscilador interno al EPM570T100C5N, de esta forma el módulo de control de cada minimotor monitorea la existencia de nuevos datos de posicionamiento (comando y posición) a la frecuencia del propio oscilador, es decir, a 3.3 MHz. A esa misma frecuencia se monitorea el momento en que el motor alcanza la posición deseada, por lo que el tiempo que le lleva comprobarlo de forma continua será de tan solo 0.303 μ s. Si le sumamos el tiempo de respuesta del circuito que es de 5 ns, el tiempo total será de 0.803 μ s.

Por último, respecto a la señal de reloj que alimenta a los procesos paralelos que controlan directamente el movimiento del minimotor, se aprovecha la misma señal de reloj interna dividiendo su valor hasta aquel factor que nos permita obtener la frecuencia de 20 Hz necesaria para la operación de frecuencia de paso del motor, es decir, dividir la señal de reloj entre 62,266. Esto se hace a través de la descripción de un nuevo proceso concurrente dentro del mismo CPLD seleccionado.

Simulación.

El resultado de simular la descripción de *hardware* finalmente obtenida, se observa en la figura 3.9. En ella podemos observar secciones importantes a interpretar delimitadas en óvalos (A, B y C) y la proporción en tiempo que guardan entre ellas.

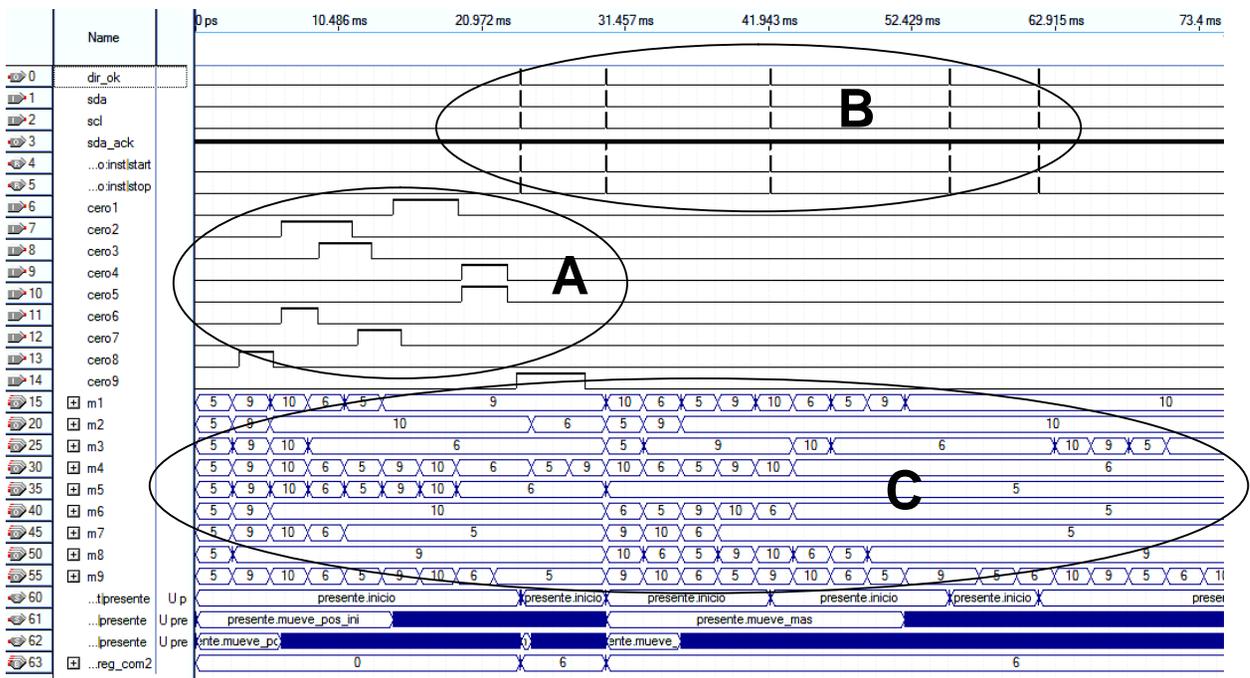


Figura 3.9 Simulación de operación del control electrónico del módulo hexagonal de antena.

En la sección “A” se muestra el momento en que se detecta que cada elemento *espirafase* a alcanzado la posición angular inicial de cero grados, y permanece ahí hasta recibir algún comando de operación.

En la sección “B” observamos pequeñas espigas que consisten en el envío de tramas de datos bajo el protocolo I2C. La duración en tiempo es mínima comparada con la mayoría del resto de las señales.

En la sección “C” se muestran horizontalmente valores enteros que corresponden a la secuencia que propicie el movimiento en el minimotor. Se observa que desde el inicio de la simulación todos los motores comienzan a desplazarse deteniéndose hasta detectar que han alcanzado su posición inicial.

En la figura 3.10 podemos observar un acercamiento a la sección en donde se encuentra un ejemplo de enviar ocho tramas I2C y el tiempo en que esto ocurre de 11 ns. Denotamos la característica de que el envío de estas ocho tramas se hace antes de que cualquier minimotor concluya un avance de un solo paso.

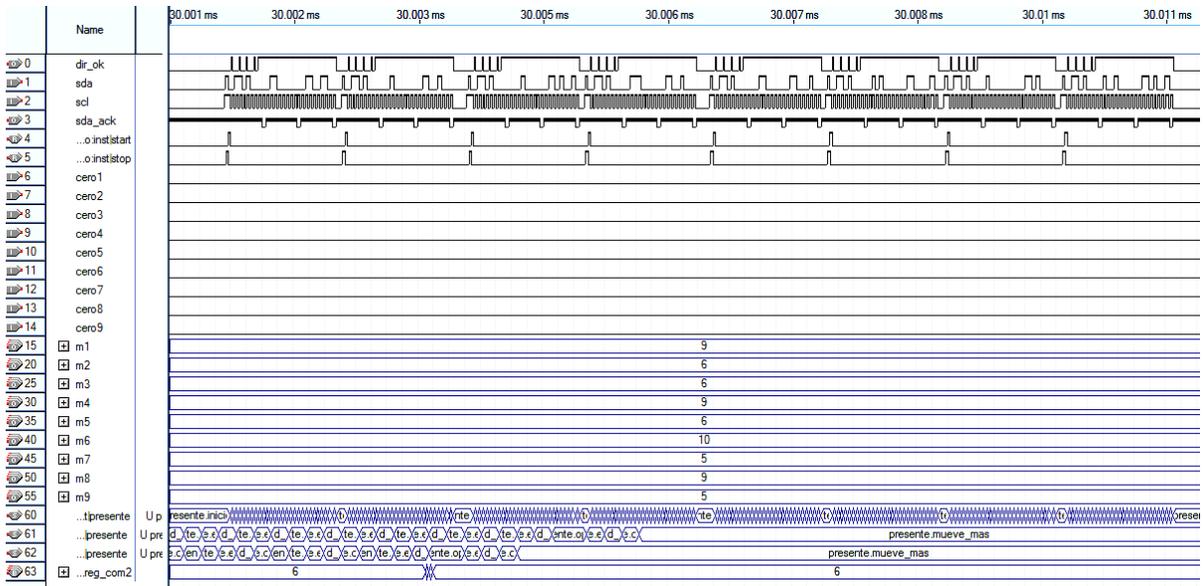


Figura 3.10 Acercamiento de tramas I2C.

Por último en la figura 3.11 vemos la trama I2C del envío en donde podemos reconocer las diferentes secciones especificadas por el estándar I2C y adoptadas para nuestro diseño:

- A. El inicio de trama.
- B. La dirección del módulo de antena destino (esclavo I2C) concatenado con el bit de lectura / escritura.
- C. El bit de reconocimiento de recepción.
- D. El envío de dirección del elemento de antena interno.
- E. El segundo bit de reconocimiento de recepción.
- F. El envío del comando y posición concatenados.
- G. El tercer y último bit de reconocimiento de recepción.

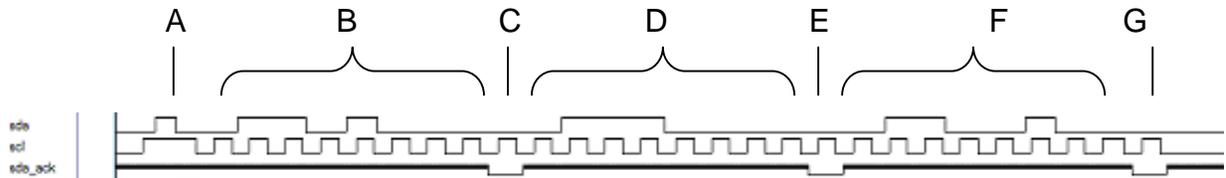


Figura 3.11 Configuración de trama.

La importancia de verificar el resultado del comportamiento de las señales en la simulación radica en el hecho de que para la tecnología de CPLD's la simulación se efectúa tomando como referencia el resultado de compilación del diseño (interconexión de la lógica disponible en el circuito para establecer la arquitectura deseada), específicamente para el dispositivo utilizado, y puesto que las rutas internas de interconexión entre elementos lógicos del CPLD están totalmente determinadas por el fabricante, y en consecuencia parámetros importantes de la operación real del circuito como pueden ser por ejemplo los tiempos de respuesta de todas las señales procesadas, también estarán totalmente determinadas antes de pasar a la síntesis del circuito, ofreciendo una confianza prácticamente del 100% en la operación, reduciendo tiempo – costo de diseño.

3.3.4 Arquitectura electrónica a sintetizar en el PLD.

La arquitectura finalmente desarrollada se observa en la figura 3.12. Cabe mencionar que el esquema solo comprende el mostrar tres módulos de control, pero como cada módulo es idéntico bastará con agregar el resto de ellos conectándolos a las líneas de datos y control correspondientes.

Podemos observar al módulo principal en donde se incluyen:

- El proceso "esclavo" I2C.
- El proceso de identificación y captura de trama.
- El proceso correspondiente al oscilador interno.

Y los módulos de control de motor en donde se incluyen:

- El proceso de captura de información.
- El proceso secuenciador para el movimiento del minimotor.

El resultado de compilación en el dispositivo seleccionado, es decir, los resultados físicos de sintetizar el diseño del circuito de control para un módulo de antena de arreglos de fase hexagonal con siete elementos de antena dan como resultado un 70 % de utilización de capacidad lógica del propio dispositivo, por lo que se cuenta con un margen del 30% para futuras correcciones o crecimiento.

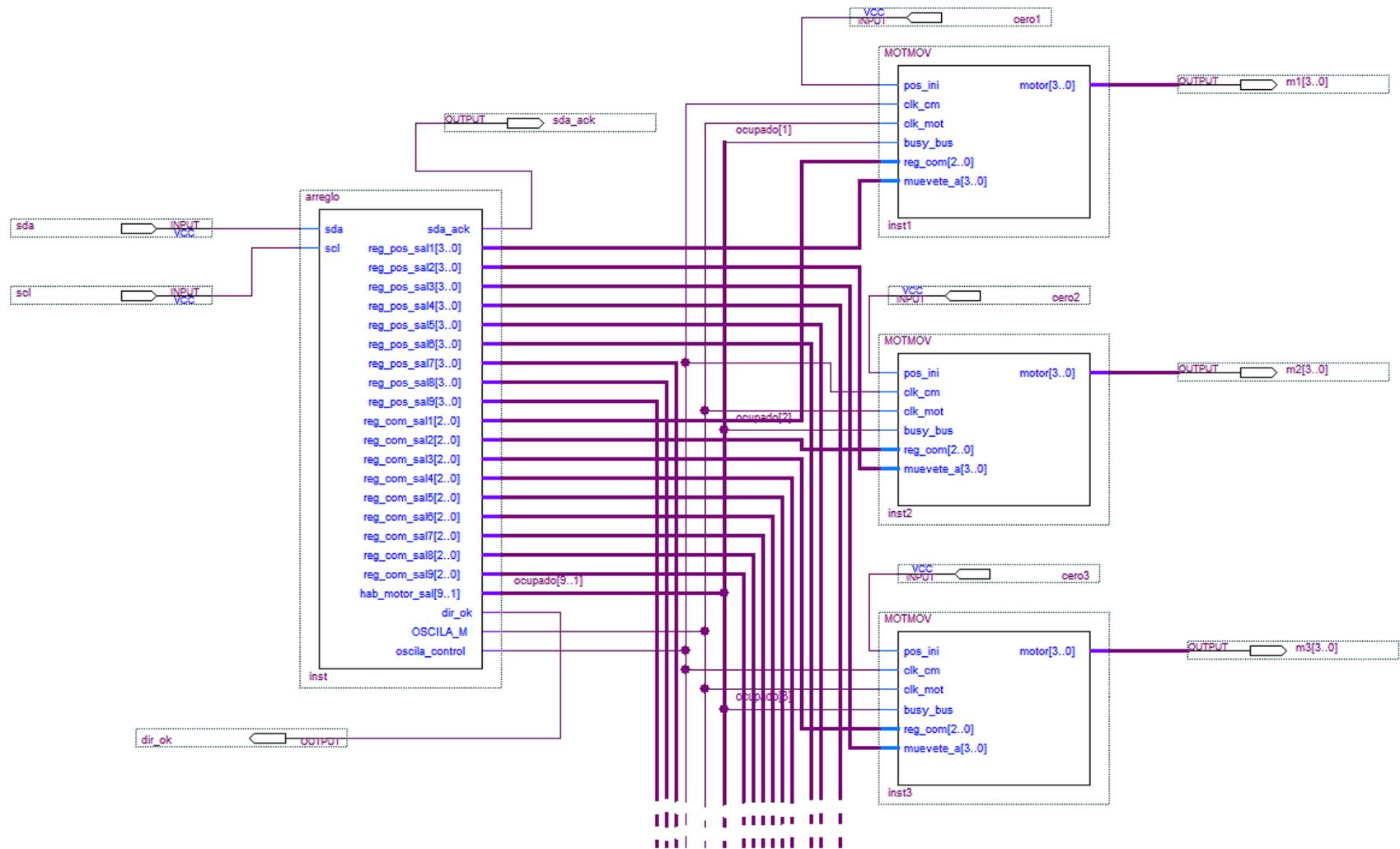


Figura 3.12 Arquitectura final del circuito de control.

3.4 La etapa de potencia para el minimotor.

Un elemento establecido con anterioridad en el transcurso de la investigación, fue el que corresponde a la etapa de potencia que energice las bobinas del motor a pasos de acuerdo a la secuencia que envía el circuito de control.

La opción que se generó consiste en utilizar un arreglo de circuitos L297 (controlador de motor a pasos) y L293 (controlador cuádruple de potencia). Una característica adicional que se incorporó de forma lógica, fue la de establecer una combinación de pulsos complementarios que eviten el sobrepaso en el movimiento del motor por efecto electromecánico e inercial.

La propuesta que incorpora el presente trabajo, resultado de investigar el estado del arte respecto a los controladores de motores a pasos integrados, de dimensión reducida y de reciente manufactura en el mercado que ofrezcan un mejor control en la operación del motor, dio como resultado el optar por el circuito controlador A3906 (*Allegro MicroSystems Inc.*) sustituyendo al arreglo de circuitos mencionado.

El circuito controlador A3906 fue diseñado para operar bajo el principio de modulación por ancho de pulso (PWM) para el control de motores a pasos de bajo voltaje, o también para el control de uno o dos motores de corriente directa. De las características que justifican su elección se enuncian las siguientes [4]:

- Soporta de 2.5 a 9 Volts de alimentación.
- Control interno PWM limitador de corriente.
- Rectificación sincrónica para reducir la disipación de energía.
- “Bandera” de sobre-corriente.
- Empaque de dimensiones reducidas QFN (4 x 4 mm).
- Función *sleep* (bajo consumo).
- Protección de interrupción de corriente.
- Desconexión térmica.
- Corriente máxima de 1 A por canal.
- La corriente de salida es regulada modulando las señales de entrada.

También permite el trabajar con una señal externa PWM omitiendo la interna, por lo que el control de corriente puede ser específico a las necesidades.

La configuración a utilizar se muestra en la figura 3.13. Los dos resistores que se conectan a las terminales de señalización de sobre-corriente no se emplearán en nuestro diseño, lo que nos permite aprovechar aún más el espacio disponible para la elaboración del la tarjeta de circuito impreso (PCB).

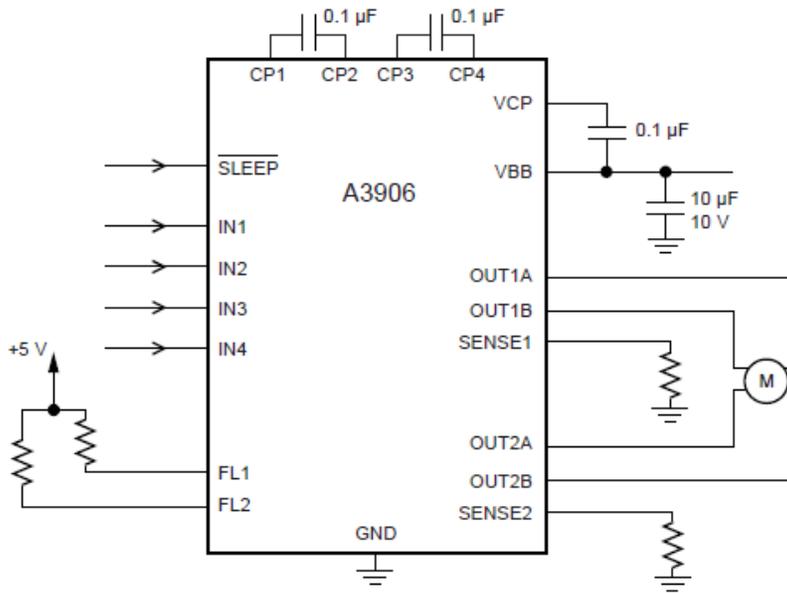


Figura 3.13 Etapa de potencia para cada minimotor.

El máximo valor de limitación de corriente I_{max} es establecida por el valor del resistor sensor R_s y es determinada por la función de transconductancia:

$$I_{max} = \frac{0.2}{R_s}$$

Este valor es crítico para asegurar que el máximo valor en las terminales de detección de corriente no exceda los 0.5V.

Puesto que el motor seleccionado tiene un consumo nominal de 225 mA por fase, el valor del resistor sensor de corriente es de:

$$R_s = \frac{0.2}{0.225} = 0.888\Omega$$

El circuito controlador es capaz de operar en modo de “medio paso” y “paso completo”. La figura 3.14 muestra la secuencia lógica y las señales correspondientes para ambos casos.

IN1	IN2	IN3	IN4	OUT1A	OUT1B	OUT2A	OUT2B	Function	
0	0	0	0	Off	Off	Off	Off	Disabled	Disabled
1	0	1	0	High	Low	High	Low	Full Step 1	½ Step 1
0	0	1	0	Off	Off	High	Low	–	½ Step 2
0	1	1	0	Low	High	High	Low	Full Step 2	½ Step 3
0	1	0	0	Low	High	Off	Off	–	½ Step 4
0	1	0	1	Low	High	Low	High	Full Step 3	½ Step 5
0	0	0	1	Off	Off	Low	High	–	½ Step 6
1	0	0	1	High	Low	Low	High	Full Step 4	½ Step 7
1	0	0	0	High	Low	Off	Off	–	½ Step 8

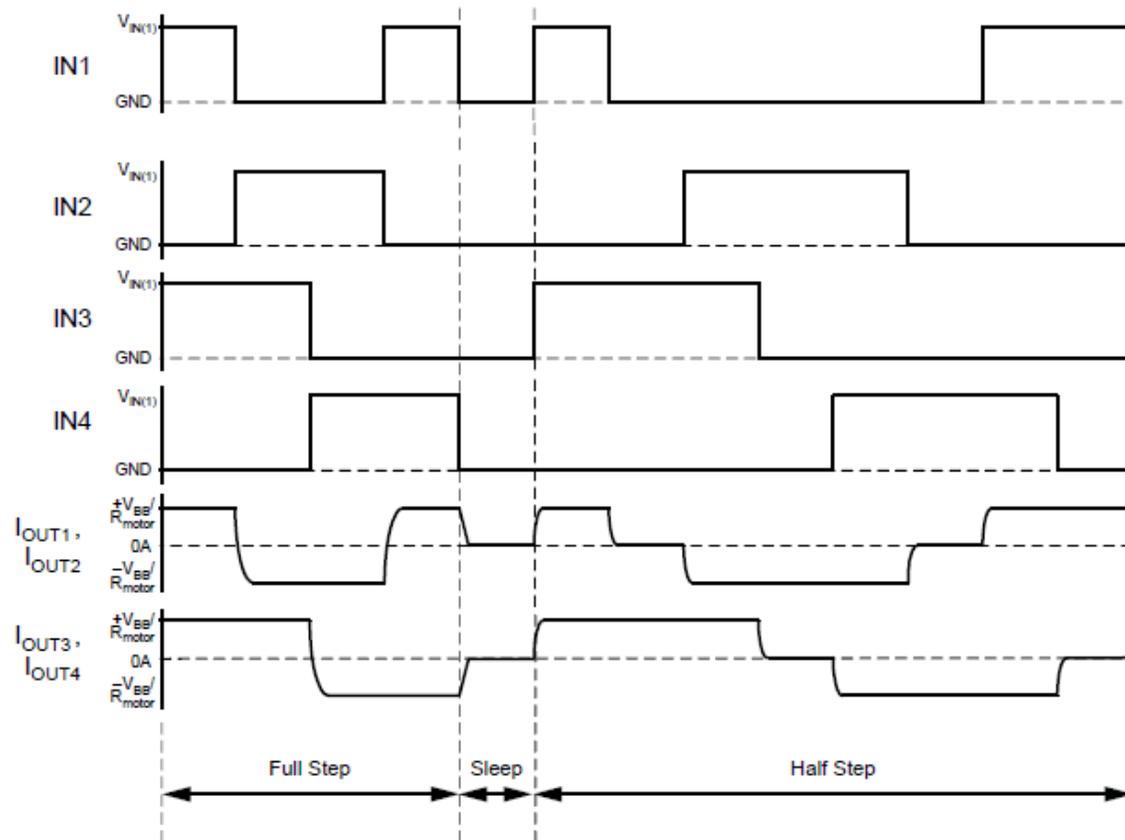


Figura 3.14 Control del motor a “medio paso” y “paso completo”

Como ha quedado establecido con anterioridad, el modo de operación será de “paso completo” con 18 grados por paso para un total de 20 pasos por revolución. Por las características geométricas del elemento *espirafase* solo se requieren de un rango de movimientos de 10 pasos.

Finalmente con el uso de este dispositivo se tienen las ventajas de: dimensiones reducidas, control de sobrepaso al controlar la corriente de alimentación por medio de PWM, y diferentes protecciones para el motor. En el apéndice se puede consultar con mayor detalle las características del dispositivo.

3.5 Detección de posición angular inicial.

Otro elemento del sistema previamente determinado es el correspondiente al detector de posición angular inicial del elemento *espirafase*. El principio aplicado es el de detección por reflexión de luz infrarroja en un disco codificado. El disco de material plástico tiene las mismas dimensiones que el elemento *espirafase* y está acoplado al eje del minimotor en el extremo contrario a donde se encuentra acoplado el elemento *espirafase*. El disco (figura 3.15) tiene una franja reflectiva en todo su diámetro y el resto del disco es de color oscuro. Se determinó emplear como elemento emisor un diodo emisor de luz infrarroja y como detector un fototransistor. Ambos elementos fueron modificados en su estructura física (desbaste) para limitar su ángulo de incidencia a las dimensiones del área reflectiva dispuesta en el disco.

Debido a las características artesanales del experimento descrito anteriormente, se plantea el uso de un circuito que reúna las características dimensionales sin necesidad de alterar su estructura física. El resultado de la investigación nos lleva a considerar el emplear el dispositivo QRE1113GR (*Fairchild*) que es un sensor de objetos por efecto reflectivo en miniatura [5] (figura 3.15) de tal forma que el elemento emisor y detector se encuentran apareados en un área de 2.9 x 3.6 mm.

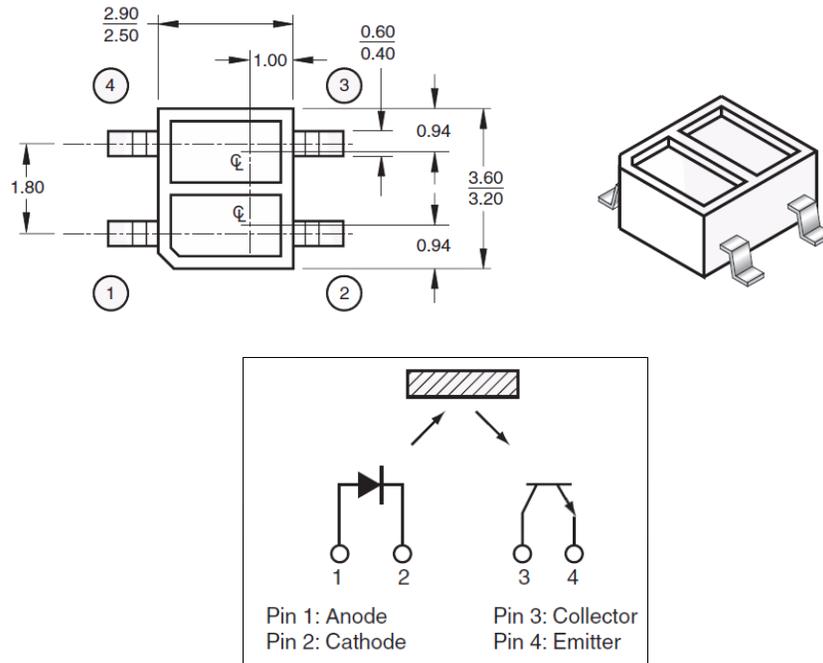


Figura 3.15 El dispositivo QRE1113GR

Además de sus dimensiones convenientes para nuestros objetivos, presenta la característica de tener su máximo de detección (corriente de colector en el fototransistor) a una distancia de 1 mm entre el dispositivo y el objeto reflector (disco codificado). Por lo tanto, el efecto de reproducibilidad de esta etapa está garantizado utilizando el QRE1113GR ya que no se verá alterado de ninguna forma. En el apéndice se pueden consultar con mayor detalle las especificaciones del circuito.

Con esta parte, se concluye el diseño de la etapa electrónica de control para al menos un módulo hexagonal de antena de arreglos de fase que contiene hasta 7 elementos *espirafase*. Se procede a programar la interfaz de usuario para el control del módulo.

Bibliografía.

- [1] Future Technology Devices Intl., “FTDI R232 Designers Guide” (<http://www.ftdichip.com>) 2002/2003.
- [2] Devantech Ltd., “USB to I2C Communications Module, Technical Specification” <http://www.robot-electronics.co.uk>.
- [3] Altera, “Max II Device Handbook”, 2008, <http://www.altera.com>.
- [4] Fairchild Semiconductor, “QRE1113GR Datasheet”, Febrero 2009, <http://www.fairchildsemi.com>.

4 Programación de la interfaz de control.

4.1 Introducción.

Una vez establecida la arquitectura *hardware* de control, se procede a programar finalmente la interfaz de computadora que permita interactuar al usuario con la electrónica del módulo hexagonal de antena y que fue esbozada en sus características gráficas de pantalla en el capítulo 2.4. Todas las especificaciones de la electrónica determinada hasta el momento tendrán que ser tomadas en cuenta totalmente (protocolo, tiempos de respuesta, etc.), y la programación debe ser lo más simple posible aprovechando los conceptos básicos de la programación orientada a objetos, y de esta forma permitir la continuidad y enriquecimiento de la aplicación.

Un aspecto importante a establecer antes de iniciar la programación es el siguiente. Considerando el avance que se tiene en el desarrollo del presente trabajo, las características establecidas para la interfaz pudieran generar el discurrir nuevas opciones de control, y es precisamente el objetivo a rescatar de este capítulo, el que se puedan visualizar o identificar posibles nuevas formas de controlar a los elementos *espirafase* del módulo de antena que sean producto de la observación de la operación del prototipo. Por lo tanto queda abierta la posibilidad de mejorarla en un posterior avance en la investigación sobre las antenas de arreglos de fase.

4.2 Funciones o subrutinas principales del programa.

El punto de partida para el desarrollo de la aplicación se basa en la interfaz de comunicación electrónica USB – I2C seleccionada. Recordemos que el controlador *software* de dicha interfaz que emplearemos será el que es compatible con el dispositivo FTD232R y con el sistema operativo Windows XP. El controlador se denomina *Virtual Com Port* (VCP) versión 2.04.16, y como su nombre lo indica su ejecución establece un puerto de comunicación serie RS-232 virtual, por lo que para el sistema operativo el envío de datos al puerto será bajo el protocolo correspondiente:

Para cumplir con las especificaciones de los protocolos de comunicación RS-232 e I2C, el puerto serie virtual será configurado de la siguiente forma:

- 19200 baudios.
- 8 bits de dato.
- Sin paridad.
- 2 bits de “alto”.

Dentro del grupo de rutinas importantes a implementar, y antes de configurar al puerto, se determina la existencia de puertos serie reconocidos por el sistema operativo a través de la siguiente función.

```
Private Sub Form1_Load(ByVal sender As System.Object, ByVal e As
System.EventArgs) Handles MyBase.Load
    For Each sp As String In My.Computer.Ports.SerialPortNames
        'reconocimiento de todos los puertos serie y colocados en una lista
        Ports.Items.Add(sp)
    Next
End Sub
```

Una vez seleccionado el puerto que corresponda a la conexión de la interfaz USB – I2C, se procede a configurar al puerto, por lo que este paso es transparente para el usuario.

```
Private Sub Ports_SelectedIndexChanged(ByVal sender As System.Object,
ByVal e As System.EventArgs) Handles Ports.SelectedIndexChanged
    USB_I2C = My.Computer.Ports.OpenSerialPort(Ports.Text, 19200,0,8,2)
    'configuración del puerto
    USB_I2C.ReadTimeout = 500
    'tiempo de espera para comunicación exitosa
End Sub
```

La rutina más importante del programa es aquella en la que se envían los datos que constituyen la trama determinada en el capítulo 2.1. (dirección de esclavo, elemento *espirafase*, comando, posición a alcanzar). Esta rutina será invocada en todas las opciones (botones) de control establecidas en el programa ya que las distintas formas de control establecidas finalmente enviarán tramas idénticas en formato. La rutina sigue la siguiente secuencia de acciones:

- Se crea un vector de 5 bytes.
 - o Se almacena en el byte menos significativo el comando que establece enviar al circuito esclavo tres bytes (comando 55H). El comando es propio para la interfaz USB-I2C utilizada.
 - o En el segundo byte se almacena el número de módulo de antena a contactar (esclavo i2c).
 - o En el tercer byte se almacena el número de elemento *espirafase* de antena destino (minimotor), colocado en los cuatro bits más significativos del byte.
 - o En el cuarto byte se indica la cantidad de bytes que corresponden únicamente a datos en la trama i2c a enviar. En nuestro caso la cantidad de bytes correspondientes siempre es uno (número de minimotor & posición a alcanzar).
 - o En el quinto byte se almacena:

- En la parte más significativa del byte el comando a ejecutar.
 - En la parte menos significativa la posición a alcanzar.
- Se envía todo el vector anterior al puerto serie.
 - Se espera recibir el acuse por parte del esclavo i2c.

El código de la rutina es el siguiente:

```

Private Sub WriteButton_Click(ByVal sender As System.Object, ByVal e As
System.EventArgs) Handles WriteButton.Click

SerBuf(0) = &H55 'Comando R/W para trama i2c de 3 bytes

SerBuf(1) = num_modulo * 2 'número de módulo (posición en la parte más
significativa del byte).

SerBuf(2) = NumMotor.Text * 16 'número de minimotor (posición de los 4
bits mas significativa del byte)

SerBuf(3) = &H1 'cantidad de datos i2c a enviar que en nesutro caso
siempre es uno.

SerBuf(4) = (Comando.Text * 16) + Posicion.Text 'comando y posición en
ese orden de significancia.

USB_I2C.Write(SerBuf, 0, 5)
'envío de vector de comandos y datos hacia la interfaz USB-I2C

Do While USB_I2C.BytesToRead < 1 'espera de respuesta de la USB-I2C
Loop

USB_I2C.Read(SerBuf, 0, 1) 'lectura de ack del byte recibido

    If SerBuf(0) = 0 Then
        Mensajes.Text = "Falló Escritura" 'si el LSB = 0 entonces error
    Else
        Mensajes.Text = "Escritura Correcta" 'si LSB = 1 entonces correcto
    End If

End Sub

```

La forma en que se incluye a la rutina anterior en las distintas opciones de control del programa se describe a continuación:

- Para la opción de control de barra de desplazamiento de movimiento global (figura 4.1):

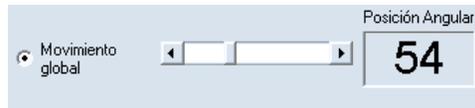


Figura 4.1 Control por barra de desplazamiento.

- o Cada que se desplaza la barra de control gráfico, se envía una trama a cada proceso de control de minimotor.
 - o Se incluye en la trama la posición relativa a la establecida en la barra, la cuál tendrá un valor múltiplo de 18 en un rango de 0° a 162°
 - o La sección de trama correspondiente al comando en todos los casos es el de “ejecutar movimiento”.
 - o Se deshabilita la operación de la barra por el tiempo que resulte de calcular la latencia de ejecución del movimiento angular en el minimotor.
 - o Terminado el tiempo calculado de latencia, el algoritmo pasa a condiciones iniciales.
- Para el control de posicionamiento independiente (figura 4.2):

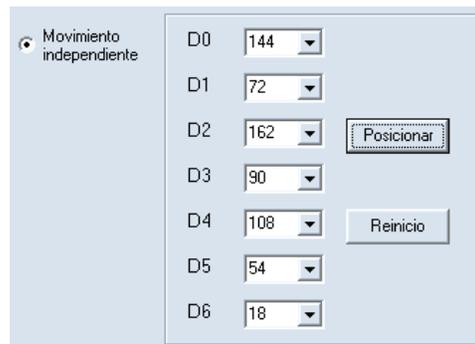


Figura 4.2 Control por selección independiente.

- o La única posible variante en la trama i2c a enviar por medio de este control, es la posición a alcanzar en cada minimotor, y que es especificada en las casillas de selección correspondientes.
- o El cálculo de latencia en esta parte no tiene sentido, ya que para un movimiento angular máximo (90°) se requiere un cuarto de segundo el cuál no es suficiente para considerar que el usuario seleccione un nuevo valor de posicionamiento de un elemento de antena.

- Para la opción de barrido automático de posiciones a espacios de tiempo mínimos de 50 ms (figura 4.3), se entregan tramas que van cambiando el valor de la posición de forma unitaria, (incremento y decremento entre posiciones de 0° a 180°).



Figura 4.3 Control automático de barrido.

- En la última de las opciones de control surge un error a corregir. La opción original planteaba el ejecutar movimientos enlistados para cada elemento de antena en espacios mínimos de tiempo de 50 ms, pero como las posiciones listadas no necesariamente establecen incrementos o decrementos continuos, se elimina la opción de tiempo y simplemente se ejecutan los posicionamientos conforme aparecen listadas salvo previo cálculo de latencia de operación. La interfaz cambia como se muestra en la figura 4.4:



Figura 4.4 Control de secuencias independientes.

El cálculo de la latencia que nos representa el envío de una trama y su ejecución en la parte electrónica, nos permite evitar que se envíe un comando de movimiento antes de que concluya el alcanzar la posición deseada en el elemento *espirafase*, y así corresponder a la característica de un control de lazo abierto. El cálculo de la latencia es bastante simple ya que se conoce la velocidad de paso del motor (50 ms por paso de 18°), y el tiempo de respuesta del circuito de control también es conocido resultado de la compilación del diseño (la herramienta de compilación y la tecnología PLD empleada, ofrece el dato con precisión para el tipo de dispositivo seleccionado), por lo que la latencia queda determinada por la suma del tiempo total de pasos a efectuar (desplazamientos angulares de 18°) más el tiempo de respuesta del circuito de control, esto es:

$$\text{Latencia} = N_p * 50 + T_r$$

En donde:

- N_p es el número de pasos a efectuar.
- 50 ms es el tiempo por paso.
- T_r es el tiempo de respuesta del circuito electrónico de control.

Un aspecto importante a considerar es el hecho de que el elemento *espirafase* con anillos de metal es totalmente simétrico en su estructura física en la orientación horizontal y vertical (ver figura 4.5), por lo que si el disco se encuentra posicionado en 0° y se desea establecer una posición relativa de 162° , en lugar de generar 9 pasos a desplazarse en sentido horario, bastará indicar un movimiento de un paso en sentido contrario logrando el reposicionamiento en el menor tiempo posible.

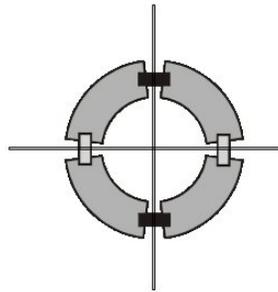


Figura 4.5 Simetría del elemento *espirafase*.

Recordemos también que la etapa de control sólo manipula valores de posición del 0 al 9. Para librar a la electrónica de control de cálculos de reposicionamiento, se le adjudica al programa de computadora el procesamiento correspondiente. La tabla 4.1 muestra las diez posiciones angulares posibles para el elemento *espirafase*. Observando su comportamiento y tomando en cuenta la simetría del disco, se advierte que para alcanzar una nueva posición angular (llamémosle P_n) a partir de una posición conocida de referencia (llamémosle P_r), solo se requiere un desplazamiento en el minimotor menor o igual a cinco posiciones, y así de cómo resultado el menor tiempo necesario en el desplazamiento angular para alcanzar la posición deseada, esto es:

Si $P_n - P_r \leq |5|$, entonces:

$$\# \text{ pasos} = P_n - P_r$$

Si $P_n - P_r > |5|$, entonces:

- Si $P_n - P_r$ es positivo $\Rightarrow \# \text{ pasos} = P_n - P_r - 10$
- Si $P_n - P_r$ es negativo $\Rightarrow \# \text{ pasos} = P_n - P_r + 10$

En donde:

- P_r es la posición de referencia.
- P_n es la nueva posición a alcanzar.
- el signo que resulte de las operación significa el sentido de giro:

- Negativo => antihorario
- Positivo => horario.

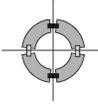
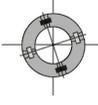
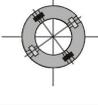
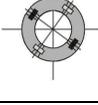
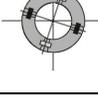
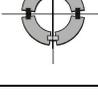
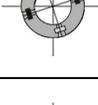
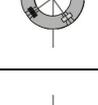
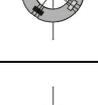
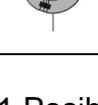
	Ángulo	Posición
	0 °	P0 Equivalente a 180 °
	18 °	P1
	36 °	P2
	54 °	P3
	72 °	P4
	90 °	P5
	108 °	P6
	126 °	P7
	144 °	P8
	162 °	P9

Tabla 4.1 Posibles posiciones angulares del elemento *espirafase*.

El algoritmo que resulta del análisis anterior, es establecido en una función que se invoca cada que se requiera cambiar la posición angular de algún elemento de antena.

Por otra parte, el resultado de este análisis pone en evidencia detalles a corregir en la lógica de control en lo que respecta al valor de posición a enviar, ya que se tenía en consideración el enviar la posición específica a alcanzar en un rango de 0 a 9, lo cuál ha cambiado dado el análisis anterior, ya que sólo se enviará la especificación de hasta cinco pasos de desplazamiento como máximo y el sentido correspondiente.

La ventaja de haber seleccionado la tecnología PLD como base para el diseño y síntesis del circuito de control, se demuestra al hacer la corrección en la arquitectura electrónica del diseño previo, ya que la modificación para el nuevo formato de envío, recepción y procesamiento del dato de posición, no representa mayor complejidad ni capacidad extra que no sea capaz de soportar el dispositivo seleccionado, por lo que se hace la modificación correspondiente y se procede a evaluar finalmente al prototipo obtenido.

5 Pruebas, Resultados y Conclusiones.

5.1 Introducción.

En el presente capítulo se explica la metodología empleada en la aplicación de diferentes pruebas de operación al sistema desarrollado. Primero se exponen las características de las pruebas realizadas a cada elemento o módulo que conforma el sistema de control así como los resultados obtenidos, para posteriormente finalizar comprobando la operación de la integración de todos ellos.

Las pruebas a aplicar así como los objetivos que persiguen son los siguientes:

- Envío de tramas de control desde la computadora hacia la interfaz I2C.
 - Comprobar la correcta estructura de la trama I2C enviada y recibida entre ambos elementos.
- Operación del CPLD (procesos paralelos).
 - Comprobar la operación en condiciones iniciales del principal circuito de control.
 - Comprobar el procesamiento digital de comandos que indiquen ejecución de movimiento en un minimotor.
- Operación de la etapa de potencia.
 - Comprobar la correcta limitación de corriente de alimentación para el minimotor aplicando el principio de modulación por ancho de pulso.
- Detector de posición inicial.
 - Comprobar la correcta operación de la etapa de detección de posición angular inicial.
- Integración de todos los módulos.
 - Comprobar la operación del sistema prototipo a través de manipular a los elementos *espirafase* de un módulo hexagonal de antena de arreglos de fase.

Los resultados obtenidos en cada prueba proporcionaron información importante para efectuar algunas correcciones. Las modificaciones necesarias se efectuaron inmediatamente aplicando el algoritmo de diseño propio de la tecnología empleada (PLD) por lo que el factor tiempo – costo de rediseño fue amortizado sustancialmente.

5.2 Pruebas y Resultados.

- Envío de tramas de control desde la computadora hacia la interfaz I2C

Esta prueba se efectúa utilizando un pequeño programa de computadora hecho ex profeso para el envío de una trama I2C que contenga información establecida a voluntad (se tiene la libertad de cambiar el dato que contiene), y se transmite por un puerto USB el cuál a su vez tenga conectada la interfaz I2C. Adicionalmente se utiliza un PLD de capacidad reducida (EPM3064ALC44-10) configurado como dispositivo “esclavo” I2C y como registro de corrimiento en el que se capture la información enviada y se compruebe de esta forma su correcta estructura.

El no contar con la facilidad de acceso a un moderno osciloscopio que tenga la capacidad de sincronizarse con tramas de datos con estructura I2C, propicia el utilizar esta configuración simple pero efectiva de prueba (figura 5.1).

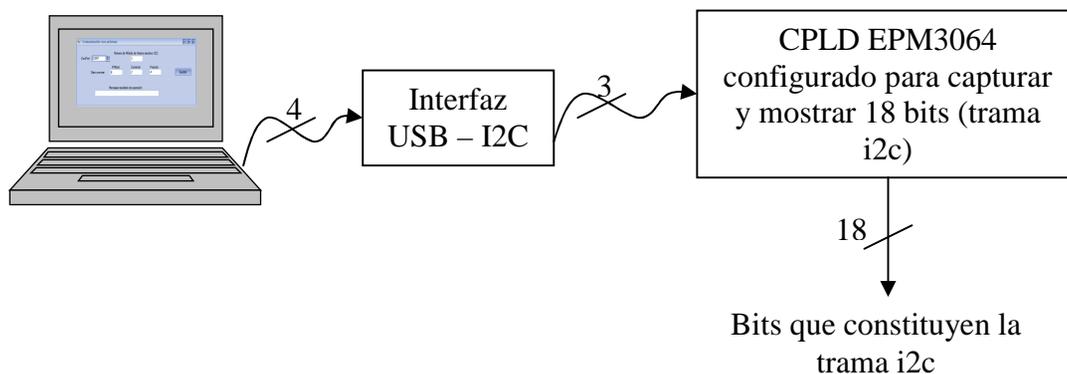


Figura 5.1 Configuración de prueba de identificación de trama I2C.

De esta forma se comprueba la descripción en VHDL y su posterior síntesis de la arquitectura diseñada para la función de identificación y decodificación de trama I2C en modo de “esclavo” (capítulo 3.2.1), y que posteriormente pase a ser sintetizada como un proceso concurrente en el circuito de control finalmente seleccionado.

La interfaz gráfica del programa empleado en esta prueba incluye:

- Selección de puerto serie.
- Número de módulo hexagonal de antena destino.
- Número de minimotor del módulo a controlar.
- Posición angular deseada.

- Mensajes de error en caso de proceso infructuoso de envío – recepción.
- La figura 5.2 muestra las condiciones reales de la prueba, haciendo notar la simplicidad aparente de elementos que se utilizan hasta este punto, pero que por ejemplo para el caso del PLD ya se incluye el diseño de arquitecturas lógicas de operación concurrente.

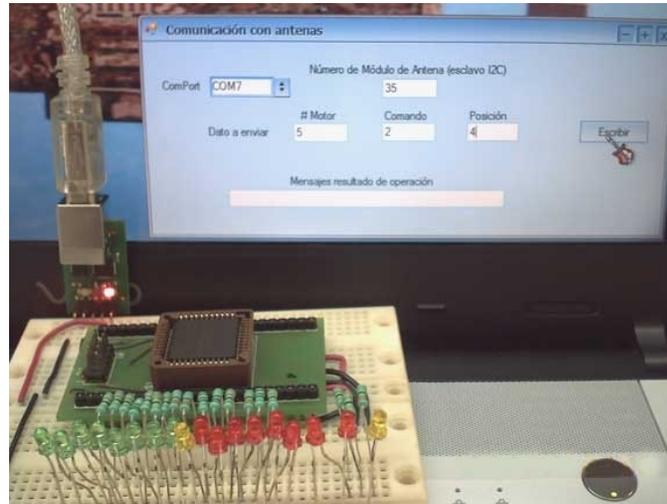


Fig. 5.2 Condiciones reales de la primera prueba.

Los resultados obtenidos de emplear la configuración son correctos para todos los eventos de envío de tramas (cien eventos efectuados). Por lo que podemos pasar a la siguiente prueba.

- Pruebas al dispositivo CPLD EPM570T100C5N sintetizado con el diseño generado.
 - Operación en condiciones iniciales.

Recordemos que en condiciones iniciales el dispositivo de control (PLD) tiene que enviar secuencias de pulsos para generar movimiento en todos los minimotores que componen un módulo de antena hexagonal, a una frecuencia de paso de 20 Hz deteniendo su operación hasta detectar que se encuentra ubicado en la posición angular considerada como cero grados para el elemento *espirafase*.

Antes de realizar la prueba se diseña y fabrica la tarjeta electrónica (figura 5.3) en donde se coloque al dispositivo elegido y se procede a configurarlo (sintetizar en él la arquitectura diseñada) a través de una interfaz JTAG.

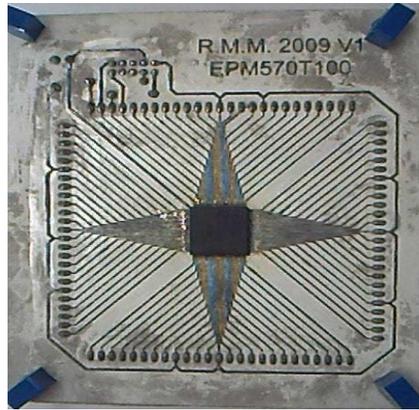


Fig. 5.3 El EPM570T100C5N de empaquetado tipo QFP.

La detección de haber alcanzado la posición angular inicial en el elemento *espirafase* se simula por medio de un botón que al presionarlo detendrá el desplazamiento del minimotor correspondiente.

Se procede a energizar al dispositivo visualizando las señales de salida en el osciloscopio. Las secuencias lógicas observadas en las terminales de salida que corresponderían a alimentar una fase de un minimotor se muestran en la figura 5.4.

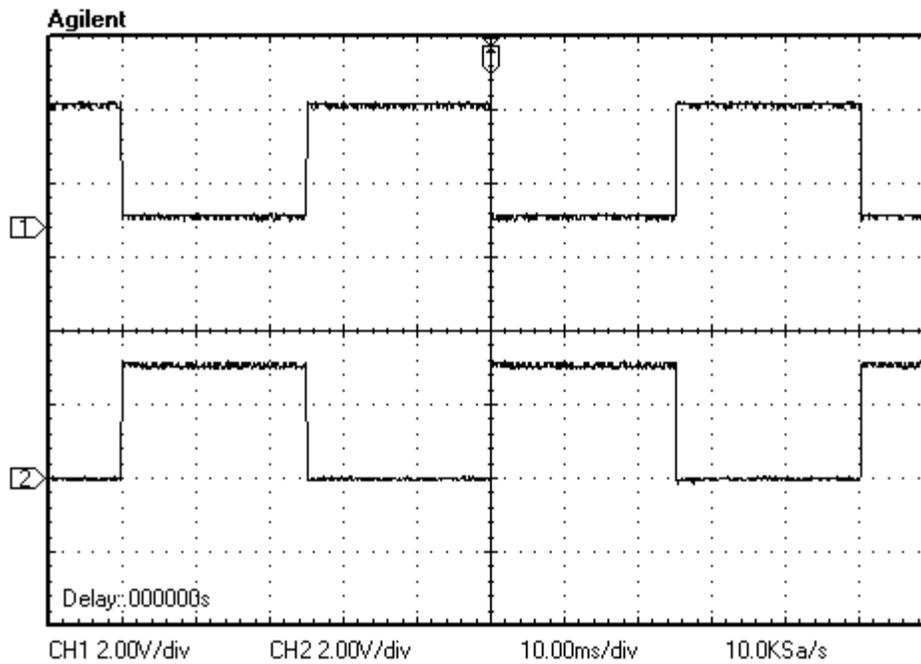


Figura 5.4 Formas de onda que alimentan una fase del minimotor a pasos.

Como se puede observar en la figura, la frecuencia de las señales de salida es de 20 Hz. En consecuencia comprobamos que:

- El proceso concurrente que corresponde al oscilador interno al dispositivo de control opera sin problema alguno desde el momento de polarizar al circuito.
- La división de frecuencia necesaria para obtener la base de tiempo para los procesos paralelos encargados de generar las señales de salida (secuencias de paso completo para los minimotores) operan correctamente.
- El voltaje de operación en todos los casos es de 3.3 V.
 - Prueba para comprobar el correcto procesamiento de datos enviados desde el programa de computadora.

Para esta prueba se emplea la interfaz USB-I2C, el CPLD configurado con la arquitectura lógica diseñada, diodos emisores de luz y osciloscopio.

Se enviarán tramas que signifiquen ejecución inmediata de movimiento en cada minimotor del módulo hexagonal.

En este punto se desarrolla con antelación la parte del programa de computadora en que se pueda establecer movimiento global de elementos del módulo, es decir, todos los elementos de antena del módulo hexagonal se mueven angularmente en incrementos o decrementos discretos de 18 grados en un rango de 0° a 180°.

Los resultados son satisfactorios en todos sentidos, solo que se han colocado *buffers* en las señales de salida para evitar una demanda de corriente excesiva en el CPLD.

Por lo tanto, es momento de incluir la etapa de potencia entre CPLD y minimotor.

- Acoplamiento de etapa de potencia.

Antes de abordar los resultados de acoplar la mayoría de las partes que componen al sistema, observemos las señales obtenidas de la caracterización del circuito que opera como interfaz de potencia, y que a diferencia de la prueba anterior en donde se utilizan *buffers* para alimentar a los *led's*, el circuito seleccionado tiene características adicionales y de interés para nuestro caso.

En la figura 5.5 se observa la señal obtenida a la salida de un circuito de potencia, teniendo como entrada las señales provenientes del circuito de control (secuencias de paso a 20 Hz), con la particularidad de no conectar carga alguna.

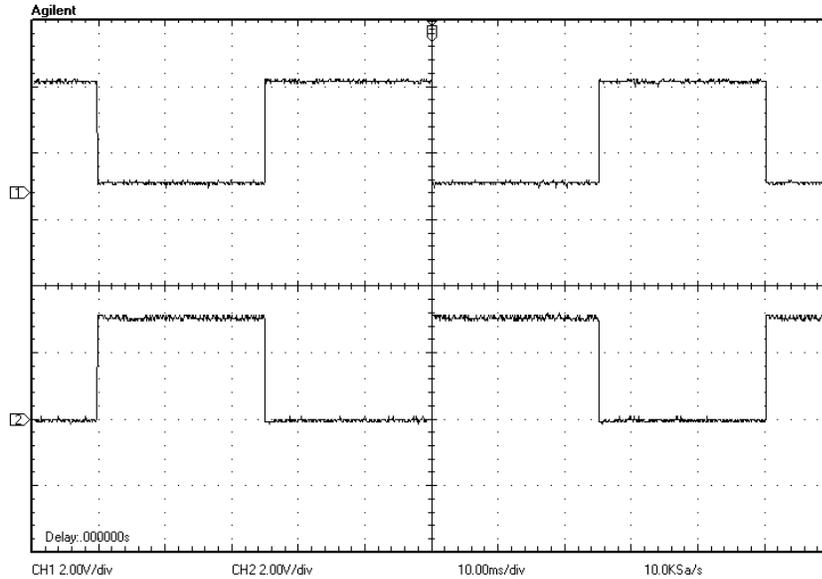


Figura 5.5 Señales de salida del circuito A3906 sin carga.

Podemos ver que prácticamente no se tiene diferencia alguna respecto a la señal de la figura 5.4, por lo que hasta este punto no se tiene ningún cambio significativo en su comportamiento. El efecto de conectar un minimotor como carga en las terminales de salida provenientes del circuito de potencia se observa en la figura 5.6 con la particularidad de mostrar el voltaje en una fase del motor (terminales de una bobina del estator).

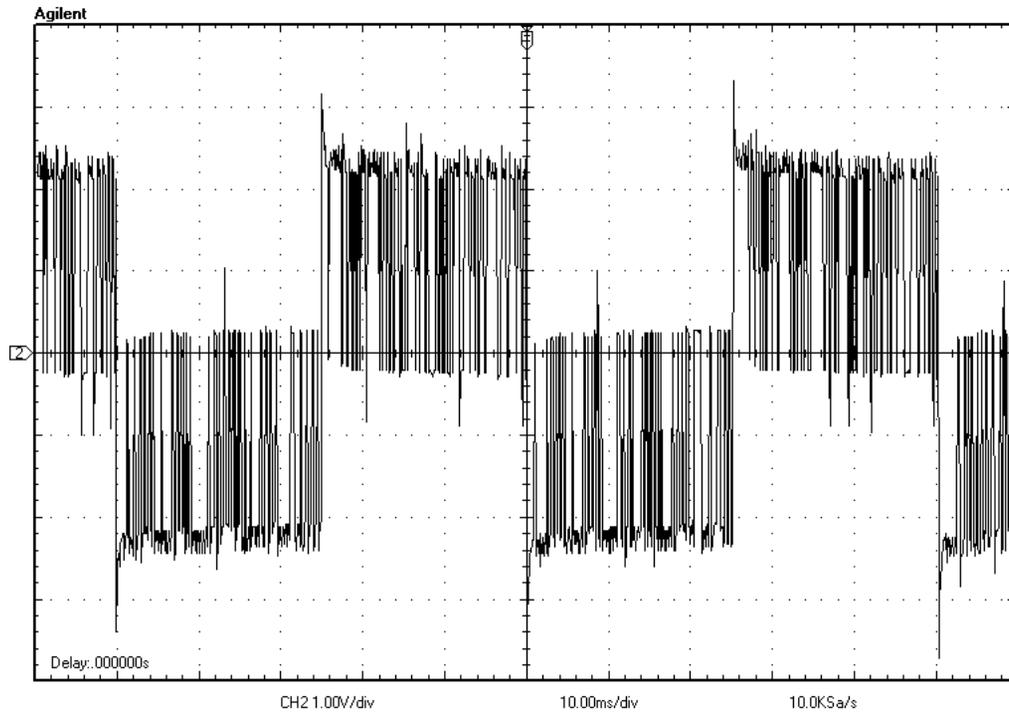


Figura 5.6 Voltaje en una fase del minimotor.

El efecto obtenido es la aparición de la modulación por ancho de pulso para la limitación de corriente de alimentación.

En la figura 5.7 podemos visualizar un acercamiento que nos da una percepción más clara del efecto mencionado. En la imagen se observa claramente que al inicio de la conmutación de voltaje (inicio del movimiento de un paso), la señal se mantiene en nivel máximo para ofrecer la energía eléctrica suficiente en las bobinas y así el rotor gire, pero pasados 1.5 ms la señal de voltaje cambia a un comportamiento de modulación por ancho de pulso que además de limitar la corriente demandada se tiene el efecto de reducir el sobrepeso en el rotor. La frecuencia máxima de la señal PWM observada en la figura es de aproximadamente 10 kHz.

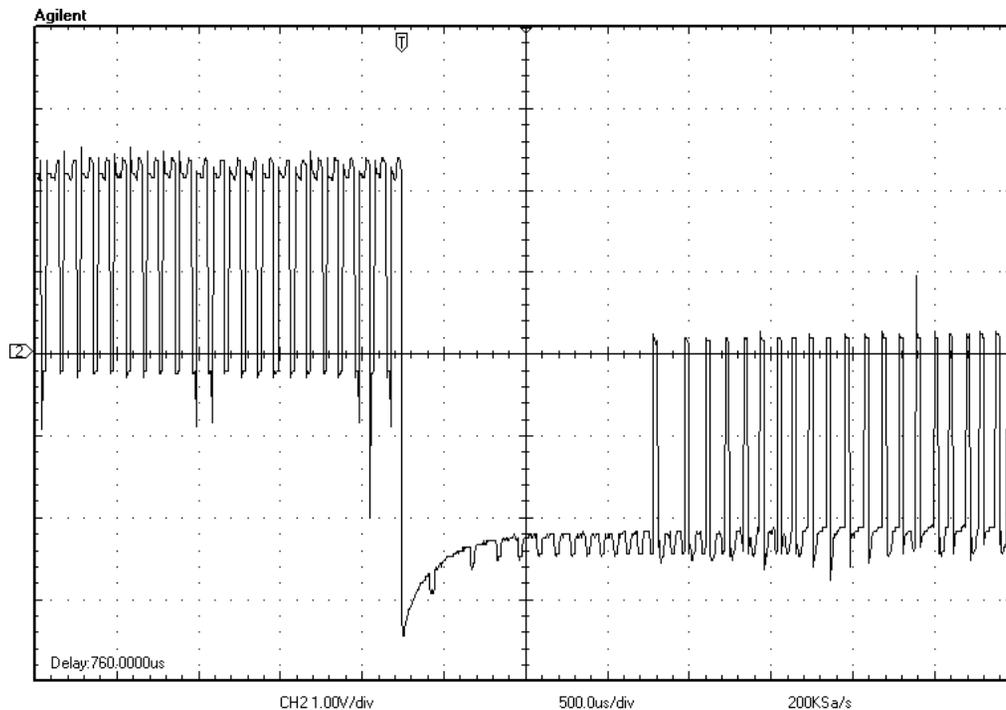


Figura 5.7. Acercamiento para visualizar la PWM.

La señal de corriente medida indirectamente a través de un resistor de 1 ohm en conexión serie, se observa en la figura 5.8, en donde también se concluye que la corriente de fase se mantiene en promedio de los 225 mA nominales que soporta el minimotor.

Un aspecto importante a considerar en el avance futuro de la investigación es el hecho de que la señal PWM generada internamente en el A3906 se puede

inhibir y sustituir por una señal externa al circuito, de tal forma que ofrece características de operación a evaluar.

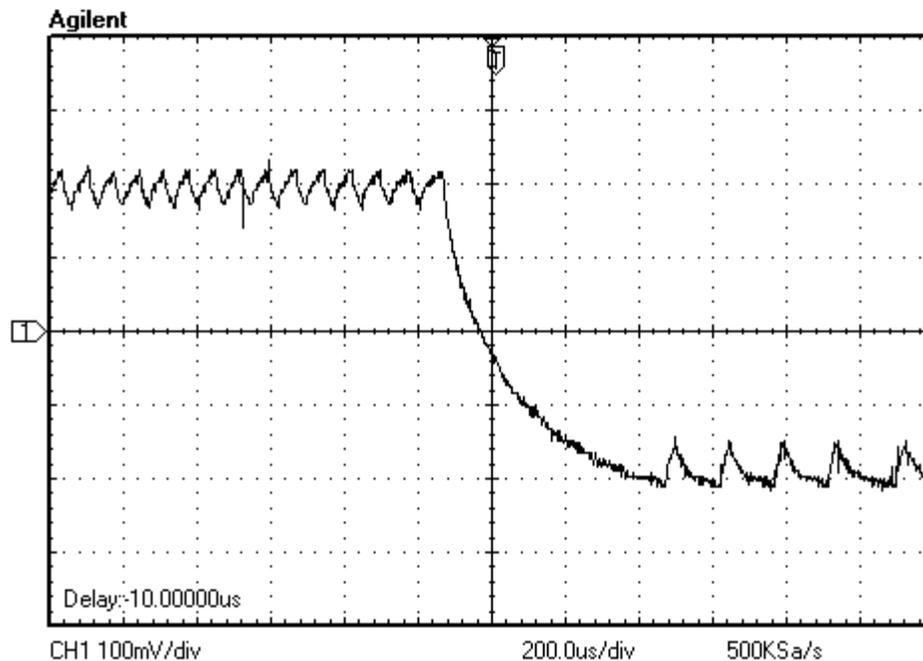


Figura 5.8 Corriente en una fase.

Podemos concluir que la etapa presenta la operación necesaria para el control del minimotor. Nota aparte cabe mencionar que antes de la selección de este circuito se probaron y caracterizaron dos diferentes opciones de circuito limitador de corriente, pero en definitiva el A3906 supero las expectativas.

- Prueba de detección de posición inicial.

En las pruebas de operación del circuito emisor – detector infrarrojo QRE1113GR, además de evaluar las dimensiones favorables que tiene para nuestros fines, también se evalúa su característica de tener su máximo nivel de voltaje de salida (detección de un objeto reflectivo) cuando se tiene una distancia de 1 mm entre el dispositivo y el objeto. Este hecho se puede observar en la figura 5.9 la cuál representa la caracterización de la salida del fototransistor en configuración de polarización básica sin etapa alguna de amplificación y bajo las condiciones de emplear el disco codificado implementado con antelación en el desarrollo de la investigación el cuál a su vez se encuentra acoplado al eje del minimotor. El minimotor se dispone en condición de libre rotación a la frecuencia de paso de 20 Hz.

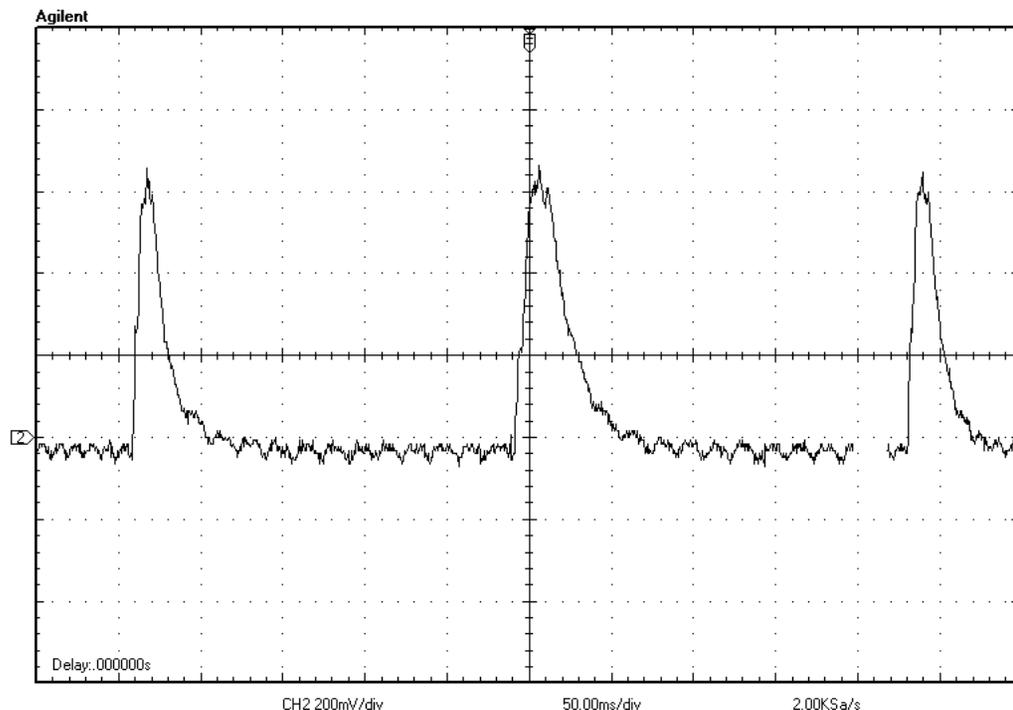


Figura 5.9 Señal de salida del detector infrarrojo sin etapa de amplificación.

Por lo tanto, bastó adicionar una etapa discreta de amplificación (transistor) para llevar a la señal a nivel de reconocimiento lógico compatible con el circuito de control del módulo de antena.

- Prueba final aplicada al sistema de control electrónico de un módulo de antena hexagonal de arreglos de fase basado en anillos metálicos.

En esta última prueba básicamente se envían diferentes datos de posición angular, invocando su procesamiento a través de cada opción de control dispuesta en el programa, y se comprueba físicamente que el minimotor (y en consecuencia el elemento *espirafase*) halla alcanzado la posición indicada.

Los resultados en todas las opciones de control de posición del minimotor fueron correctos, y esto se atribuye en gran medida al tipo de procesamiento efectuado (digital), y al comportamiento y desempeño de los minimotores a pasos en donde la pérdida de un paso (ya sea omitido o en exceso) prácticamente se considera inexistente siempre y cuando la etapa de potencia mantenga una corriente de alimentación nominal estable y la vida útil del minimotor no concluya.

La prueba se efectuó con un máximo de dos minimotores, ya que al considerarse que el proyecto forma parte de una línea de investigación, faltará evaluar los resultados de las distintas investigaciones para considerar la viabilidad de continuar desarrollando el presente prototipo a su máxima capacidad.

Adicionalmente se efectuaron dos pruebas más que por la importancia que representan se explican a continuación.

- Prueba de envío de datos a más de un módulo de antena.
 - Se configuraron tres circuitos CPLD con la misma arquitectura interna pero diferentes direcciones de identificación de dispositivo esclavo I2C.
 - Se conectaron al mismo bus de datos y se enviaron comandos desde la computadora, cambiando la dirección destino del módulo de antena a quien va dirigida la información.
 - El resultado fue que en todos los casos, la recepción y procesamiento de los datos son correctos en cada dispositivo “esclavo” I2C destino.

- Prueba de incremento de elementos de antena por módulo.
 - Para esta prueba se incrementó la capacidad de procesos paralelos de control de minimotor sintetizados en el circuito de control del módulo de antena pasando de siete a nueve (figura 5.10). Esto es debido a que durante el curso de la investigación se indicó la necesidad de módulos de forma y tamaño diferente y por lo que la cantidad de elementos *espirafase* por módulo serían de nueve.
 - La modificación no implicó mayor problema y simplemente se replicaron procesos internos.
 - Los resultados de envío y procesamiento de datos de posición es correcta en todos los eventos realizados.

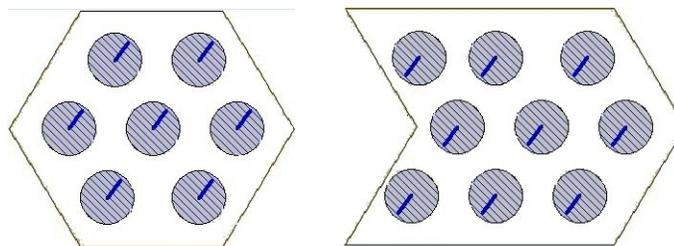


Figura 5.10 Incremento de elementos de antena por módulo.

La figura 5.11 muestra finalmente las tarjetas electrónicas y elementos en general que constituyen al prototipo, observando además la relación dimensional que tienen en comparación con las del módulo hexagonal especificado en el capítulo 1.3.2. En consecuencia las dimensiones son relativamente adecuadas para la síntesis de tarjetas electrónicas en los límites del área que presenta el módulo hexagonal.

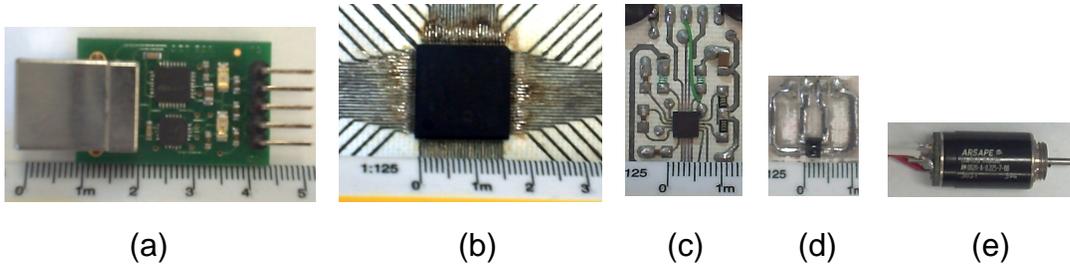


Figura 5.11 Elementos electrónicos del sistema final.

En la figura se observan a la interfaz USB-I2C (a), al CPLD (b), a la interfaz de potencia (c), al emisor detector infrarrojo (d) y al minimotor (e).

5.3 Conclusiones.

El sistema de control implementado da solución al problema planteado al inicio del presente trabajo, cumpliendo con las necesidades de control expresadas de tal forma que:

- Se tiene un sistema de control electrónico de módulo de antena de arreglos de fase basado en anillos metálicos.
- El control tiene capacidad hasta el momento de controlar nueve minimotores (elementos de antena) en forma paralela.
- Toda la electrónica de procesamiento de datos de un módulo de antena, incluyendo la base de tiempo requerida, se encuentra integrada en un solo dispositivo.
- La configuración de terminales de entrada y salida del circuito de control (asignación a voluntad de *pines* exceptuando los de polarización) son configurables, hasta cierto límite, dependiente de la complejidad del diseño. En nuestro caso no se presenta problema alguno. En consecuencia, la interconexión con el resto de elementos del sistema se distribuye de forma eficiente.
- El circuito de control del módulo de antena es compatible con el estándar I2C, en modo esclavo, por lo que tiene una dirección única que lo identifica en el *bus* de datos. La conexión entre todos los circuitos de control (módulos de antena) que se añadan al sistema requiere de cuatro líneas, dos de comunicación y dos de polarización.
- La cantidad de módulos de antena que se controlaron estando conectados al mismo *bus* I2C fue de tres (teóricamente se pueden tener hasta 128).
- Dados los tiempos de envío y recepción de tramas de datos I2C, comparados con la frecuencia de paso del minimotor, se puede afirmar que al menos para los tres circuitos de control de módulo de antena probados se tiene un procesamiento paralelo e independiente en cada uno de ellos.
- El margen de maniobra que se tiene en el sistema de control electrónico, en lo que respecta a las necesidades de corrección o incremento de futuras características de operación, es considerable, debido principalmente a las características tecnológicas del dispositivo de control de módulo de antena seleccionado (PLD), siendo posible el ser sustituido por uno del doble de capacidad lógica y de la misma cantidad de terminales.

Con esto finaliza el presente trabajo escrito de tesis y se sientan bases para la continuación de la investigación sobre antenas de arreglos de fase formada por módulos con elementos reflectivos basados en anillos de metal.

Apéndice.

Especificaciones Técnicas de los componentes electrónicos principales del circuito de control del módulo de antena.

- El minimotor *Arsape* AM0820-A-0.225-7-00.
- El CPLD EPM570T100C5N.
- El circuito de potencia A3906.
- El emisor-detector infrarrojo QRE1113GR.

Stepper Motors

0,65 mNm

Two phases, 20 steps per revolution

AM0820-ww-ee

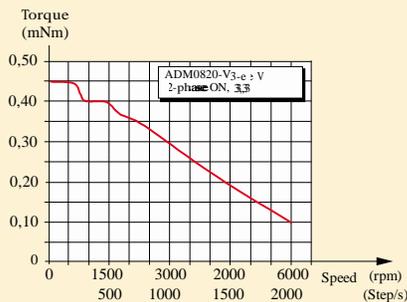
	ww =	V-3-18		V-5-56		A-0,225-7		Drive mode
		Voltage	Current	Voltage	Current	Voltage	Current	
1 Nominal voltage		3	6 – 30	5	6 – 30	2	6 – 30	V DC
2 Nominal current per phase (both phases ON)		–	0,15	–	0,08	–	0,225	A
3 Phase resistance (at 20°C)			18		56		7,3	Q
4 Phase inductance (1kHz)			5,2		16		2,1	mH
5 Back-EMF amplitude			0,8		1,4		0,5	V/k step/s
6 Holding torque ¹⁾ (at nominal current in both phases)	0,65							mNm
7 Holding torque ¹⁾ (at twice the nominal current)	1							mNm
8 Step angle (full step)	18							degree
9 Angular accuracy ²⁾	± 10							% of full step
10 Residual torque	0,06							mNm
11 Rotor inertia	2,75							· 10 ⁻⁹ kgm ²
12 Resonance frequency (at no load)	170							Hz
13 Electrical time constant	0,29							ms
14 Ambient temperature range	–35 ... +70							°C
15 Winding temperature tolerated, max.	130							°C
16 Thermal resistance winding-ambient air	76							°C/W
17 Thermal time constant	180							s
18 Shaft bearings	sintered bronze sleeves (standard)			ball bearings, preloaded (optional)				
19 Shaft load, max.:								
– radial (3 mm from bearing)	0,3			3,0				N
– axial	0,2			1,5				N
20 Shaft play, max.:								
– radial (0,2N)	15			12				µm
– axial (0,2N)	140			~0				µm
21 Isolation test voltage	200							V DC
22 Motor dimensions:								
– diameter	8							mm
– length	13,8							mm
– shaft diameter	1,0							mm
23 Weight	3,3							g

¹⁾ with bipolar driver

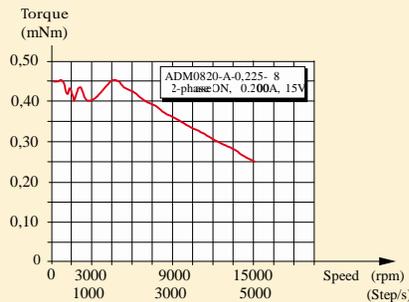
²⁾ 2 phases ON, balanced phase currents

³⁾ Curves measured with a load inertia of $10 \cdot 10^{-9}$ kgm²

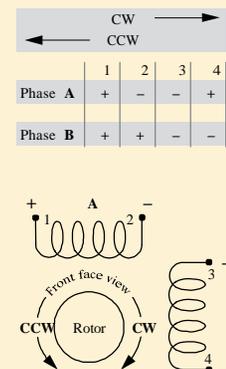
⁴⁾ Testing the motor at lower supply voltages in current mode will result in a decrease in torque at higher speed, even with the same current setting.



Voltage mode (V) ³⁾
Driver AD VL M1S

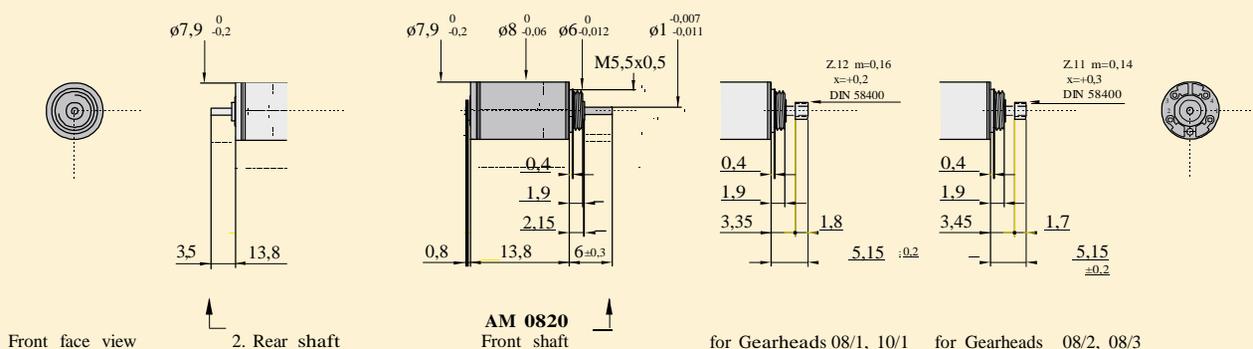


Current mode (A) ^{3) 4)}
Driver AD CM M1S



Dimensional drawing

- standard
- optional



Combinations

Drive Electronics	Encoders	Stepper Motors	Precision Gearheads
AD VL M_S		AM0820	08/1
AD CM M_S			10/1
			08/2
			08/3*
			* Zero Backlash Gearheads

Ordering information

Example: **AM0820-2R-V-3-18-08**

Motor type	Bearings (rr)	Winding (ww)	Motor execution (ee)		
			Only front output shaft	With double output shaft	Front output shaft
AM = ARSAPE Motor	Standard, sintered sleeve bearings (no indication)				
08 = Motor diameter (mm)					
20 = Steps per revolution					
AM0820	2R (optional)	-V-3-18	-01	-00	Plain shaft
		-V-5-56	-08	-09	Pinion 08/1
		-A-0,225-7	-10	-11	Pinion 10/1
			-12	-13	Pinion 08/2, 08/3

Introduction

The MAX[®] II family of instant-on, non-volatile CPLDs is based on a 0.18- μ m, 6-layer-metal-flash process, with densities from 240 to 2,210 logic elements (LEs) (128 to 2,210 equivalent macrocells) and non-volatile storage of 8 Kbits. MAX II devices offer high I/O counts, fast performance, and reliable fitting versus other CPLD architectures. Featuring MultiVolt core, a user flash memory (UFM) block, and enhanced in-system programmability (ISP), MAX II devices are designed to reduce cost and power while providing programmable solutions for applications such as bus bridging, I/O expansion, power-on reset (POR) and sequencing control, and device configuration control.

Features

The MAX II CPLD has the following features:

- Low-cost, low-power CPLD
- Instant-on, non-volatile architecture
- Standby current as low as 29 μ A
- Provides fast propagation delay and clock-to-output times
- Provides four global clocks with two clocks available per logic array block (LAB)
- UFM block up to 8 Kbits for non-volatile storage
- MultiVolt core enabling external supply voltages to the device of either 3.3 V/2.5 V or 1.8 V
- MultiVolt I/O interface supporting 3.3-V, 2.5-V, 1.8-V, and 1.5-V logic levels
- Bus-friendly architecture including programmable slew rate, drive strength, bus-hold, and programmable pull-up resistors
- Schmitt triggers enabling noise tolerant inputs (programmable per pin)
- Fully compliant with the Peripheral Component Interconnect Special Interest Group (PCI SIG) *PCI Local Bus Specification, Revision 2.2* for 3.3-V operation at 66 MHz
- Supports hot-socketing
- Built-in Joint Test Action Group (JTAG) boundary-scan test (BST) circuitry compliant with IEEE Std. 1149.1-1990
- ISP circuitry compliant with IEEE Std. 1532

Table 1–1 shows the MAX II family features.

Feature	EPM240 EPM240G	EPM570 EPM570G	EPM1270 EPM1270G	EPM2210 EPM2210G	EPM240Z	EPM570Z
LEs	240	570	1,270	2,210	240	570
Typical Equivalent Macrocells	192	440	980	1,700	192	440
Equivalent Macrocell Range	128 to 240	240 to 570	570 to 1,270	1,270 to 2,210	128 to 240	240 to 570
UFM Size (bits)	8,192	8,192	8,192	8,192	8,192	8,192
Maximum User I/O pins	80	160	212	272	80	160
t_{PD1} (ns) (1)	4.7	5.4	6.2	7.0	7.5	9.0
f_{CNT} (MHz) (2)	304	304	304	304	152	152
t_{SU} (ns)	1.7	1.2	1.2	1.2	2.3	2.2
t_{CO} (ns)	4.3	4.5	4.6	4.6	6.5	6.7

Notes to Table 1–1:

- (1) t_{PD1} represents a pin-to-pin delay for the worst case I/O placement with a full diagonal path across the device and combinational logic implemented in a single LUT and LAB that is adjacent to the output pin.
- (2) The maximum frequency is limited by the I/O standard on the clock input pin. The 16-bit counter critical delay will run faster than this number.



For more information about equivalent macrocells, refer to the [MAX II Logic Element to Macrocell Conversion Methodology](#) white paper.

MAX II and MAX IIG devices are available in three speed grades: –3, –4, and –5, with –3 being the fastest. Similarly, MAX IIZ devices are available in two speed grades: –6, –7, with –6 being faster. These speed grades represent the overall relative performance, not any specific timing parameter. For propagation delay timing numbers within each speed grade and density, refer to the [DC and Switching Characteristics](#) chapter in the *MAX II Device Handbook*.

Table 1–2 shows MAX II device speed-grade offerings.

Device	Speed Grade				
	–3	–4	–5	–6	–7
EPM240 EPM240G	▼	▼	▼	—	—
EPM570 EPM570G	▼	▼	▼	—	—
EPM1270 EPM1270G	▼	▼	▼	—	—
EPM2210 EPM2210G	▼	▼	▼	—	—
EPM240Z	—	—	—	▼	▼
EPM570Z	—	—	—	▼	▼

MAX II devices are available in space-saving FineLine BGA, Micro FineLine BGA, and thin quad flat pack (TQFP) packages (refer to [Tables 1–3 and 1–4](#)). MAX II devices support vertical migration within the same package (for example, you can migrate between the EPM570, EPM1270, and EPM2210 devices in the 256-pin FineLine BGA package). Vertical migration means that you can migrate to devices whose dedicated pins and JTAG pins are the same and power pins are subsets or supersets for a given package across device densities. The largest density in any package has the highest number of power pins; you must lay out for the largest planned density in a package to provide the necessary power pins for migration. For I/O pin migration across densities, cross reference the available I/O pins using the device pin-outs for all planned densities of a given package type to identify which I/O pins can be migrated. The Quartus® II software can automatically cross-reference and place all pins for you when given a device migration list.

Table 1–3. MAX II Packages and User I/O Pins

Device	68-Pin Micro FineLine BGA (1)	100-Pin Micro FineLine BGA (1)	100-Pin FineLine BGA (1)	100-Pin TQFP	144-Pin TQFP	144-Pin Micro FineLine BGA (1)	256-Pin Micro FineLine BGA (1)	256-Pin FineLine BGA	324-Pin FineLine BGA
EPM240 EPM240G	—	80	80	80	—	—	—	—	—
EPM570 EPM570G	—	76	76	76	116	—	160	160	—
EPM1270 EPM1270G	—	—	—	—	116	—	212	212	—
EPM2210 EPM2210G	—	—	—	—	—	—	—	204	272
EPM240Z	54	80	—	—	—	—	—	—	—
EPM570Z	—	76	—	—	—	116	160	—	—

Note to Table 1–3:

(1) Packages available in lead-free versions only.

Table 1–4. MAX II TQFP, FineLine BGA, and Micro FineLine BGA Package Sizes

Package	68-Pin Micro FineLine BGA	100-Pin Micro FineLine BGA	100-Pin FineLine BGA	100-Pin TQFP	144-Pin TQFP	144-Pin Micro FineLine BGA	256-Pin Micro FineLine BGA	256-Pin FineLine BGA	324-Pin FineLine BGA
Pitch (mm)	0.5	0.5	1	0.5	0.5	0.5	0.5	1	1
Area (mm ²)	25	36	121	256	484	49	121	289	361
Length x width (mm x mm)	5 x 5	6 x 6	11 x 11	16 x 16	22 x 22	7 x 7	11 x 11	17 x 17	19 x 19

MAX II devices have an internal linear voltage regulator which supports external supply voltages of 3.3 V or 2.5 V, regulating the supply down to the internal operating voltage of 1.8 V. MAX IIG and MAX IIZ devices only accept 1.8 V as the external supply voltage. MAX IIZ devices are pin-compatible with MAX IIG devices in the 100-pin Micro FineLine BGA and 256-pin Micro FineLine BGA packages. Except for external supply

voltage requirements, MAX II and MAX II G devices have identical pin-outs and timing specifications. Table 1–5 shows the external supply voltages supported by the MAX II family.

Devices	EPM240 EPM570 EPM1270 EPM2210	EPM240G EPM570G EPM1270G EPM2210G EPM240Z EPM570Z (1)
MultiVolt core external supply voltage (V_{CCINT}) (2)	3.3 V, 2.5 V	1.8 V
MultiVolt I/O interface voltage levels (V_{CCIO})	1.5 V, 1.8 V, 2.5 V, 3.3 V	1.5 V, 1.8 V, 2.5 V, 3.3 V

Notes to Table 1–5:

- (1) MAX IIG and MAX IIZ devices only accept 1.8 V on their VCCINT pins. The 1.8-V V_{CCINT} external supply powers the device core directly.
- (2) MAX II devices operate internally at 1.8 V.

Referenced Documents

This chapter references the following documents:

- *DC and Switching Characteristics* chapter in the *MAX II Device Handbook*
- *MAX II Logic Element to Macrocell Conversion Methodology* white paper

Low Voltage Stepper and Single/Dual DC Motor Driver

Features and Benefits

- 2.5 to 9 V operation
- Internal PWM current limit control
- Synchronous rectification for reduced power dissipation
- Peak current output flag
- Undervoltage lockout
- Low $R_{DS(on)}$ outputs
- Small package
- Brake mode for DC motors
- Sleep function
- Crossover-current protection
- Thermal shutdown

Package: 20-contact QFN (suffix ES)



Approximate size

Description

Designed for pulse width modulated (PWM) control of low voltage stepper motors, and single and dual DC motors, the A3906 is capable of output currents up to 1 A per channel and operating voltages from 2.5 to 9 V.

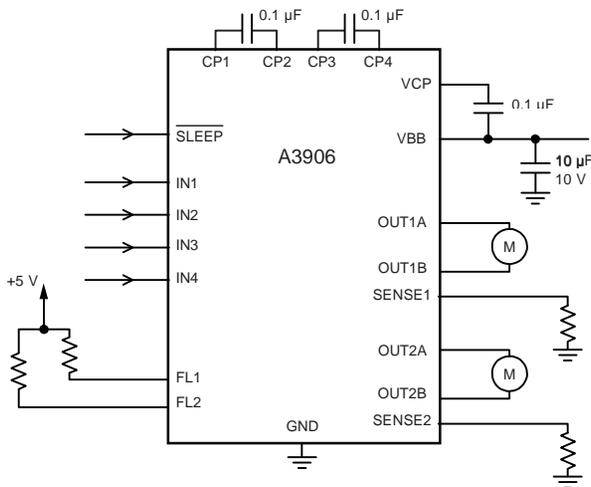
The A3906 has an internal fixed off-time PWM timer that sets a peak current based on the selection of a current sense resistor. An overcurrent output flag is provided that notifies the user when the current in the motor winding reaches the peak current determined by the sense resistor. The fault output does not affect driver operation.

The A3906 is provided in a 20-contact, 4 mm × 4 mm, 0.75 mm nominal overall height QFN, with exposed pad for enhanced thermal dissipation. It is lead (Pb) free, with 100% matte tin leadframe plating.

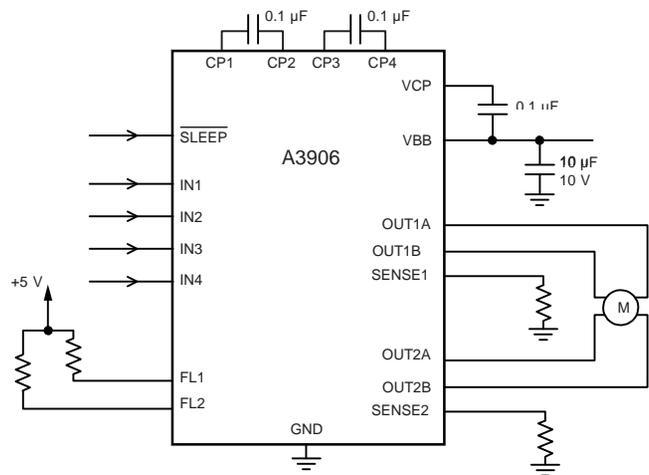
Applications include the following:

- Digital still cameras (DSC)
- Cell phone cameras
- USB powered devices
- Battery powered devices

Typical Applications

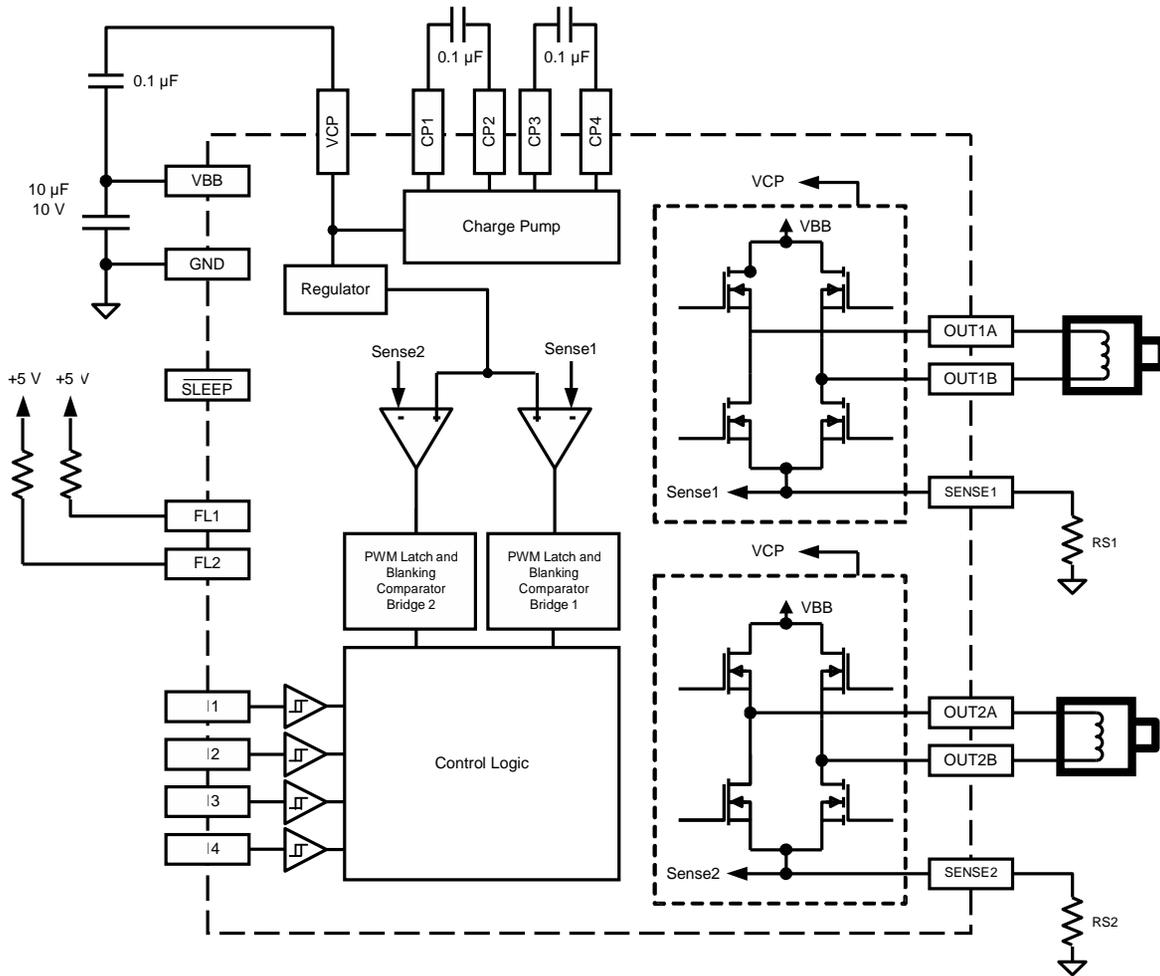


Dual DC motor application



Stepper motor application

Functional Block Diagram

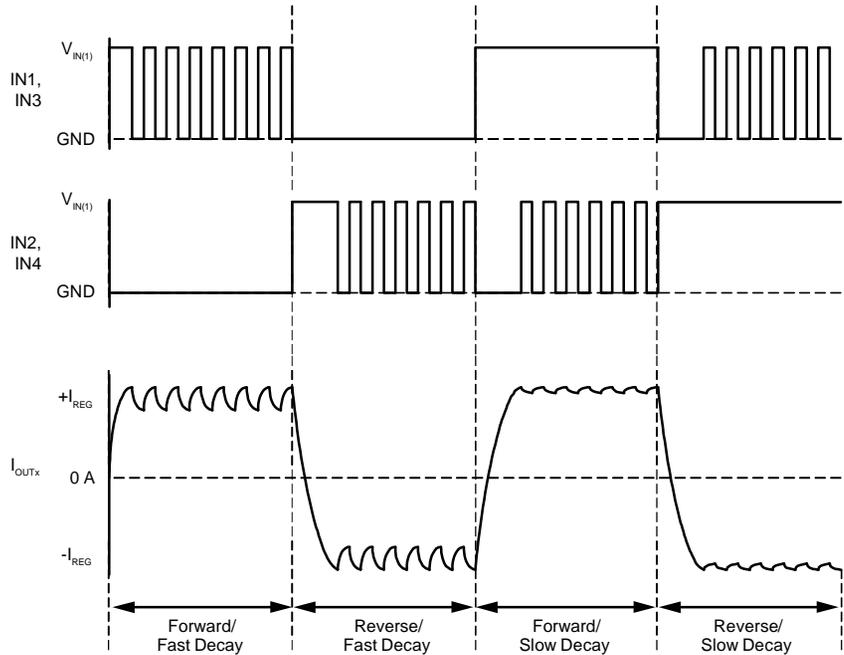


Applications Information

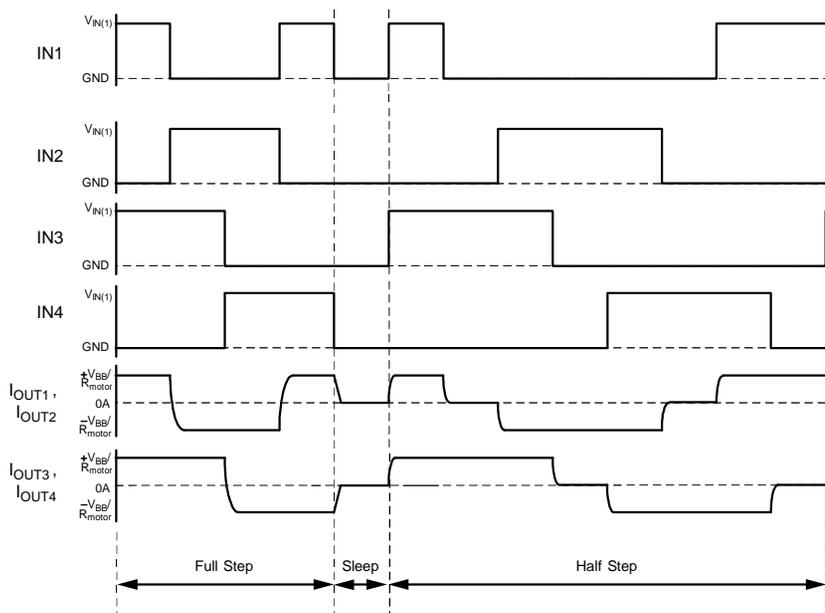
External PWM If external PWM is used, the internal current control can either be disabled by shorting the SENSEx pin to ground, or it can be used to limit the peak current to a value under the stall current to prevent motor heating. External PWM IN1 control is shown in the upper figure.

Stepper Motor Control The A3906 also can be used to control a bipolar stepper motor. The control logic for stepper motor control is shown in the lower figure. The driver is capable of operating in full- and half-step modes.

PWM current control in fast and slow decay modes



Stepper motor control in full- and half-step modes

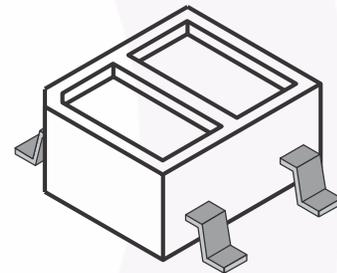
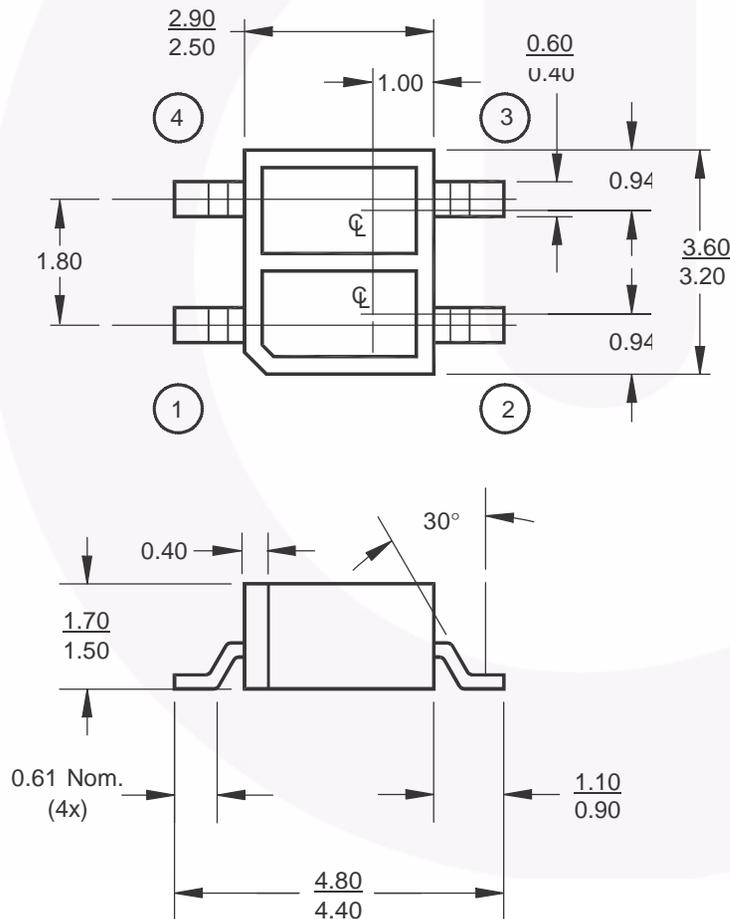


QRE1113, QRE1113GR Miniature Reflective Object Sensor

Features

- Phototransistor output
- No contact surface sensing
- Miniature package
- Lead form style: Gull Wing
- Two leadform options: Through hole (QRE1113)
SMT gullwing (QRE1113GR)
- Two packaging options: Tube (QRE1113)
Tape and reel (QRE1113GR)

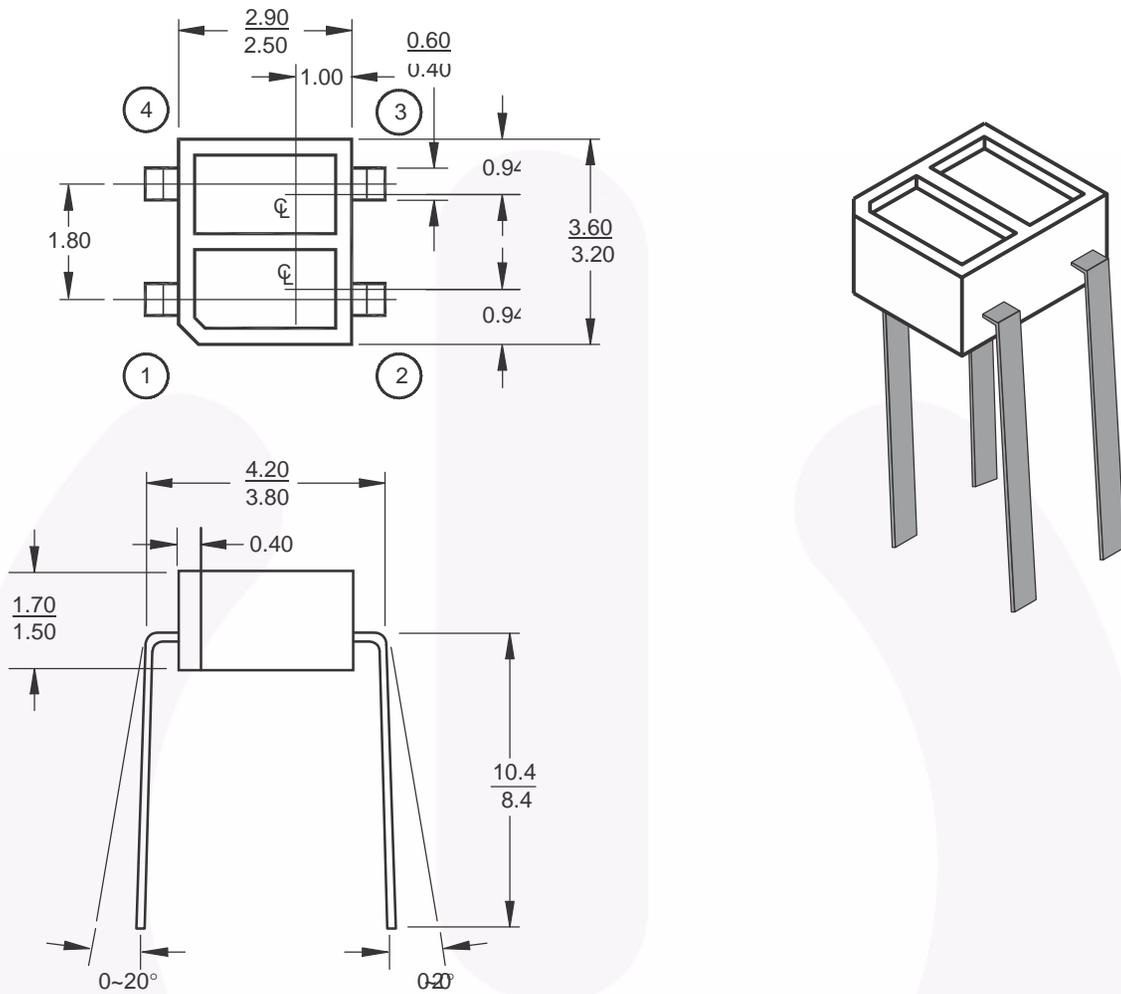
QRE1113GR Package Dimensions



Notes:

1. Dimensions for all drawings are in millimeters.
2. Tolerance of ± 0.15 mm on all non-nominal dimensions

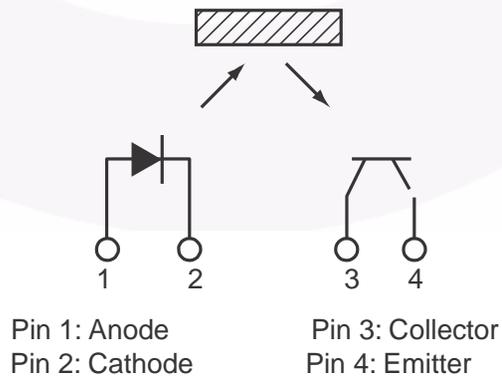
QRE1113 Package Dimensions



Notes:

- 1. Dimensions for all drawings are in millimeters.
- 2. Tolerance of $\pm 0.15\text{mm}$ on all non-nominal dimensions

Schematic



Absolute Maximum Ratings ($T_A = 25^\circ\text{C}$ unless otherwise specified)

Stresses exceeding the absolute maximum ratings may damage the device. The device may not function or be operable above the recommended operating conditions and stressing the parts to these levels is not recommended. In addition, extended exposure to stresses above the recommended operating conditions may affect device reliability. The absolute maximum ratings are stress ratings only.

Symbol	Parameter	Rating	Units
T_{OPR}	Operating Temperature	-40 to +85	$^\circ\text{C}$
T_{STG}	Storage Temperature	-40 to +90	$^\circ\text{C}$
T_{SOL-I}	Soldering Temperature (Iron) ^(2,3,4)	240 for 5 sec	$^\circ\text{C}$
T_{SOL-F}	Soldering Temperature (Flow) ^(2,3)	260 for 10 sec	$^\circ\text{C}$
EMITTER			
I_F	Continuous Forward Current	50	mA
V_R	Reverse Voltage	5	V
I_{FP}	Peak Forward Current ⁽⁵⁾	1	A
P_D	Power Dissipation ⁽¹⁾	75	mW
SENSOR			
V_{CEO}	Collector-Emitter Voltage	30	V
V_{ECO}	Emitter-Collector Voltage	5	V
I_C	Collector Current	20	mA
P_D	Power Dissipation ⁽¹⁾	50	mW

Electrical/Optical Characteristics ($T_A = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Units
INPUT DIODE						
V_F	Forward Voltage	$I_F = 20\text{mA}$		1.2	1.6	V
I_R	Reverse Leakage Current	$V_R = 5\text{V}$			10	μA
λ_{PE}	Peak Emission Wavelength	$I_F = 20\text{mA}$		940		nm
OUTPUT TRANSISTOR						
I_D	Collector-Emitter Dark Current	$I_F = 0\text{mA}, V_{CE} = 20\text{V}$			100	nA
COUPLED						
$I_{C(ON)}$	On-State Collector Current	$I_F = 20\text{mA}, V_{CE} = 5\text{V}^{(6)}$	0.10	0.40		mA
I_{CX}	Cross-Talk Collector Current	$I_F = 20\text{mA}, V_{CE} = 5\text{V}^{(7)}$			1	μA
$V_{CE(SAT)}$	Saturation Voltage				0.3	V
t_r	Rise Time	$V_{CC} = 5\text{V}, I_{C(ON)} = 100\mu\text{A}, R_L = 1\text{k}$		20		μs
t_f	Fall Time			20		

Notes:

- Derate power dissipation linearly 1.00mW/ $^\circ\text{C}$ above 25 $^\circ\text{C}$.
- RMA flux is recommended.
- Methanol or isopropyl alcohols are recommended as cleaning agents.
- Soldering iron 1/16" (1.6mm) from housing.
- Pulse conditions: $t_p = 100\mu\text{s}; T = 10\text{ms}$.
- Measured using an aluminum alloy mirror at $d = 1\text{mm}$.
- No reflective surface at close proximity.

Typical Performance Curves

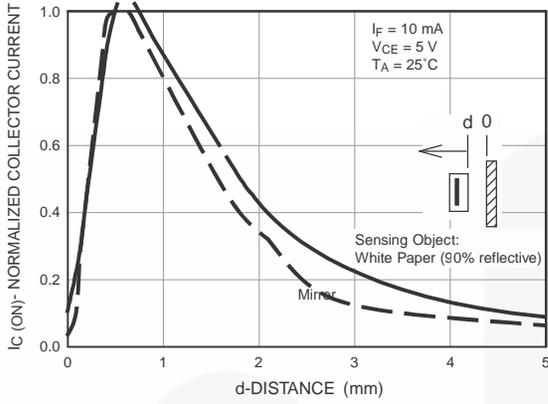


Fig. 1 Normalized Collector Current vs. Distance between device and reflector

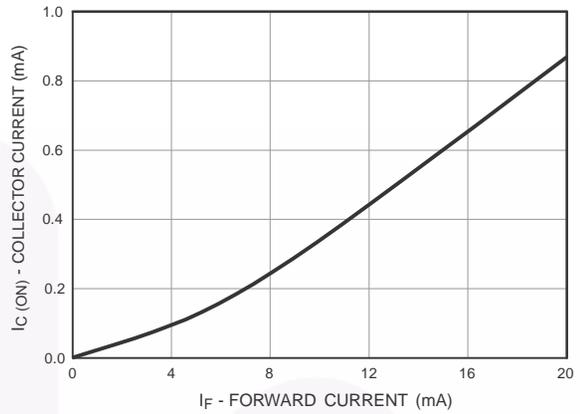


Fig. 2 Collector Current vs. Forward Current

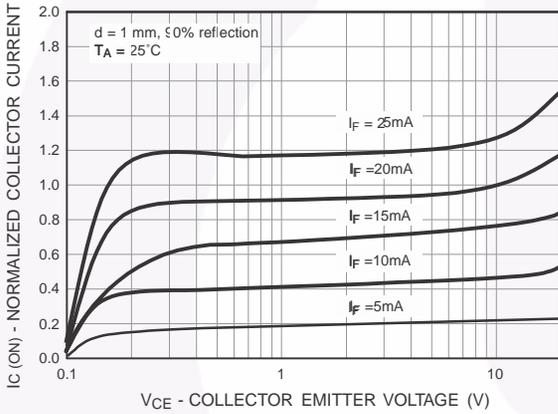


Fig. 3 Normalized Collector Current vs. Collector to Emitter Voltage

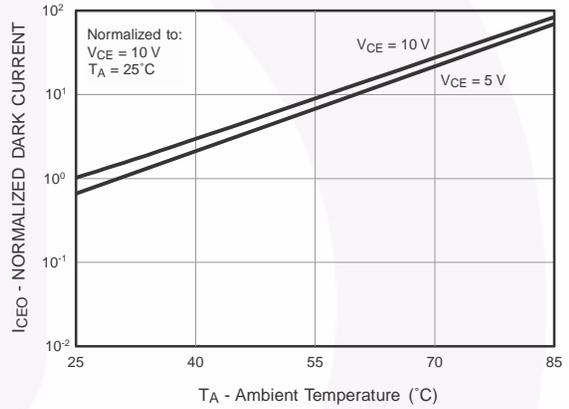


Fig. 4 Collector Emitter Dark Current (Normalized) vs. Ambient Temperature

Typical Performance Curves (Continued)

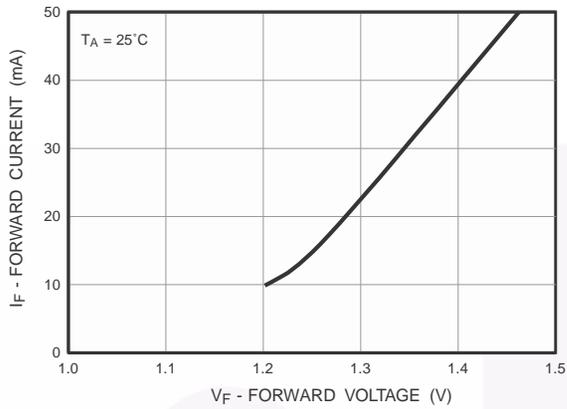


Fig. 6 Forward Current vs. Forward Voltage

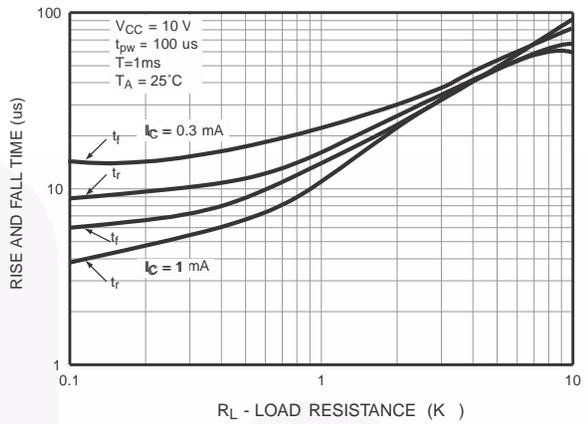


Fig. 7 Rise and Fall Time vs. Load Resistance

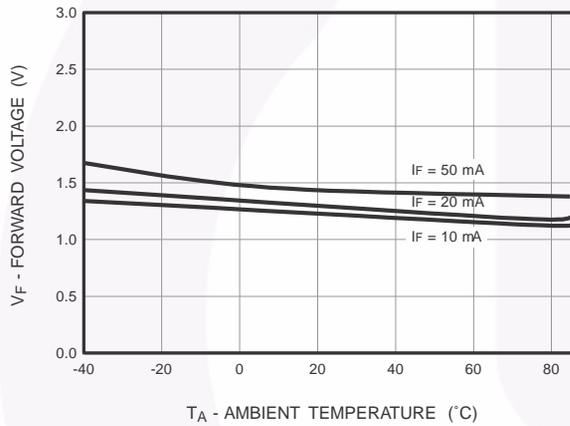


Fig. 8 Forward Voltage vs. Ambient Temperature

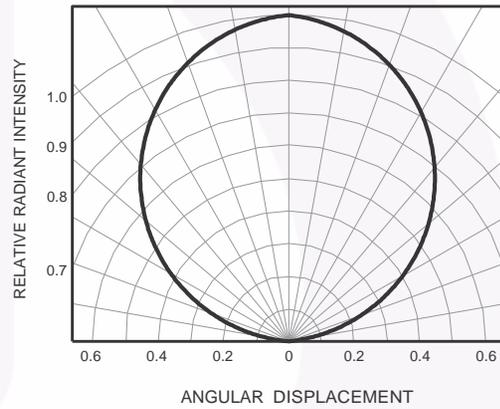


Fig. 8 Radiation Diagram

