



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

TESIS

**IMPLEMENTACIÓN DE UN MODULADOR - DEMODULADOR DIGITAL
QPSK EN BASE A UN FPGA COMO PROTOTIPO PARA UN
MICROSATÉLITE**

QUE PARA OBTENER EL TÍTULO DE
INGENIERO EN TELECOMUNICACIONES

PRESENTA:

DANIEL OMAR CASTAÑEDA ALCALÁ

DIRECTOR DE TESIS

DR. SAÚL DE LA ROSA NIEVES



CIUDAD UNIVERSITARIA OCTUBRE 2015

A mi hermano André David Castañeda Alcalá

Agradecimientos

A mis padres Javier y Alicia, cuyo apoyo, sacrificio y esfuerzo me ha permitido llegar hasta éste punto. A mis hermanos Javier, David y Denise que me animaron y apoyaron en todo momento. A mi familia en general, que ha estado conmigo en las distintas etapas de mi vida y me ha formado como la persona que soy hoy.

A la Universidad Nacional Autónoma de México, que me recibió como estudiante desde el bachillerato a la cual le debo mis conocimientos y formación como profesional, así como a la Facultad de Ingeniería que me preparo a lo largo de la carrera y que con este trabajo espero retribuir algo de todo lo que me brindó.

Al Programa Nacional de Becas (PRONABES), por el apoyo a lo largo de la carrera, así como al apoyo del proyecto PAPIME PE103715.

A todos mis amigos, que me han apoyado en distintos momentos y brindado su amistad, de los cuales hago mención especial de Ricardo Méndez, Daniel Martínez, Nayeli Bernal, Denisse Moreno, Oscar Montoya, Cristal Ramírez, Esaú Zarco, Abraham Ipiña, Jessica Mendoza y Carlos Figueroa.

A mis compañeros de laboratorio, que me ayudaron durante la elaboración de este trabajo en especial a Miguel Ángel Alvarado.

A mis sinodales M.I. Ricardo Mota Manzano, Dr. Francisco Javier García Ugalde, Dr. José Ismael Martínez López y M.I. Juventino Cuellar González, que aceptaron ser parte del jurado de mi examen profesional, así como sus comentarios que complementaron este trabajo.

A mi asesor de tesis Dr. Saúl de la Rosa Nieves, quien me guio y apoyo a lo largo de distintas etapas de mi carrera y que sin su ayuda no habría sido posible realizar este trabajo.

Introducción

El presente trabajo consiste en el diseño e implementación de un modulador y demodulador utilizando la modulación digital por desplazamiento de fase en cuadratura (QPSK). Este se implementó en un FPGA en base a las técnicas de Radio definido por Software (SDR) cuyo objetivo principal es la reconfiguración.

El modulador y demodulador se diseñaron como prototipo para enlaces satelitales, por lo que se determinaron los diversos requerimientos de un sistema de comunicación para un ambiente espacial, así como los problemas que pudieran representar en este ambiente, por lo que se hace énfasis en las técnicas SDR para crear un sistema flexible, reconfigurable y con la capacidad de actualizarse.

Para el desarrollo de este trabajo se utilizaron distintos software entre los que destacan Xilinx ISE para la descripción de hardware del FPGA, ModelSim para la simulación de las señales en el FPGA, así como STK para la simulación del sistema en el ambiente espacial.

Este trabajo fue realizado en el Laboratorio de Ingeniería Espacial del Centro Ingeniería Avanzada (CIA) de la Facultad de Ingeniería, en la UNAM, con el grupo de desarrollo de tecnología espacial.

Objetivo

Diseñar, implementar y validar un Modulador – Demodulador digital QPSK en FPGA funcional como prototipo para misiones espaciales en microsátélites.

Justificación

Los sistemas de comunicación satelital cobran mayor importancia día a día debido a los servicios de telecomunicaciones que ofrecen, permitiendo acceso a regiones aisladas, así como la gran cobertura que pueden brindar, además de que su precio de producción va disminuyendo mientras avanza esta tecnología.

Por otra parte, debido a la evolución de las distintas técnicas de transmisión de información, es necesario el cambio a las modulaciones digitales, que traen enormes ventajas, entre las que destacan menor afectación al ruido, tasas más altas de transmisión, etc. Por ello la importancia de adentrarse en las comunicaciones digitales con la tecnología que permita mayor versatilidad, optimizar el uso del espectro radioeléctrico, equipos más baratos, con menor afectación al ruido y máximas tasas de transmisión.

Esta tesis pretende contribuir a la solución de estos problemas utilizando una técnica de transmisión de información digital que permite baja probabilidad de errores, poco consumo de potencia, alta tasa de transmisión además de optimización del ancho de banda, parámetros de vital importancia para comunicaciones satelitales, donde además tendrá masa, costo y volumen mínimo al implementarse en FPGA, y un valor agregado de especial importancia para sistemas espaciales, la capacidad de reconfiguración en vuelo.

Metodología

Mediante la metodología Top Down, empleada en Lenguaje de Descripción de Hardware (HDL) se diseñó e implemento el modulador – demodulador QPSK, utilizando conceptos de reconfiguración del Software Radio (SDR).

Para el diseño del modulador y demodulador, se utilizó un diseño jerárquico, en el cual se logra una programación extensa mediante la unión de pequeños bloques. Una vez descompuestos en unidades más simples, estas se programan en módulos llamados componentes los cuales se pueden analizar y simular de manera individual, para después relacionarse en un algoritmo de integración llamado top level.

Alcances

En este trabajo se presenta el desarrollo de un modulador – demodulador QPSK , el cual tiene la capacidad de reconfigurarse para funcionar como un prototipo que forme parte de un sistema de telecomunicaciones en banda S de un microsatélite de órbita baja.

Queda como trabajo a futuro, la implementación de técnicas de tolerancia a fallas contra efectos de radiación espacial y las pruebas de certificación de espacial, tales como pruebas de vibraciones, termo-vacío y radiación.

Índice

Introducción	I
Objetivo	I
Justificación	I
Metodología	II
Alcances.....	II
Índice	III
Lista de figuras	VI
Capítulo 1 Marco teórico para el diseño de Radio definido por Software a bordo de sistemas espaciales	1
1.1 Radio definido por software	1
1.1.1 Objetivos tecnológicos de SDR.....	1
1.1.2 Aplicaciones	2
1.2 Estado del Arte	2
1.3 Sistema de comunicaciones.....	5
1.3.1 Sistemas de comunicación satelital	5
1.3.2 Estructura de un sistema de comunicaciones por satélite	6
1.3.3 Ventajas de la comunicación satelital.....	7
1.3.4 Subsistema de comunicaciones de a bordo.....	7
1.4 Dispositivos lógicos programables	9
1.4.1 Clasificación de los PLD	10
1.4.2 PLD de alto nivel de integración.....	11
1.5 Sistemas espaciales tolerantes a fallas	14
1.5.1 Radiación espacial.....	14
1.5.2 Efectos de la radiación en sistemas electrónicos.....	14
Capítulo 2 Modulación y demodulación QPSK	17
2.1 Modulación	17
2.1.1 Modulación digital.....	17
2.2 Modulación PSK.....	21
2.3 Modulación BPSK.....	22
2.3.1 Diagrama de constelación.....	24
2.3.2 Ancho de banda en BPSK.....	25

2.3.3	Probabilidad de Bit en Error en BPSK	26
2.4	Demodulación	28
2.5	Demodulación BPSK.....	29
2.6	Modulación QPSK.....	30
2.6.1	Diagrama de constelación QPSK	32
2.6.2	Ancho de banda QPSK	33
2.6.3	Probabilidad de Bit en Error para QPSK.....	34
2.7	Demodulación QPSK	36
2.8	Comparación QPSK con otras modulaciones digitales.....	37
2.8.1	Ventajas.....	37
2.8.2	Desventajas	38
Capítulo 3	Determinación de requerimientos del sistema digital de modulación en base a un FPGA para atender la misión de percepción remota de imágenes a bordo de un microsatélite.....	39
3.1.	Elementos de la mecánica orbital.....	39
3.2	Bandas de operación	39
3.2.1	Ancho de banda permitido	42
3.3	Antenas.....	43
3.3.1	Antena de estación terrena	43
3.3.2	Antena del satélite	43
3.4	Tasa de bit en error	44
3.5	Transmisor del satélite.....	44
3.6	Tiempo de enlace y tasa de bit en error en STK.....	45
3.6.1	STK.....	45
3.6.2	SECUENCIA DE SIMULACION EN STK.....	46
Capítulo 4	Implementación del modulador y demodulador en FPGA.....	57
4.1	Descripción del Hardware del modulador QPSK	58
4.1.1	Registro de desplazamiento serie – paralelo	59
4.1.2	Bloque de sincronización	62
4.1.3	Oscilador Controlado Numéricamente	65
4.1.4	Codificación NRZ.....	68
4.1.5	Multiplicador	70
4.1.6	Sumador	71
4.2	Implementación del demodulador QPSK	72
4.2.1	Filtro Digital.....	75

4.2.2	Integrador	77
4.2.3	Decisión	78
4.2.4	Multiplexor	79
Capítulo 5	Resultados experimentales.....	82
5.1	Modulador	82
5.1.1	Simulador ModelSim	82
5.1.2	Implementación física del modulador QPSK.....	83
5.1.3	Simulaciones e implementación	86
5.2	Demodulación	93
5.2.1	Modem QPSK.....	93
5.2.2	Consumo de recursos del filtro.....	94
5.2.3	Resultados del demodulador	95
Capítulo 6	Conclusiones y trabajo a futuro	97
6.1	Conclusiones	97
6.2	Trabajo a futuro	97
Referencias	99

Lista de figuras

Figura 1.1 Diagrama de bloques de un sistema de comunicación	5
Figura 1.2 Comunicación Satelital	6
Figura 1.3 Diagrama de bloques de un sistema de comunicaciones digital	8
Figura 1.4 Arreglo AND de un PLD a) No programado b) Programado	11
Figura 1.5 Arreglo OR de un PLD a) No programado b) Programado	11
Figura 1.6 Arquitectura básica de un CPLD	12
Figura 1.7 Arquitectura de un FPGA	13
Figura 2.1 Principales códigos de línea	19
Figura 2.2 Tasas máximas de los códigos a) NRZ y b) RZ	19
Figura 2.3 Esquema modulaciones digitales pasa banda	20
Figura 2.4 Esquema general de modulación digital pasabanda	21
Figura 2.5 Esquema modulación PSK	23
Figura 2.6 Entrada y salida modulación BPSK	24
Figura 2.7 Diagrama de constelación BPSK	24
Figura 2.8 Umbral de decisión en BPSK	27
Figura 2.9 Esquema de demodulación BPSK	29
Figura 2.10 Espectro de la señal BPSK	30
Figura 2.11 Esquema modulación QPSK	31
Figura 2.12 Modulación QPSK por pasos	32
Figura 2.13 Diagrama de constelación QPSK	33
Figura 2.14 Relación de frecuencias en QPSK	34
Figura 2.15 Probabilidad de bit en error para señalización con múltiples fases	35
Figura 2.16 Componentes en Fase y Cuadratura de la señal QPSK	36
Figura 2.17 Esquema de demodulación QPSK	37
Figura 3.1 Antena estación terrena	43
Figura 3.2 Parámetros para satélite en STK	46
Figura 3.3 Parámetros para antena receptora de estación terrena	47
Figura 3.4 Parámetros para transmisor de estación terrena	47
Figura 3.5 Parámetros para antena transmisora de estación terrena	48
Figura 3.6 Parámetros para antena transmisora del satélite	48
Figura 3.7 Parámetros de transmisor del satélite	49
Figura 3.8 Parámetros para antena transmisora del satélite	49
Figura 3.9 Resultados simulación para tiempos de enlace de bajada	50
Figura 3.10 Representación de enlaces en STK en vista 2D	51
Figura 3.11 Enlace entre satélite y estación terrena en STK	51
Figura 3.12 Enlace entre satélite y estación terrena con sensores en STK vista 3D	52
Figura 3.13 Parámetros del transmisor para cálculo del BER en STK	52

Figura 3.14 Selección de la modulación en el receptor del enlace de bajada	53
Figura 3.15 Comportamiento de sistemas de modulación PSK [11]	54
Figura 3.16 Simulación de modulaciones BPSK, QPSK de un enlace en STK	54
Figura 3.17 Comparación entre modulaciones M-PSK en STK	55
Figura 3.18 Comparación entre las principales modulaciones en STK	56
Figura 4.1 Primera abstracción del modulador QPSK	58
Figura 4.2 Segunda abstracción del modulador QPSK	58
Figura 4.3 Diagrama de bloques del modulador QPSK	58
Figura 4.4 Diseño del modulador QPSK	59
Figura 4.5 Diagrama de bloques, SIPO	59
Figura 4.6 Registro de desplazamiento Serie – Paralelo	60
Figura 4.7 Funcionamiento SIPO	60
Figura 4.8 Arquitectura del registro Serie – Paralelo	61
Figura 4.9 Arquitectura del Registro Serie - Paralelo en un segundo nivel de abstracción	61
Figura 4.10 Divisor de frecuencias	62
Figura 4.11 Arquitectura del divisor de frecuencias	62
Figura 4.12 Diagrama de bloques, Sincronización	62
Figura 4.13 Arquitectura del bloque de sincronización	63
Figura 4.14 Segundo nivel de abstracción de la arquitectura del bloque de Sincronización	63
Figura 4.15 Funcionamiento del Registro PIPO	64
Figura 4.16 Arquitectura del registro de desplazamiento Paralelo – Paralelo	65
Figura 4.17 Diagrama de bloques del modulador, NCO	65
Figura 4.18 Arquitectura del NCO	66
Figura 4.19 Segundo nivel de abstracción de la Arquitectura del NCO	66
Figura 4.20 Arquitectura del LUT seno	67
Figura 4.21 Arquitectura del contador del NCO	68
Figura 4.22 Diagrama de bloques, bloques NRZ	68
Figura 4.23 Codificación NRZ	69
Figura 4.24 Codificación NRZ representado con 8 bits	69
Figura 4.25 Arquitectura del bloque NRZ	69
Figura 4.26 Diagrama de bloques del modulador, bloques de multiplicación	70
Figura 4.27 Bloque de multiplicación, señales de entrada y salida	70
Figura 4.28 Arquitectura del multiplicador	71
Figura 4.29 Diagrama de bloques del modulador, bloque de suma	71
Figura 4.30 Arquitectura del sumador	72
Figura 4.31 Esquema RTL del modulador QPSK	72
Figura 4.32 Primera abstracción del demodulador QPSK	73
Figura 4.33 Segundo nivel de abstracción del demodulador QPSK	73
Figura 4.34 Diagrama de bloques del demodulador QPSK	73
Figura 4.35 Diseño del demodulador QPSK	74
Figura 4.36 Diagrama de bloques del demodulador, NCO y multiplicación	74
Figura 4.37 Espectro de la señal QPSK	75
Figura 4.38 Diagrama de bloques del demodulador, filtros	75
Figura 4.39 Comportamiento del filtro de orden 15	76

Figura 4.40 Comportamiento del de orden 30.....	76
Figura 4.41 Arquitectura del filtro digital	77
Figura 4.42 Diagrama de bloques del demodulador, Integrador	77
Figura 4.43 Arquitectura del integrador	78
Figura 4.44 Segundo nivel de abstracción de la arquitectura del integrador	78
Figura 4.45 Diagrama de bloques del demodulador, bloque de decisión	78
Figura 4.46 Arquitectura del bloque de decisión.....	79
Figura 4.47 Segunda abstracción del bloque de decisión.....	79
Figura 4.48 Diagrama de bloques del demodulador, bloque multiplexor	80
Figura 4.49 Arquitectura del multiplexor	80
Figura 4.50 Segundo nivel de abstracción del multiplexor	81
Figura 4.51 Diagrama RTL del demodulador.....	81
Figura 5.1 Simulador ModelSim	82
Figura 5.2 Tarjeta Spartan 3E Starter Board de Xilinx	83
Figura 5.3 Configuración del DAC.....	84
Figura 5.4 Diagrama de conexiones para el Modulador QPSK.....	85
Figura 5.5 Simulación canal I.....	87
Figura 5.6 Implementación canal I.....	88
Figura 5.7 Simulación canal Q.....	89
Figura 5.8 Implementación canal Q.....	90
Figura 5.9 Simulación modulación QPSK	91
Figura 5.10 Implementación modulación QPSK	92
Figura 5.11 Tabla de recursos utilizados en el FPGA	93
Figura 5.12 Arquitectura del Modem QPSK.....	94
Figura 5.13 Recursos ocupados para un modulador con filtro de orden 15	94
Figura 5.14 Recursos ocupados para un modulador con filtro de orden 20	94
Figura 5.15 Procesos de la demodulación	95
Figura 5.16 Proceso de detección en la demodulación.....	96
Figura 5.17 Comparación entre bits enviados y bits demodulados.....	96

Capítulo 1 Marco teórico para el diseño de Radio definido por Software a bordo de sistemas espaciales

1.1 Radio definido por software

El término “Radio Definido por Software” (SDR, por sus siglas en inglés) fue acuñado por Joseph Mitola en 1992 para referirse a “radios” reconfigurables. Es decir, una misma pieza de hardware capaz de realizar diferentes funciones en diferente tiempo. De esta manera plantea el hecho de contar con un dispositivo de hardware de “propósito general” en el ámbito de comunicaciones. Este concepto ha logrado abrir un amplio panorama de oportunidades para la industria de las comunicaciones y la investigación en ese mismo sentido. Existen diferentes conceptos del término SDR.

SDR es un sistema de comunicación por radio en donde los componentes que se han implementado por hardware (por ejemplo, mezcladores, filtros, amplificadores, moduladores, demoduladores, detectores, etc..) ahora se implementarán utilizando software en una computadora u otros dispositivos programables con el objetivo de poder manipular sus principales características (banda de frecuencia, ancho de banda, esquema de modulación, y codificación, entre otras) obteniendo así, sistemas multi-servicio, multi-estándar y multi-banda.

La arquitectura SDR es flexible, versátil y utiliza hardware de propósito general que puede ser programado o configurado por software, lo que permite diferentes aplicaciones con un único dispositivo. [1]

El concepto SDR se refiere al hecho de utilizar software para controlar casi todas las funciones de un dispositivo, generalmente de comunicaciones. Se define como un equipo SDR, al que tiene los principales rasgos que definen este concepto, que son la capacidad de configuración, capacidad de actualización, etc. La realidad es que SDR es aplicable a distintos términos, como concepto sería acercar el código del sistema lo máximo posible a la antena, convirtiendo así problemas hardware en problemas de software.

1.1.1 Objetivos tecnológicos de SDR

SDR es una tecnología creada para mejorar la interoperabilidad entre diferentes servicios. La tecnología SDR está compuesta de software y hardware, y puede ser reconfigurada dinámicamente para habilitar comunicaciones entre una amplia variedad de normas de comunicaciones, protocolos y radio enlaces. SDR permite crear dispositivos inalámbricos y equipo de redes multibanda y multifuncionales, que pueden ser dinámicamente reconfigurados, o a través de actualizaciones de software y reconfiguraciones de hardware. La tecnología SDR habilita la creación de dispositivos inalámbricos interoperables con muy diversas ventajas, entre las que se puede destacar:

- Múltiples modos de operación
- Reconfiguración
- Actualizaciones
- Menor costo de desarrollo
- Menor tamaño
- Menor consumo de energía

En el mundo comercial, la necesidad de adoptar los principios de SDR se está volviendo más y más evidente debido a los recientes desarrollos en radios multi-modo, multi-estándar y las diversas aplicaciones complejas que los rigen. La flexibilidad de SDR es ideal para los distintos requisitos exigidos de servicios de calidad como datos, voz o multimedia. Hoy en día muchas estaciones base emplean la arquitectura o por lo menos algo de tecnología basada en los principios de SDR. Por otra parte, poco a poco, los proveedores de chips para celulares y ordenadores portátiles están adoptando principios de SDR en el diseño de radios multi-estándar [2].

1.1.2 Aplicaciones

Las implementaciones de SDR actuales se basan principalmente en hardware reconfigurable para soportar estándares o formas de onda particulares. Aunque los Circuitos Integrados de Aplicación Específica (ASIC, por sus siglas en inglés) conducen a una implementación más eficiente de un único estándar de radio, no se puede decir lo mismo para abordar un dispositivo multi-estándar. Para un dispositivo con tanta versatilidad, el ASIC podría llegar a ser muy complejo en términos de aplicación e ineficiente en costo y consumo de potencia. Por estas razones los diseñadores han recurrido a SDR en FPGA's, para proporcionar un hardware flexible y reconfigurable que puede soportar algoritmos complejos y computacionalmente intensivos, utilizados en una gran cantidad de aplicaciones de voz, datos y multimedia.

SDR también se puede implementar en Procesadores Digitales de Señales (DSP, por sus siglas en inglés) para programar en tiempo real su memoria, lo que permite una solución de radio completamente flexible. SDR emplea DSP's programables que utilizan los mismos núcleos computacionales para todos los algoritmos de control, a diferencia de los DSP's dedicados, utilizados en soluciones estándar individuales. Los SDR son de gran utilidad tanto en los servicios de telefonía celular como en el ámbito militar, pues en ambos se manejan varios protocolos en tiempo real, que cambian a necesidad casi constantemente.

Se utiliza también para recepción de radio y televisión digital por su capacidad de adaptarse a distintas modulaciones dependiendo del ruido e interferencias del canal.

1.2 Estado del Arte

SDR para misiones espaciales.

El término Radio Definido por Software (SDR, por sus siglas en inglés) se refiere a los radios reconfigurables, es decir, un dispositivo de hardware de propósito general. Estas técnicas son

ampliamente usadas en el ámbito de las comunicaciones donde distintos tipos de componentes implementados por hardware como filtros, detectores, moduladores, etc., ahora se implementan utilizando software por computadora o dispositivos programables para poder manipular sus principales características como lo son bandas de frecuencia, anchos de banda, esquemas de modulación y codificación, etcétera.

En el artículo publicado en la página oficial de la NASA el 23 de mayo de 2005, titulado “New Software Changes Wireless Technology Functions on Demand” [3] se explica el funcionamiento del Radio definido por Software diciendo que es una tecnología inalámbrica que ofrece a un dispositivo la capacidad de realizar rápida y fácilmente nuevas funciones.

Este texto señala que SDR es una tecnología inalámbrica relativamente nueva basada en la tecnología de radio que se ha utilizado durante muchos años, la cual implica la transmisión de una señal analógica en forma de ondas electromagnéticas utilizando un solo transmisor de radio. En SDR, la modulación del transmisor es producido por un procesador de señal digital para producir señales digitales, las cuales luego se convertirán en analógicas para después ser transmitidas a través de la antena. Con SDR se podrán reconfigurar las futuras misiones de la NASA habilitadas para esta tecnología, permitiendo que satélites independientes se enlacen y así dar imagen más completa de cualquier evento. Otra aplicación sería que dos satélites puedan interactuar y compartir información, o satélites un poco más antiguos se puedan actualizar para realizar nuevas funciones alargando así su vida y utilidad.

En el artículo de la IEEE, “SDR - Receiver Platform For Development and Research” [4] Publicado por C.A. Tamas, V. Vulpe de la Universidad Politécnica de Bucarest en Rumania en el año 2009 se estudia la tecnología SDR y su aplicación en un sistema que se pueda adaptar a necesidades relacionadas con la transmisión y recepción sin restricciones de bandas, pero que también pueden ser fabricados y vendidos. Pudiendo así representar un punto de referencia para el futuro de sistemas miniaturizados. El sistema descrito es destinado para demodular señales analógicas.

En comparación con el sistema receptor analógico clásico, el receptor con plataforma SDR combina nueva tecnologías, dando lugar a un nuevo concepto de la tecnología digital. Algunos puntos de importancia de ese concepto son: eficiencia, bajo costo, oportunidad de mejoras y flexibilidad.

La radio definida por software se ha impuesto en los últimos años como un nuevo estándar para sistemas de radio existentes, ya que con el uso de SDR podemos obtener un receptor con un rendimiento superior usando sólo el 10-20% de bloques de circuitos. Por lo tanto SDR ofrece a los radioaficionados un amplia flexibilidad para hacer frente a los modos digitales, señalización (DCS, CTCSS, DTMF) y a las nuevas tendencias de comunicaciones digitales con un costo mínimo y sin cualquier componente hardware externo.

Según la NASA en su artículo “Future of space communications” [5] presentado por Bradi Younes en el Space Generation Congress celebrado en Septiembre de 2012 en Nápoles, Italia, entre las principales ventajas del uso de SDR son que ofrece flexibilidad operativa ya que se pueden modificar, corregir e implementar características del software en vuelo (tiempo real), es de tamaño pequeño, peso y su potencia es comparablemente mejor con los sistemas de radio convencionales. Debido a que ofrece plataformas comunes para diversas misiones, el software es reutilizable, es aquí en donde se puede observar la reducción de costos pues no son necesarios tantos dispositivos para cada misión.

El documento publicado en la IEEE titulado “Low-Cost SDR-Based Ground Receiving Station for LEO Satellite Operations” [6] en el 2013 describe la viabilidad de utilizar

tecnología SDR para aplicaciones espaciales por el desarrollo y la instalación de estaciones terrenas de bajo costo el fin de apoyar futuras misiones de satélites universitarios. El documento presenta hardware, software y cuestiones en relación con la implementación de una estación terrena para la operación de satélites de órbita terrestre baja (LEO). En estos días, las estaciones terrenas tradicionales carecen de flexibilidad y son reforzadas por las especificaciones de los equipos de hardware. Nuevos enfoques implican utilizar tecnologías SDR como una alternativa para el hardware de radio tradicional. Esto pretende ser una solución accesible a los proyectos académicos, que por lo general tienen recursos limitados. En el artículo obtenido de la IEEE del año 2015 y publicado por Mamatha R. Maheshwarappa, Christopher P. Bridges [7] del Centro Espacial de la Universidad de Surrey en Guildford, Reino unido, con colaboración de Mark Bowyer, nos mencionan que SDR es un área clave para para la adaptación de sistemas de comunicación reconfigurables sin cambiar el hardware.

Una revisión de la eficiencia de distribución del ancho de banda y el aumento de las misiones de satélites conduce a la necesidad de una comunicación configurable genérica que pueda manejar múltiples señales de varios satélites con varias técnicas de modulación, velocidades de datos y bandas de frecuencia que deben ser compatibles con los requisitos de pequeños satélites. SDR puede proporcionar la flexibilidad y la reconfigurabilidad, tiempos de desarrollo rápidos, costo reducido y de poco peso.

El documento propone una arquitectura de SDR en donde FPGA's y Sistemas en un solo chip (SoC) trabajan en conjunto con un transceptor de radio frecuencia programable para resolver distintos problemas que se presenten. Las pruebas están dirigidas a la implementación de funciones del software de procesamiento. Se utiliza el satélite CubeSat para los aspectos de implementación y pruebas de procesamiento de señales como: Telemando, Telemetría y Control (TT & C). De tal modo, la tecnología SDR no sólo contribuye a una estación en tierra ligera y portátil, sino que también para un transceptor de satélite a bordo.

Los objetivos de las múltiples misiones de satélites pequeños son muy ambiciosos y son impulsadas por nuevas dificultades o necesidades, como el desafío de aumentar la ventana de comunicación, la cantidad de datos, confiabilidad, etc. En esta década, la introducción de FPGA's y SoC pueden cumplir el objetivo de SDR.

La evolución de SDR tiene un papel importante en el desarrollo de servicios y aplicaciones en las telecomunicaciones y las tecnologías de transferencia de información. Las características de SDR en sistemas satelitales incluyen:

1. Configuración, reconfiguración, instalación de nuevas aplicaciones, reprogramabilidad antes del lanzamiento para el apoyo al control
2. Flexibilidad para soportar múltiples señales de múltiples satélites.
3. Diseño que permite la evolución en el tiempo.
4. Capacidad para permitir el desarrollo de nuevas funciones y servicios sin actualizaciones de hardware.
5. Asequibilidad para promover comercialmente programas informáticos y productos de hardware.

1.3 Sistema de comunicaciones

Un sistema de comunicaciones es aquel que mediante el empleo de técnicas y dispositivos adecuados realizan el transporte de información punto a punto, o entre varios puntos, a través de un medio de transmisión. La radio, el teléfono o la televisión son ejemplos cotidianos. La lista de ejemplos es indefinida, pero es una certeza que los sistemas de comunicación son esenciales hoy en día.

El empleo de señales eléctricas ha reemplazado casi por completo a todas las demás formas de transmisión de información a largas distancias, esto debido a que a que estas son relativamente fáciles de controlar y viajan a velocidades cercanas o iguales a la de la luz. Es por ello la importancia de mejorar continuamente los dispositivos que conforman estos sistemas de comunicación, donde una de las técnicas más recientes que se utilizan es SDR.

Los sistemas de comunicaciones están conformados por tres bloques básicos, los cuales son el transmisor, el canal o medio de transmisión y el receptor. En la figura 1.1 se puede observar el diagrama de bloques general de un sistema de comunicación.

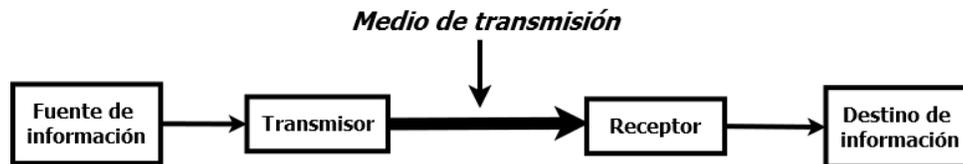


Figura 1.1 Diagrama de bloques de un sistema de comunicación

El transmisor es el encargado de modificar los parámetros de la señal de forma que se adapte lo mejor posible al canal de transmisión. Para ello puede utilizar diversos procesos como son la modulación, amplificación, codificación, etcétera.

El medio de transmisión es el canal por el cual viajara la información del transmisor al receptor, durante ese proceso, la señal puede sufrir distintos efectos entre los que destacan, interferencias, ruido, entre muchos otros.

Por último el receptor es el encargado de recibir la señal que se transmitió, donde se realizan diversos procesos para recuperar la señal original del mensaje, entre los procesos más comunes se encuentran el filtrado, amplificación, demodulación, etcétera, todo con la finalidad de interpretar lo más exacto la información que se transmitió.

1.3.1 Sistemas de comunicación satelital

Este es un caso particular de un sistema de comunicación, el cual está conformado por un satélite artificial que orbita la Tierra, el cual recibe señales de una estación terrena transmisora (ET-Tx), las procesa y las envía de regreso a Tierra para su percepción en una o más estaciones terrenas receptoras (ET-Rx). La comunicación satelital se puede dividir en dos tipos de enlaces, el primero enlace de bajada o descendente, en el cual el satélite es el transmisor y la estación terrena el receptor. El otro tipo de enlace es el de subida, o ascendente, en el cual el satélite es el receptor y la estación terrena el transmisor. Esto se puede ver en la imagen

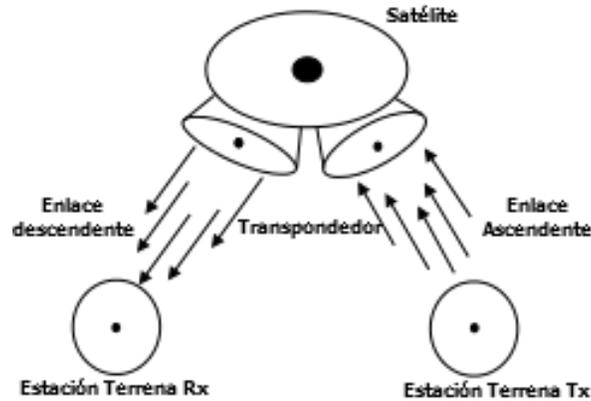


Figura 1.2 Comunicación Satelital

1.3.2 Estructura de un sistema de comunicaciones por satélite

Un sistema de comunicaciones vía satélite está compuesto por un segmento espacial y un segmento terrestre.

Segmento espacial

El segmento espacial está constituido por el satélite o constelaciones de estos, que orbitan en el espacio exterior. El satélite se define como un aparato fabricado por el hombre y lanzado al espacio para orbitar de forma útil alrededor de la Tierra o algún otro cuerpo celeste.

Independientemente de la aplicación de un satélite, este siempre contará con una configuración básica formada por diversos subsistemas. Tales subsistemas tienen distintas características dependiendo del tipo de satélite que se trate. Los subsistemas básicos se describen de la siguiente forma:

- Estructura: Sus principales funciones son contener a los demás subsistemas y proveer protección al satélite durante el lanzamiento y su operación en órbita.
- Control térmico: Al existir cambios bruscos de temperatura en el satélite dependiendo de la presencia de radiación solar o no, se deben desarrollar técnicas para mantener la temperatura de operación dentro de ciertos rangos. Este control puede ser pasivo o activo.
- Potencia: Sus principales funciones son la de generar, almacenar, regular y proveer energía eléctrica a todos los subsistemas. Integrado por baterías, paneles solares, reguladores de voltaje, cargadores de baterías, etc.
- Control de posición y estabilización: Su función es la de mantener al satélite en alguna posición específica y dar estabilidad. Puede ser activo (por ruedas inerciales, propulsión química, etc.) o pasivo (imanes permanentes, gradiente gravitacional).
- Comando y telemetría: Su función es conocer el estado del satélite y comandarlo. Está compuesto por sensores y el sistema de telecomunicaciones.
- Carga útil: La carga útil es el subsistema encargado de la misión principal del satélite, define la aplicación de este.

Segmento Terrestre

Este segmento se compone por la o las estaciones terrenas encargadas de la transmisión de señales hacia el satélite y/o la recepción de señales del satélite o constelación de estos en órbita. Existen tres tipos de estaciones terrenas:

- Fijas: Estas estaciones están diseñadas para mantenerse fijas en un lugar, es decir, permanecen inmóviles durante la comunicación con el satélite.
- Transportables: Estas estaciones están diseñadas para ser móviles, pero una vez ubicada en un lugar se deben mantener fijas para realizar la comunicación satelital.
- Móviles: Estas estaciones están diseñadas para comunicarse con el satélite en movimiento. Estas se definen de acuerdo a su localización en la superficie terrestre, como serían móvil terrestre, móvil aeronáutico o móvil marítimo.

1.3.3 Ventajas de la comunicación satelital

La comunicación satelital presenta distintas ventajas sobre los demás tipos de comunicaciones, entre las principales tenemos las siguientes.

- Área de cobertura: Un satélite puede tener una cobertura regional, nacional, internacional, continental o global, la cual depende de la órbita en que se encuentre.
- Accesibilidad: Debido a su gran cobertura, las comunicaciones satelitales pueden comunicar regiones de difícil acceso en el mundo, o que serían demasiado caro mantener comunicadas.
- Alta capacidad: Los satélites de comunicaciones manejan altas frecuencias, lo que representa el uso de grandes tasas de transmisión.

1.3.4 Subsistema de comunicaciones de a bordo

Como se mencionó anteriormente, en un sistema de comunicaciones el transmisor y el receptor pueden tener diversos procesos que ayuden a optimizar sus funciones, en la figura 1.3 se pueden observar los procesos más comunes.

Las técnicas de SDR se pueden aplicar a todos los procesos digitales controlando sus parámetros vía software, sin embargo hay procesos que requieren solo dispositivos analógicos como serían las antenas, fuentes conmutadas, etcétera.

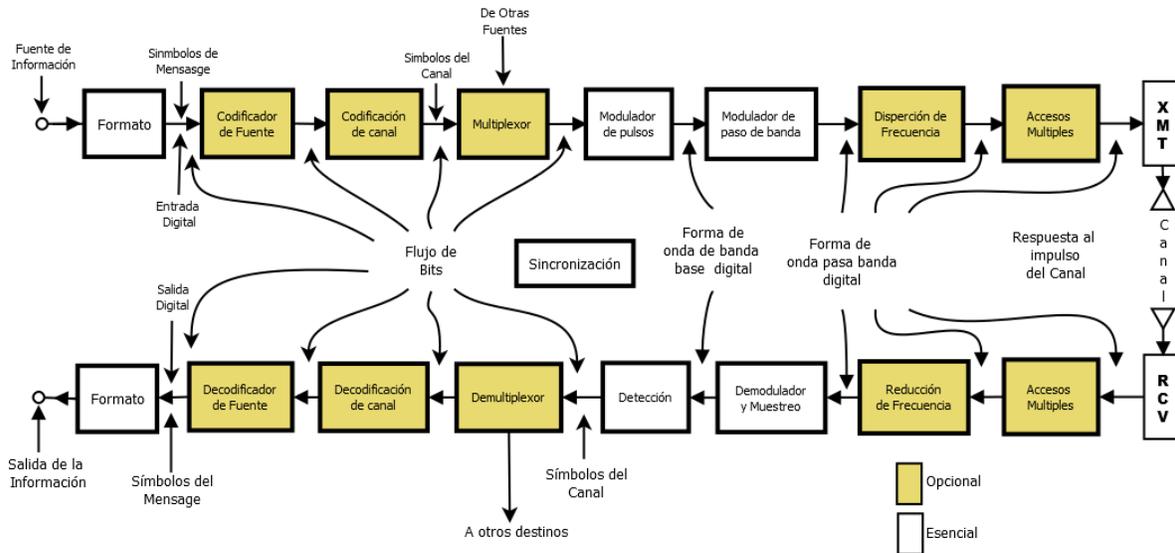


Figura 1.3 Diagrama de bloques de un sistema de comunicaciones digital

El diagrama de bloques de la figura 1.3 ilustra el flujo de la señal y los pasos del procesamiento de ésta a través de un sistema de comunicación digital. La parte superior denota las transformaciones de la señal desde la fuente hasta el transmisor (XMT). Para aplicaciones de radiofrecuencia el transmisor debe ir acompañado de amplificadores de potencia y una antena, de igual manera al receptor se le añade bloques como un amplificador de bajo ruido (LNA, por sus siglas en inglés), antena, entre otros.

Los únicos bloques esenciales en el proceso son el formato, la modulación, la demodulación, la detección y la sincronización, todos los demás son pasos opcionales. Este trabajo se centra solo en los bloques de modulación, demodulación y detección.

El paso de formato transforma la información de fuente en bits, asegurando así compatibilidad entre la señal de información y el procesamiento de la señal en el sistema de comunicación.

Como se mencionó anteriormente, la modulación es el proceso por el cual los símbolos del mensaje son convertidos en formas de onda que son compatibles con los requerimientos impuestos para la transmisión del canal. La modulación de pulso es un paso esencial porque cada símbolo que será transmitido debe ser primero transformado de una representación binaria (niveles de voltaje representando ceros y unos) a una forma de onda en banda base, por diversas ventajas que estas representan dependiendo la aplicación, por ejemplo sincronía de la señal, eficiencia en ancho de banda, etcétera.

La modulación pasa banda está involucrada para transmisiones en radiofrecuencia, esta es requerida para cualquiera que sea el medio de propagación que no soporte pulsos como forma de onda. El termino pasa banda es usado para indicar que la forma de onda en banda base es trasladado en frecuencia por una portadora a una frecuencia más alta.

Para el proceso inverso están los bloques del receptor como el demodulador cuya función es recuperar y reconstruir óptimamente la forma de onda pasa banda y prepararla para el proceso de detección. Típicamente este proceso involucra filtros para remover términos en altas frecuencias no buscados.

Los otros pasos del procesamiento de la señal son opciones diseñadas específicamente para las necesidades del sistema.

La codificación de fuente produce la conversión de analógico a digital para fuentes analógicas y elimina redundancia en la información. Un sistema de comunicaciones digitales puede usar la codificación de fuente (para digitalizar y comprimir la información) o usar la transformación de formato solamente.

Para una dada tasa de datos, la codificación de canal puede reducir la probabilidad de error, o reducir la señal a ruido requerida para lograr una probabilidad de error deseada a expensas del ancho de banda de la transmisión o la complejidad del decodificador.

La multiplexación y el acceso múltiple combinan señales que podrían tener diferentes características u originarse de diferentes fuentes, compartiendo recursos del sistema de comunicaciones, como el espectro.

La dispersión en frecuencia produce una señal que es relativamente invulnerable a interferencias (naturales o intencionales) y puede ser usada para mejorar la privacidad de las comunicaciones, esta técnica también puede ser valiosa para el acceso múltiple.

Estos diferentes procesos realizan el proceso inverso en el receptor, además pueden implementarse en diferente orden, dependiendo las necesidades de cada sistema.

1.4 Dispositivos lógicos programables

Para aplicaciones de SDR en sistemas espaciales se requieren dispositivos capaces de reconfigurarse a distancia, entre los principales que se utilizan están los dispositivos lógicos programables (PLD, por sus siglas en inglés)

Los PLD's son circuitos integrados fabricados con una estructura interna predeterminada que permiten ser configurados para realizar funciones de una aplicación específica. El diseñador emplea herramientas en software que le permiten seguir todas las tareas de diseño hasta poder grabar en el circuito la configuración adecuada para cumplir las especificaciones de la aplicación.

Los PLD favorecen la integración de aplicaciones y desarrollos lógicos mediante el empaquetamiento de soluciones en un circuito integrado. El resultado es la reducción de espacio físico dentro de la aplicación, es decir, se trata de dispositivos fabricados y revisados que se pueden personalizar desde el exterior mediante diversas técnicas de programación.

Ventajas y desventajas de los PLD

A medida que aumenta la complejidad de un diseño, los inconvenientes de su realización con circuitos estándar se hacen muy importantes. En estos casos los circuitos programables pueden ayudar a disminuir esos inconvenientes.

Las principales ventajas que aporta el diseño en base a PLD son:

- Un circuito programable sustituye múltiples circuitos estándar, por consecuencia se consigue:
 - Reducir el número de circuitos integrados

- Reducir el tamaño del circuito impreso
- Reducir el número de pistas o cableado
- Reducir el consumo del circuito
- Reducir el número de elementos electro-mecánicos, tales como zócalos, etc.
- Aumentar la fiabilidad de montaje
- Reducir el tiempo de pruebas y puesta a punto de los prototipos
- Reducir el mantenimiento
- Facilidad de modificación del diseño sin cambio alguno del hardware que lo rodea, tanto durante la fase de diseño como en posteriores cambios en las presentaciones del sistema.
- Ciclo de diseño – fabricación más corto
- Posibilidad de protección contra copias

La principal desventaja que aparece al diseñar con PLD es el elevado coste de estos dispositivos frente al reducido coste de los circuitos estándar. Sin embargo, esta desventaja se va viendo compensada a medida que aumenta la complejidad del diseño, además de que cada vez se producen PLD más baratos.

1.4.1 Clasificación de los PLD

Los PLD se clasifican de acuerdo con su arquitectura, que consiste básicamente en la ordenación funcional de los elementos internos que proporciona al dispositivo sus características específicas. Los principales PLD se muestran en la tabla.

Tabla 1.1 Principales tipos de PLD [8]

Dispositivo	Descripción
PROM	Memoria programable de solo lectura
PLA	Arreglo lógico programable
PAL	Lógica de arreglos programables
GAL	Arreglo lógico genérico
CPLD	Dispositivo lógico programable complejo
FPGA	Arreglos de compuertas programables en campo

Estructura interna de un PLD

Algunos dispositivos de lógica programable están compuestos por arreglos o matrices que pueden ser fijos o programables como PROM, PLA, PAL, y GAL, mientras que los CPLD y FPGA están estructurados mediante bloques reconfigurables y celdas lógicas de alta densidad, respectivamente.

La arquitectura básica de un PLD está formada por un arreglo de compuertas AND y OR conectadas en la entrada y salida del dispositivo.

- a) Arreglo AND: Está compuesto por varias compuertas lógicas AND interconectadas a un arreglo programable, el cual contiene fusibles en cada punto de intersección. En esencia, la programación del arreglo consiste en apagar los fusibles para descartar las

combinaciones lógicas que no serán utilizadas. Las variables que serán usadas se conectan a las entradas de la compuerta lógica mediante el fusible intacto.

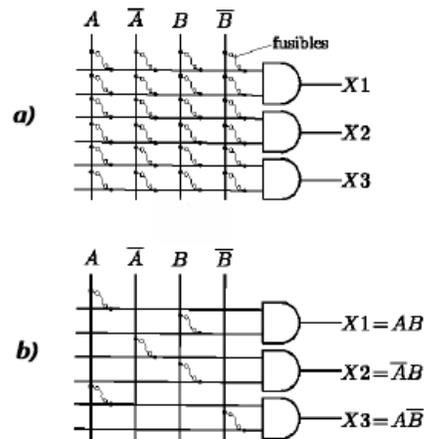


Figura 1.4 Arreglo AND de un PLD a) No programado b) Programado

- b) Arreglo OR. Está formado por un conjunto de compuertas lógicas OR interconectadas a un arreglo programable, el cual contiene fusibles en cada punto de intersección, como se ve en la figura. Este tipo de arreglo es similar al arreglo AND, por lo que la forma de programación es la misma

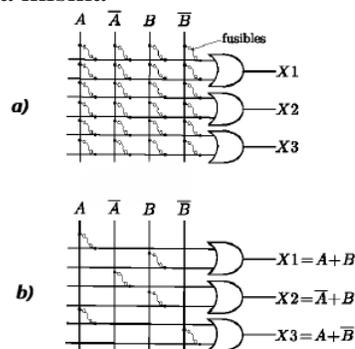


Figura 1.5 Arreglo OR de un PLD a) No programado b) Programado

1.4.2 PLD de alto nivel de integración

Los PLD de alto nivel de integración surgieron a partir de la necesidad de integrar sistemas electrónicos en un solo circuito integrado (SOC, por sus siglas en inglés). Una característica adicional que poseen estos PLD además de la reducción de espacio y costo, son las grandes velocidades y frecuencias de operación que soportan. Estos dispositivos se han vuelto una opción muy atractiva para los desarrolladores de soluciones electrónicas, ya que les permite lanzar al mercado sus productos con mayor rapidez, ejemplos de este tipo de dispositivos son los siguientes.

1.4.2.1 CPLD

Un circuito Dispositivo lógico programable complejo (CPLD, por sus siglas en inglés) consiste en un arreglo de múltiples PLD agrupados como bloques en un chip. En algunas ocasiones estos dispositivos también se conocen como EPLD (Enhanced PLD: PLD

mejorado). Se califican como de alto nivel de integración, ya que tienen una gran capacidad equivalente a unos 50 PLD sencillos.

En su estructura básica, cada CPLD contiene múltiples bloques lógicos (similares al GAL22V10) conectados por medio de señales canalizadas desde la interconexión programable (PI). Esta unidad PI se encarga de interconectar los bloques lógicos y los bloques de entrada/salida del dispositivo sobre las redes apropiadas, esto se ejemplifica en la figura 2.3.

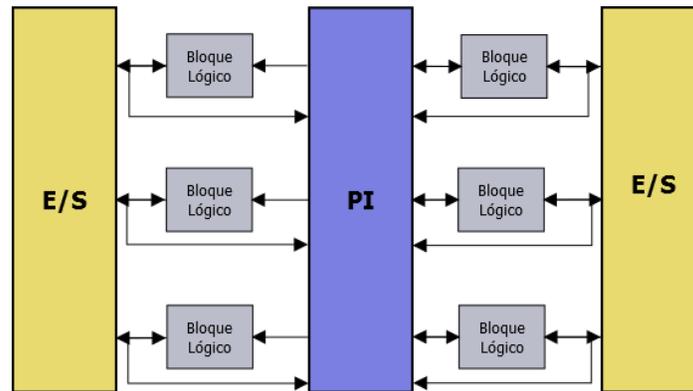


Figura 1.6 Arquitectura básica de un CPLD

Los bloques lógicos, también conocidos como celdas generadoras de funciones, están formados por un arreglo de productos de términos que implementa los productos efectuados en las compuertas AND, un esquema de distribución de términos que permite crear las sumas de los productos provenientes del arreglo AND y por macro celdas. En ocasiones las celdas de entrada/salida se consideran parte del bloque lógico, aunque la mayoría de los fabricantes coincide en que son externas. Cabe mencionar que el tamaño de los bloques lógicos es importante, ya que determina cuánta lógica se puede implementar dentro del CPLD; esto es, fija la capacidad del dispositivo.

1.4.2.2 FPGA

Los dispositivos FPGA se basan en una arquitectura que contiene tres elementos configurables: bloques lógicos configurables (CLB, por sus siglas en inglés), bloques de entrada y de salida (IOB, por sus siglas en inglés) y canales de comunicación, como se muestra en la figura 1.5. A diferencia de los CPLD, la densidad de los FPGA se establece en cantidades equivalentes a cierto número de compuertas.

Por adentro, un FPGA está formado por arreglos CLB, que se comunican entre ellos y con las terminales de entrada/salida (E/S) por medio de alambros llamados canales de comunicación. Cada FPGA contiene una matriz de bloques lógicos idénticos, por lo general de forma cuadrada, conectados por medio de líneas metálicas que corren vertical y horizontalmente entre cada bloque.

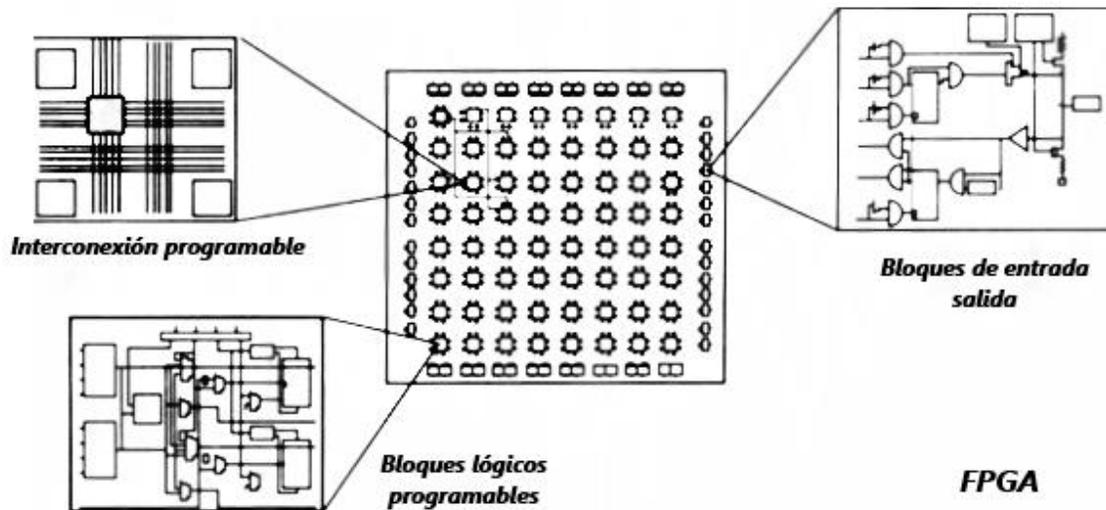


Figura 1.7 Arquitectura de un FPGA

1.4.2.3 Diferencias entre CPLD y FPGA

En algunas ocasiones se pueden confundir los dispositivos de FPGA y CPLD, ya que ambos utilizan bloques lógicos en su fabricación. La diferencia entre ellos radica en el número de flip-flops utilizados. Mientras la arquitectura del FPGA es rica en registros, los CPLD mantienen una baja densidad. En la tabla 1.2 se presentan algunas otras diferencias entre una y otra arquitectura.

Tabla 1.2 Características de los CPLD y FPGA [3]

Características	CPLD	FPGA
Arquitectura	Similar a un PLD Más combinacional	Similar a los arreglos de compuertas Más registros + RAM
Densidad	Baja a media	Media a alta
Funcionalidad	Trabajan a frecuencias superiores a 200 MHz	Depende de la aplicación, arriba de 135 MHz
Aplicaciones	Contadores rápidos Máquinas de estado Lógica combinacional Circuitos con pocas compuertas	Procesadores digitales de señales Diseños con registros Arquitecturas para computadoras Circuitos con mayor número de compuertas

1.5 Sistemas espaciales tolerantes a fallas

1.5.1 Radiación espacial

La radiación es la propagación de energía en forma de ondas electromagnéticas o de partículas materiales que se propagan a través del espacio.

A diferencia de lo que se cree, el espacio cercano a la Tierra no es un lugar “vacío” e inmaculado, sino que está repleto de distintos tipos de partículas. Algunas de estas con suficiente energía para dañar organismos vivos, o aparatos electrónicos. Este tipo de partículas se consideran radiación ionizante y tienen distintos orígenes.

El Sol expulsa continuamente material desde su superficie. Este flujo de partículas recibe el nombre de viento solar, este es en realidad un plasma, es decir, un flujo de partículas cargadas con un campo magnético asociado. Está formado principalmente por núcleos de hidrógeno (protones) y helio, los elementos más abundantes del Sol.

Los rayos cósmicos son otro elemento que provee radiación en el espacio. Estos rayos son partículas que se originan en distintos lugares de la galaxia. La mayoría fueron creados millones de años atrás, por alguna explosión de supernova o por algún agujero negro y que han recorrido miles de años luz por el espacio. Pueden alcanzar entre 10 y 20 veces más energía que un protón por el Sol. En su mayoría se componen de protones, y pocas partículas de Helio y núcleos pesados. A pesar de ser más peligrosos que la radiación solar, tiene un flujo muy inferior a estos.

El último proveedor de radiación espacial son los cinturones de radiación, los cuales propiamente no son fuentes de esta, ya que se forman por partículas energéticas atrapadas en el campo magnético de algún cuerpo celeste. Su origen son los rayos cósmicos o el viento solar. La forma e intensidad de los cinturones de radiación varía con el ciclo de actividad solar.

1.5.2 Efectos de la radiación en sistemas electrónicos

La radiación espacial en general puede provocar dos tipos de efectos sobre los dispositivos electrónicos. El primer tipo de efecto es acumulativo, es decir, a largo plazo, que a su vez se puede subdividir en efectos de Dosis total de ionización (TID, por sus siglas en inglés) o daños de desplazamiento.

El segundo tipo de efectos son transitorios, o bien probabilísticos, estos eventos se conocen como, efectos de eventos individuales (SEE, por sus siglas en inglés).

1.5.2.1 Efectos TID

El término Dosis Total de Ionización implica que la dosis se deposita en el componente electrónico solo a través de ionización. La energía depositada por la radiación traslada los electrones a un estado de energía más alto, lo que les permite moverse y ser conductores en un material no conductor. Estos electrones, o propiamente cargas positivas creadas por ionización, son la causa principal de los efectos TID.

Estos efectos se mide en rads [rd] que es la dosis de radiación absorbida, un rad es igual a la dosis de 0.01 joule de energía por kilogramo de masa (J/kg). En el Sistema Internacional de medidas la unidad es el gray (Gy) donde $1 \text{ Gy} = 100 \text{ rads} = 1 \text{ J/kg}$.

Los principales efectos TID en los dispositivos de silicio son:

- Transistores MOS: Cambio en umbral de voltaje de polarización, corrientes de fuga, disminución de la transconductancia.
- Transistores bipolares: La ganancia disminuye
- Transistores JFET: disminución de la transconductancia.
- Resistencias de P-Silicio: Aumenta la resistencia.

1.5.2.2 Mitigación de efectos TID

En general, los efectos TID son mitigados a través del uso adecuado de los materiales de blindaje. Estos efectos dependen de la transferencia de energía desde el entorno de radiación. Si la cantidad de partículas del entorno, o su energía disminuyen, el efecto también lo hará, esto es lo que se pretende con el blindaje. Al forzar a las partículas al pasar por un material intermedio o blindaje, estas pierden energía, la suficiente para que no afecte a la electrónica del sistema.

Al seleccionar apropiadamente el material de blindaje y su espesor, la mitigación se optimiza. El inconveniente es que el uso de blindaje afecta el peso del sistema. Mientras más peso se ponga en órbita, el precio del lanzamiento aumenta. Además el efecto del blindaje no es lineal, en algún punto, dependiendo del medio ambiente y la “dureza” relativa del material de blindaje, la adición de más de este material ya no es eficaz.

1.5.2.3 Efectos SEE

Los efectos de eventos individuales (SEE) son efectos en los dispositivos semiconductores inducidos por el paso de partículas de alta energía a través de esta.

Los efectos que se pueden producir en un SEE es la inyección de carga “instantánea” en un nodo, o bien un corto circuito “instantáneo”.

La ocurrencia de un efecto SEE depende de las características de la partícula que impacta a un semiconductor, específicamente de la capacidad de transferencia lineal de energía (LET, por sus siglas en inglés) que tenga la partícula, este parámetro permite determinar la pérdida de energía por unidad de longitud de trayectoria de la partícula a través del semiconductor. LET depende de la partícula, su energía y el material que atraviesa. El LET mínimo que una partícula debe tener para ocasionar un SEE se conoce como LET threshold.

Existen diversos tipos de SEE, la siguiente tabla resume los principales y la descripción del efecto que realiza.

Tabla 1.3 Tipos de efectos SEE [9]

Acrónimo	Efecto	Descripción
SEU	Upset	Cambios en el estado lógico de circuitos digitales
SEL	Latchup	El dispositivo cambia a un estado de alta corriente destructivo
SEGR	Gate rupture	Falla destructiva de un transistor de potencia

SEB	Burnout	Otro modo de falla destructiva para un transistor de potencia
SEFI	Functional interrupt	El dispositivo entra a un modo donde no ejecuta más la función de diseño
SEMBE	Multiple bit error	Más de un estado lógico cambia por un ion
SET	Transient	Corriente transitoria en un circuito
SEIDC	Corriente oscura inducida	Incremento en la corriente oscura de un arreglo

1.5.2.5 Mitigación de efectos SEE

Los efectos SEE, a diferencia de los TID no se pueden mitigar con el uso de blindaje, ya que no degradan la aparición de ello. La principal manera de protegerse de ellos es la selección de partes según su importancia. También se pueden utilizar técnicas de detección y corrección de errores.

Para un sistema cuya misión es crítica, los sistemas de corrección y detección de errores simples no son eficaces, para estas partes un método de votación tiene ventajas para la baja tasa de los SEE. También se puede usar criterios de decisión donde se utilizan varios bloques que desempeñan la misma función y se toma el valor de la mayoría de los circuitos.

Este tipo de problemas son los que pueden afectar especialmente a los FPGA, y se pueden resolver o mitigar con el uso adecuado de técnicas de tolerancia a fallas, como redundancia en el dispositivo, elementos de reserva en caso de fallo, entre otros. Se requiere de estudios más especializados para crear un sistema tolerante a fallas que cubra las necesidades específicas de cada sistema en particular.

Capítulo 2 Modulación y demodulación QPSK

2.1 Modulación

En telecomunicaciones, la modulación es un proceso que consiste en modificar las características de una señal, típicamente senoidal, llamada portadora en función de otra señal que contiene la información que se desea transmitir, llamada moduladora, con el objetivo de tener una nueva señal más adecuada para la transmisión, denominada señal modulada.

La modulación se divide principalmente en dos tipos, la analógica y la digital. La modulación analógica emplea como moduladora una señal continua, la modulación digital, en cambio, es un proceso mediante el cual se transforman símbolos digitales en formas de onda adecuadas para la transmisión en un canal de comunicación. La modulación digital implica una transformación digital por medio de la cual la señal en banda base se cambia de un lenguaje simbólico a otro, por ejemplo, Modulación por Codificación de Pulso (PCM, por sus siglas en inglés), etcétera.

Existen diversas ventajas en las telecomunicaciones que surgen de la modulación, entre las principales tenemos las siguientes [10]:

- **Empleo eficiente del espectro radioeléctrico:** Al modular las señales, se permite colocarlas en diferentes bandas de frecuencia del espectro, lo que permite administrarlo.
- **Transmisión múltiple:** La transmisión múltiple, permitida por la modulación, puede trasladar a diferentes posiciones en el dominio de la frecuencia las señales de información. Por lo que los espectros de diferentes señales previamente moduladas pueden mezclarse y transmitirse por un mismo canal sin que se interfieran.
- **Reducción de ruido e interferencias:** Mediante determinados tipos de modulación se pueden reducir considerablemente los efectos del ruido y las interferencias. Esto se consigue aumentando el ancho de banda de la transmisión del que se tenía en banda base.

2.1.1 Modulación digital

La modulación digital es el proceso en el cual símbolos digitales son transformados en formas de onda que son compatibles con las características del canal. En el caso de modulación en banda base estas formas de onda usualmente están formadas por pulsos. Pero en el caso de modulación pasa-banda los pulsos de la señal modulan una señal senoidal llamada señal portadora. Para transmisiones de radio frecuencia la señal modulada es convertida en campos electromagnéticos para su propagación al destino deseado.

Las modulaciones digitales cada día son más usadas, debido a que presentan ventajas respecto a las modulaciones analógicas. Una de las razones son la mayor inmunidad frente al ruido y las interferencias, ya que los circuitos digitales solo operan en dos estados, por lo

que alguna perturbación debe ser muy grande para cambiar el bit de un estado a otro, esto permite la regeneración de la señal y así tolerar el ruido y otras perturbaciones, en cambio las señales analógicas, al tener una variedad infinita de valores una perturbación menor puede modificar la forma de la señal y esta no podrá ser removida.

Otra ventaja de las modulaciones digitales es brindar la posibilidad de emplear técnicas de comprensión de la información, esto permite reducir el volumen de la información y reducir el ancho de banda utilizado. Otra clara ventaja de las modulaciones digitales es la posibilidad de emplear técnicas de encriptación, con ello evitar el robo de información. Además de poder utilizar técnicas de procesamiento digital comúnmente desarrolladas por microprocesadores, DSP's, etc.

Para la selección de la modulación digital en cada aplicación, se deben contemplar las necesidades de esta, entre las que destacan la máxima velocidad de transmisión posible, probabilidad de error, potencia de transmisión, ancho de banda, entre otras.

Modulación en banda base

La modulación en banda base es ampliamente usada en diversos campos como una línea digital de transmisión, transmisión óptica digital, entre otros, donde la distancia no es muy grande. Esta modulación representa diversas ventajas para la transmisión entre las que destacan la sincronía de la señal, eficiencia en ancho de banda, etcétera.

Cuando los datos binarios se van a transmitir sobre un canal en banda base, se debe cambiar el formato de la señal digital a lo que se conoce como formatos de señalización o códigos de línea [11]. En general la codificación se escoge para acoplar la señal digital con el canal, permitiendo hacer la señal más robusta al ruido, mejorando su probabilidad de error. Para la modulación en banda base es necesario aplicar códigos de línea los cuales modifican la secuencia de bits para una transmisión más adecuada.

Códigos de línea

Cuando una modulación de pulso es aplicada a símbolos binarios, la forma de onda binaria resultante es llamada Modulación por Codificación de Pulso (PCM, por sus siglas en inglés). Existen muchos tipos de formas de ondas PCM, en aplicaciones de telefonía estas comúnmente se conocen como códigos de línea. Las formas de onda se pueden clasificar en los siguientes grupos.

- No Retorno a Cero (NRZ, por sus siglas en inglés)
- Retorno a Cero (RZ)

Antes de aplicar la señal PCM a un modulador, se pueden elegir diferentes formas de onda dependiendo del tipo de modulación y demodulación empleado y otras restricciones de ancho de banda, complejidad, etc. En la figura 2.1 se ilustran algunas de las representaciones PCM más comunes.

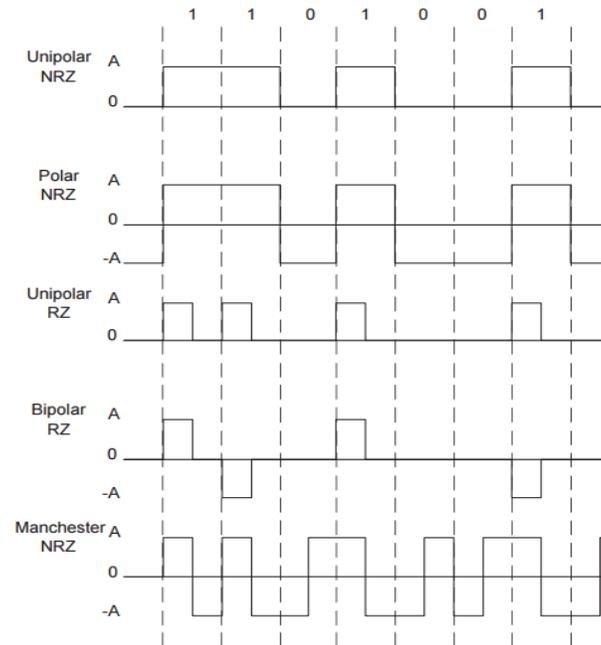


Figura 2.1 Principales códigos de línea

El método de Retorno a Cero (RZ) representa el 1 por un cambio al nivel 1 durante la mitad del intervalo del bit, después de lo cual la señal regresa al nivel de referencia en la mitad restante. Se indica un 0 dejando a la señal sin cambio en el nivel de referencia. Algunas variaciones de RZ son RZ unipolar, RZ bipolar, entre muchos otros.

En las representaciones NRZ el pulso de bit se mantiene en uno de los dos niveles durante el intervalo completo. De este se dependen más variaciones como NRZ unipolar, polar, etc.

En la figura 2.2 se muestran senoidales a la frecuencia fundamental para niveles alternos de una corriente de bits PCM. La secuencia de niveles alternos representa el esquema con la variación más rápida posible de una corriente de código binario. En estos diagramas, T_b representa el intervalo del bit. Los códigos NRZ transmiten un bit por cambio de nivel, mientras que los códigos de línea RZ transmiten un bit por dos cambios de nivel. Se puede decir que los códigos NRZ pueden transmitir dos bits por segundo por Hz (bps/Hz). Por el contrario el límite para las otras representaciones será de un (bps/Hz). El número de bits por segundo por Hz se conoce como eficiencia de ancho de banda. Por tanto la eficiencia del ancho de banda potencial de un código binario PCM es de 2 bps/Hz usando una representación en código NRZ.

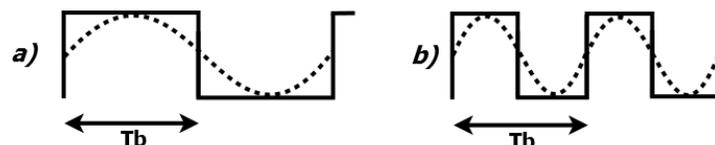


Figura 2.2 Tasas máximas de los códigos a) NRZ y b) RZ

En conclusión, la representación de No Retorno a Cero reduce el ancho de banda necesario para enviar el código PCM. Las representaciones NRZ son eficientes en términos de ancho de banda y su uso es amplio. A cambio de ello requieren cierta complejidad adicional del receptor para determinar la frecuencia del reloj.

Modulación digital pasa-banda

La modulación pasabanda es el proceso en el cual la señal de información es convertida en una señal de onda senoidal. La modulación pasabanda consiste en la modificación de una o más de las tres propiedades básicas de una señal portadora acorde a la representación correspondiente de los datos digitales. La forma general de la señal portadora es:

$$s(t) = A(t)\text{sen}\theta(t) \quad (2.1)$$

donde:

$A(t)$ = Variación en el tiempo de la amplitud de la señal portadora
 $\theta(t)$ = Variación en el tiempo del ángulo de fase de la señal portadora

La variación en el tiempo del ángulo de fase está compuesta por ω_0 es la frecuencia en radianes de la portadora y $\phi(t)$ que es la fase, se puede escribir como la ecuación 2.2. Los términos f y ω_0 serán usados para representar la frecuencia. Cuando sea usado f nos referimos a la frecuencia en Hertz, cuando ω_0 sea usado se refiere a la frecuencia en radianes por segundo, o frecuencia angular. Los dos parámetros están relacionados con $\omega_0 = 2\pi f$.

$$\theta(t) = \omega_0 t + \phi(t) \quad (2.2)$$

Por lo que tenemos

$$s(t) = A(t) \text{sen}[\omega_0 t + \phi(t)] \quad (2.3)$$

La modulación digital pasa banda recibirá su nombre según la variación de alguno de estos parámetros, siendo las principales modulaciones las siguientes:

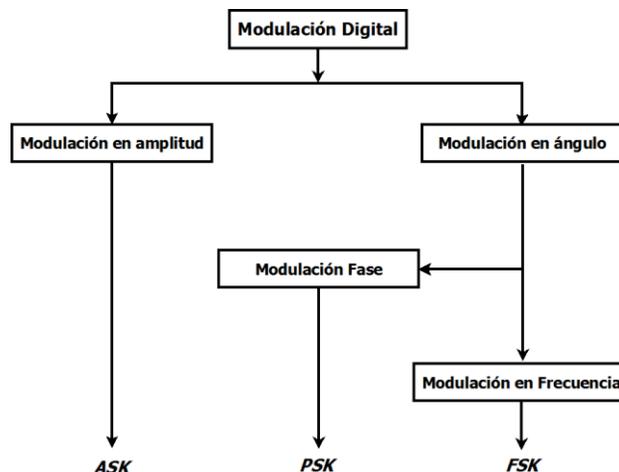


Figura 2.3 Esquema modulaciones digitales pasa banda

El esquema general de la modulación digital pasabanda se puede observar en la figura 2.4, donde la señal moduladora es la señal digital, la señal portadora es una senoidal, generada comúnmente por un Oscilador Controlado Numéricamente (NCO, por sus siglas en inglés), resultando en una señal modulada.

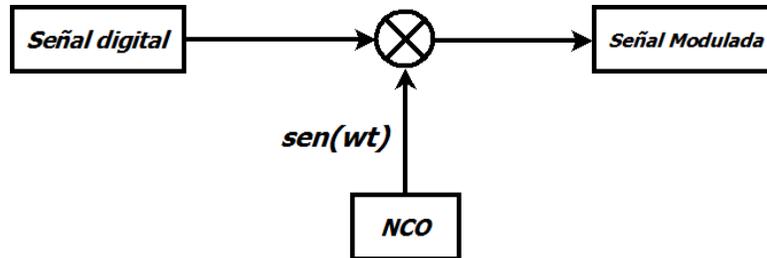


Figura 2.4 Esquema general de modulación digital pasabanda

2.2 Modulación PSK

La modulación por desplazamiento de fase (PSK, por sus siglas en inglés) es una de las modulaciones digitales binaria (ya que solo transmite un bit) más utilizadas por su buena relación entre simplicidad de implementación, ya que no necesita muchos procesos para generar dicha modulación, además su tasa de transmisión, comparado con las modulaciones en frecuencia. Es usada en muchas aplicaciones prácticas en comunicaciones satelitales, celulares y redes de datos inalámbricas, esto debido a su simplicidad y bajo costo, comparada con otras modulaciones digitales como QAM, que requieren de más procesos para ser generadas.

Una señal PSK es representada generalmente como:

$$S_i(t) = \sqrt{\frac{2E}{T}} \cos[\omega_0 t + \Phi_i(t)] \quad \begin{matrix} 0 \leq t \leq T \\ i = 1, \dots, M \end{matrix} \quad (2.4)$$

Donde la fase de la señal portadora, $\Phi_i(t)$, puede tener M valores discretos, típicamente dados por:

$$\Phi_i(t) = \frac{2\pi i}{M} \quad i = 1, \dots, M \quad (2.5)$$

Para PSK binario (BPSK). El parámetro E es la energía del símbolo [joules], T es la duración del símbolo [seg] el cual va de $0 \leq t \leq T$.

El coeficiente de la amplitud de la señal de onda $\sqrt{\frac{2E}{T}}$ se origina de la siguiente expresión.

$$s(t) = A \cos(\omega t) \quad (2.6)$$

Donde A es el valor pico de la forma de onda. Dado que el valor pico de una forma de onda sinusoidal es igual a $\sqrt{2}$ veces su valor cuadrático medio (rms, por sus siglas en inglés), se puede escribir como:

$$s(t) = \sqrt{2}A_{rms}\cos\omega t \quad (2.7)$$

$$s(t) = \sqrt{2A_{rms}^2}\cos\omega t \quad (2.8)$$

Asumiendo que la señal tendrá una forma de onda de voltaje o corriente, A_{rms}^2 representa la potencia promedio P (asumiendo una carga resistiva de 1 [Ω]). Por lo tanto podemos escribir:

$$s(t) = \sqrt{2P}\cos\omega t \quad (2.9)$$

Reemplazando la potencia P [Watts] por E [joules]/ T [segundos], se tiene

$$s(t) = \sqrt{\frac{2E}{T}}\cos\omega t \quad (2.10)$$

Se pueden utilizar la notación de amplitud A de la ecuación 2.6 o de la ecuación 2.10. Como la energía de la señal recibida es el parámetro clave para determinar la probabilidad de error en el proceso de detección, es a menudo conveniente usar la amplitud con la notación de la ecuación 2.10 porque facilita la solución directa de la probabilidad de error como una función de la energía de la señal [11].

En general existen diversas modulaciones dependiendo el número de bits que transmitan por símbolo, estas reciben el nombre de modulación M-aria representada como $M = 2^k$, donde k es el número de bits por símbolos, y M son los diferentes tipos de formas de onda que puede generar el modulador. Mientras la modulación M-aria tenga mayor números de bits, se tendrá una mayor tasa de transmisión.

2.3 Modulación BPSK

En la modulación por desplazamiento de fase binaria (BPSK, por sus siglas en inglés) son posibles dos fases de salida para una sola frecuencia portadora. Una fase de salida representa el 1 lógico y la otra al 0 lógico. A medida que la señal digital de entrada cambia entre 0 y 1, la fase de la portadora de salida cambia entre dos ángulos que están desfasados 180° . Se escogen estos ángulos para facilitar la demodulación, ya que es la diferencia máxima que se puede dar entre dos ángulos y así mejorar la probabilidad de error.

Matemáticamente la modulación se desarrolla de la siguiente manera, partiendo de la señal portadora:

$$s(t) = \sqrt{\frac{2E}{T}}\sin(2\pi f_0 t) \quad (2.11)$$

Cuando el símbolo cambia, la fase de la portadora cambia 180 grados (π radianes) por lo que los símbolos resultarían de la siguiente manera:

$$\text{simbolo '1'} \Rightarrow s_1(t) = \sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t) \quad (2.12)$$

$$\text{simbolo '0'} \Rightarrow s_2(t) = \sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t + \pi) \quad (2.13)$$

Ya que $\text{sen}(\theta + \pi) = -\text{sen}(\theta)$ se puede reescribir la ecuación como:

$$\text{simbolo '0'} \Rightarrow s_2(t) = -\sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t) \quad (2.14)$$

Por lo que podemos definir la señal BPSK como:

$$s(t) = b(t) \sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t) \quad (2.15)$$

$$\text{Donde } b(t) = \begin{cases} +1 & \text{cuando se transmite un 1 binario} \\ -1 & \text{cuando se transmite un 0 binario} \end{cases}$$

Una vez desarrollada la matemática podemos realizar un diagrama de bloques, como se observó de las ecuaciones anteriores es necesario un código de línea que represente al dígito binario como un valor positivo en el 1 lógico y negativo en el 0 lógico.

Para la modulación BPSK se utiliza la codificación de línea NRZ por las ventajas mencionadas anteriormente. La figura 2.5 representa el diagrama de bloques de la modulación BPSK.

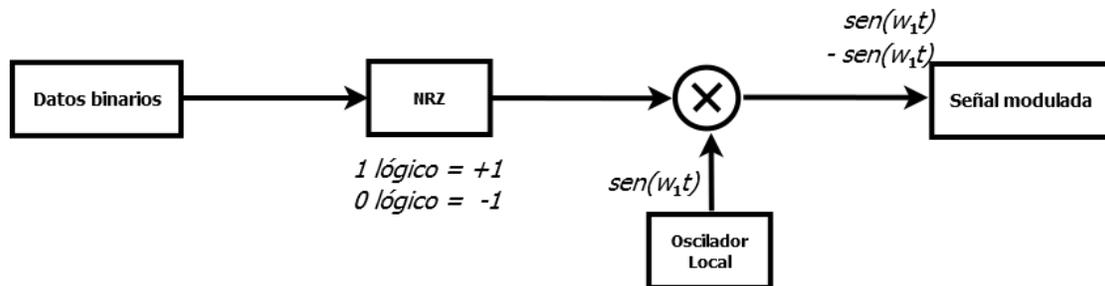


Figura 2.5 Esquema modulación PSK

Los datos binarios pasan primero por un bloque NRZ, el resultado pasa a un bloque de multiplicación, para la modulación, a la cual también se le manda la señal portadora, la cual es generada típicamente por un oscilador local.

El modulador balanceado multiplica la señal moduladora por la señal portadora, resultando en la señal modulada. En la figura 2.6 se ve la señal de entrada y de salida en el proceso de modulación BPSK.

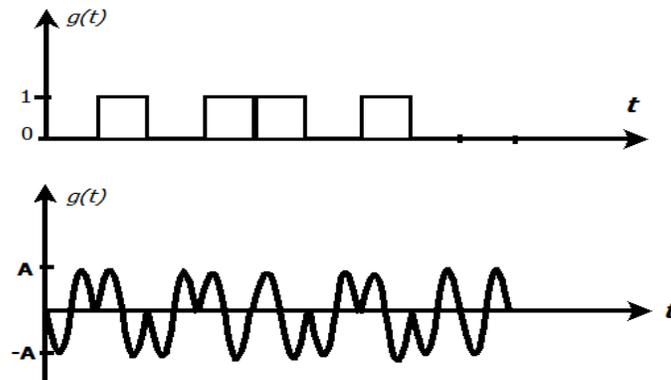


Figura 2.6 Entrada y salida modulación BPSK

2.3.1 Diagrama de constelación

El diagrama de constelación, también conocido como diagrama de estado-espacio de señal, es un método de representación en el plano complejo de los estados de símbolo en términos de amplitud y fase en los esquemas de modulación digital.

Típicamente el eje horizontal se refiere a los componentes de los símbolos que están en fase con la señal portadora y el eje vertical a los componentes en cuadratura (90°). En el diagrama de constelación solo se muestran las posiciones relativas de los picos de los fasores.

Para una modulación BPSK, el diagrama de constelación se ve como en la Figura 2.7, donde solo existen dos posiciones, correspondientes al 1 y al 0 lógico, con la misma magnitud, pero separadas 180° .

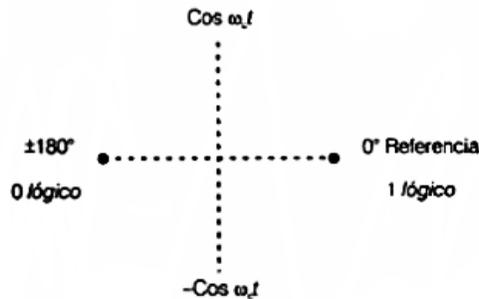


Figura 2.7 Diagrama de constelación BPSK

El diagrama de constelación es de gran utilidad para visualizar el rango de error que se tiene entre los diferentes símbolos que se trabajen, el cual estará definido por la regla de decisión para el detector, esta se establece en términos de regiones de decisión, en el caso de BPSK la línea que separa las regiones de decisión es la línea vertical de la figura 2.7, podemos ver que el estado de la constelación que representa el 1 lógico, puede variar entre $\pm 90^\circ$, y no confundirse con el estado que representa el 0 lógico. Es decir, del diagrama de constelación se puede analizar qué tan tolerante será un sistema al ruido. BPSK es un esquema de modulación muy tolerante al ruido, ya que tiene un amplio margen en su región de decisión, pero sacrifica tasa de bits al solo transmitir un bit por símbolo, ya que mientras aumenten

los símbolos posibles en la transmisión, la región de decisión de cada uno se hará más pequeña.

2.3.2 Ancho de banda en BPSK

El ancho de banda de un canal es el rango de frecuencias en el que se puede transmitir con fidelidad, siendo este una de las principales limitaciones, junto con el ruido, de un sistema de comunicaciones.

La señal de salida modulada es el producto de las dos señales de entrada. En un modulador BPSK la portadora de entrada se multiplica por los datos binarios, los cuales pasan primero por un bloque NRZ. La portadora de entrada $\sin(\omega_c t)$ se multiplica ya sea por +1 o por -1 resultando en:

$$\begin{aligned} 1 \text{ lógico} &= \sin(\omega_c t) \\ 0 \text{ lógico} &= -\sin(\omega_c t) \end{aligned}$$

La primera representa una señal que está en fase con el oscilador de referencia, la segunda es una señal que está 180° fuera de fase con respecto al oscilador de referencia.

Cada vez que la condición lógica de entrada cambia, la fase de salida cambia, en consecuencia, para BPSK, la velocidad de cambio de salida es igual a la velocidad de cambio de entrada (bps) y el ancho de banda más grande de salida ocurre cuando los datos binarios de entrada son la secuencia alterna 1 / 0.

La frecuencia fundamental (f_a) de una secuencia alterna de bits 1 / 0 es igual a la mitad de la tasa de bits ($f_b/2$). Matemáticamente la salida de un modulador BPSK sería:

$$s(t)_{BPSK} = \sin \omega_a t \times \sin \omega_c t \quad (2.16)$$

donde : $\sin \omega_a t$ Frecuencia fundamental de la moduladora binaria
 $\sin \omega_c t$ Frecuencia portadora

$$s(t)_{BPSK} = \frac{1}{2} \cos(\omega_c t - \omega_a t) - \frac{1}{2} \cos(\omega_c t + \omega_a t) \quad (2.17)$$

Consecuentemente el ancho de banda mínimo de Nyquist de doble banda lateral es:

$$f_N = (\omega_c + \omega_a) - (\omega_c - \omega_a) = 2\omega_a \quad (2.18)$$

y debido a que $f_a = \frac{f_b}{2}$

$$f_N = 2 \left(\frac{f_b}{2} \right) = f_b \quad (2.19)$$

$$\text{por lo tanto } BW = f_b \quad (2.20)$$

En consecuencia, el mínimo ancho de banda (f_N) requerido, para permitir el peor caso de la señal de salida del BPSK, es igual a la tasa de bits de entrada.

La cantidad máxima de datos que pueden ser transmitidos en sistemas de comunicaciones depende del ancho de banda y de la relación señal a ruido, esta capacidad está dada por el teorema de Shannon-Hartley mostrado en la ecuación 2.16, donde C es la máxima tasa de transferencia de datos en [bps], B es el ancho de banda del canal en [Hertz] y S_nR es la relación señal a ruido. Esta ecuación asume que la portadora no se aproxima a la tasa de transmisión.

$$C = B \log_2(1 + S_nR) \quad 2.21$$

Para aumentar la tasa de transmisión de datos tiene que haber un aumento en la disposición de ancho de banda y de S_nR . Debido a la regulación gubernamental del ancho de banda es limitado en el espectro de frecuencias. Sin embargo, S_nR es fácilmente controlado por hardware por lo que se busca continuamente mejorar la relación señal a ruido mediante el aumento de la potencia de la señal y la búsqueda de mejores métodos para filtrar el ruido.

2.3.3 Probabilidad de Bit en Error en BPSK

Una importante medida de comparación entre los esquemas de modulaciones digitales es la probabilidad en error, ya que permite analizar el desempeño de estas durante su transmisión en el medio y saber cuál transmitirá de forma más confiable la información. Existen dos medidas típicas de error en comunicaciones, las cuales son la probabilidad de error de bit P_B y la probabilidad de error de símbolo P_E . Existe una relación para señales M-arias ortogonales, dada por:

$$\frac{P_B}{P_E} = \frac{2^{k-1}}{2^k - 1}$$

Donde k es el número de bits por símbolo.

Para el caso de BPSK la probabilidad de error de símbolo será la misma que la probabilidad de error de bit, ya que tienen el mismo tamaño, un bit.

Para la modulación BPSK, se asume que las señales son igualmente probables, y que cuando la señal $S_i(t)$ ($i = 1, 2$) es transmitida, la señal recibida $r(t)$ será igual a $r(t) = S_i(t) + n(t)$ donde $n(t)$ es un proceso de Ruido Blanco Gaussiano Aditivo (AWGN, por sus siglas en inglés), ya que este modelo establece la probabilidad bajo condiciones generales de que se presente algún fenómeno aleatorio, en este caso el ruido. Además se plantea que no hay efectos de degradación en el canal, con la finalidad de establecer un caso general. Además, las señales $S_1(t)$ y $S_2(t)$, son señales antipodales, ya que son señales idénticas en forma y energía, pero una es el negativo de la otra.

Considerando una señal BPSK como sigue:

$$S_1(t) = \sqrt{\frac{2E}{T}} \cos(\omega_0 t + \Phi) \quad 0 \leq t \leq T \quad (2.22)$$

$$S_2(t) = \sqrt{\frac{2E}{T}} \cos(\omega_0 t + \Phi + \pi) \quad (2.23)$$

$$S_2(t) = -\sqrt{\frac{2E}{T}} \cos(\omega_0 t + \Phi) \quad 0 \leq t \leq T \quad (2.24)$$

Donde el término de fase Φ es una constante arbitraria, entonces el análisis no se ve afectado si $\Phi = 0$. El parámetro E es la energía de la señal por símbolo y T es la duración del símbolo. Para este caso antipodal, solo una función base es necesaria. Simplificando la siguiente ecuación en el parámetro Ψ :

$$\Psi_1(t) = \sqrt{\frac{2}{T}} \cos \omega_0 t \text{ para } 0 \leq t \leq T \quad (2.25)$$

Podemos expresar las funciones como :

$$\left. \begin{aligned} S_1(t) &= \sqrt{E} \Psi_1(t) \\ S_2(t) &= -\sqrt{E} \Psi_1(t) \end{aligned} \right\} 0 \leq t \leq T \quad (2.26)$$

El detector del demodulador elegirá la $S_i(t)$ con la mayor correlación a la salida, llamada $z_i(t)$, o en este caso en el que las señales antipodales tienen igual cantidad de energía, el detector usa la regla de decisión:

$$\begin{aligned} S_1(t) &\text{ si } z(T) > \gamma_0 = 0 \\ S_2(t) &\text{ en otro caso} \end{aligned}$$

Donde γ_0 se representa en la figura, siendo el umbral de decisión de señales antipodales.

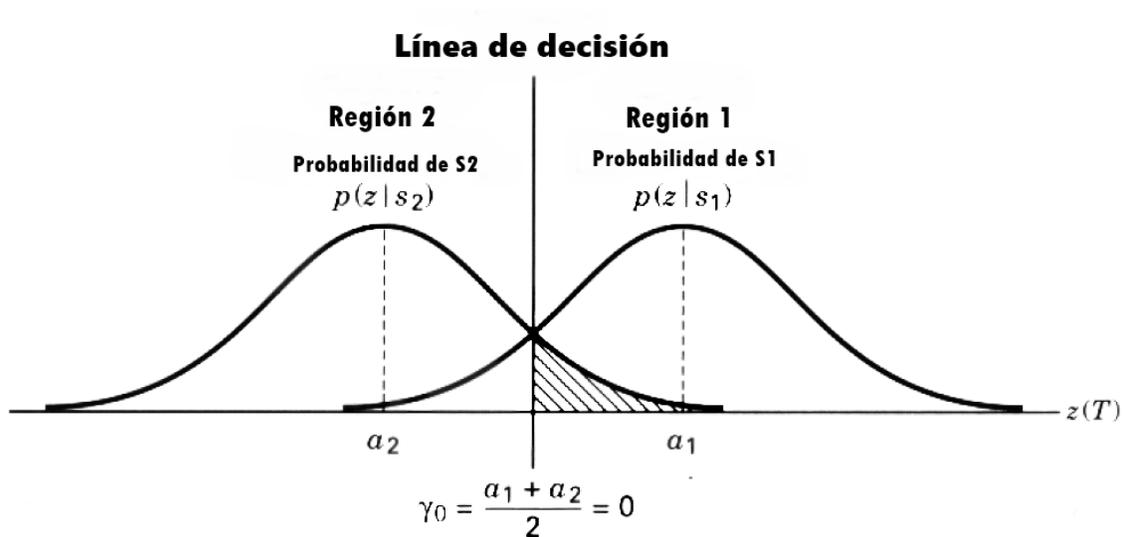


Figura 2.8 Umbral de decisión en BPSK

Dos tipos de error pueden ocurrir, el primer error toma lugar si la señal $S_1(t)$ es transmitida pero el ruido es tal que el detector mide un valor negativo para $z(T)$ y entrega otro valor suponiendo que la señal $S_2(t)$ había sido enviada. El segundo tipo de error sería justamente en el caso contrario.

Para la probabilidad de bit en error P_b para un detector de error mínimo binario como este caso, podemos utilizar la siguiente fórmula, la cual evalúa precisamente el error en sistemas binarios.

$$P_b = \int_{(a_1 - a_2)/2\sigma_0}^{\infty} \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{u^2}{2}\right) du = Q\left(\frac{a_1 - a_2}{2\sigma_0}\right) \quad (2.27)$$

Donde σ_0 es la desviación estándar del ruido, es decir el promedio o variación esperada del ruido con respecto a la media aritmética. La función $Q(x)$, llamada función de error complementario está definida como:

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} \exp\left(-\frac{u^2}{2}\right) du \quad (2.28)$$

$Q(x)$ es usada comúnmente para probabilidades gaussianas, solo puede ser evaluada de por tablas. Para señales antipodales de igual energía, tal como el formato BPSK, el receptor entrega las componentes $a_1 = \sqrt{E_b}$ cuando se envió $S_1(t)$ y $a_2 = -\sqrt{E_b}$ cuando se envió $S_2(t)$, donde E_b es la energía binaria por símbolo. Para AWGN se puede asumir la varianza σ_0 por $\frac{N_0}{2}$ ya que es un proceso idealizado con densidad espectral de potencia constante de $\frac{N_0}{2}$ para todas las frecuencias. Por lo que podemos reescribir la ecuación como:

$$P_b = \int_{\sqrt{2E_b/N_0}}^{\infty} \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{u^2}{2}\right) du \quad (2.29)$$

$$P_b = Q\left(\sqrt{\frac{2E_b}{N_0}}\right) \quad (2.30)$$

2.4 Demodulación

En comunicaciones digitales, los términos demodulación y detección son a menudo usados indiferentemente, aunque la demodulación hace énfasis en la recuperación de la forma de onda, y la detección se enfoca en el proceso de la decisión del símbolo.

La demodulación es el proceso de recuperación de la señal moduladora de una señal previamente modulada, cualquiera que sea el tipo de modulación empleado. Podría decirse que es el proceso inverso de la modulación.

El objetivo de un demodulador es recuperar los pulsos de la señal en banda base con la mejor relación Señal a Ruido posible, libre de cualquier tipo de interferencia intersimbólica, para tener la menor probabilidad de error posible.

2.5 Demodulación BPSK

La demodulación BPSK, al igual que las demás modulaciones digitales, solo puede tener dos valores, 0 o 1, lo que es ventajoso comparado con las señales analógicas que tienen un número mayor de valores que pueden detectar.

Un demodulador BPSK se compone de los siguientes elementos que se pueden ver en la figura 2.9.

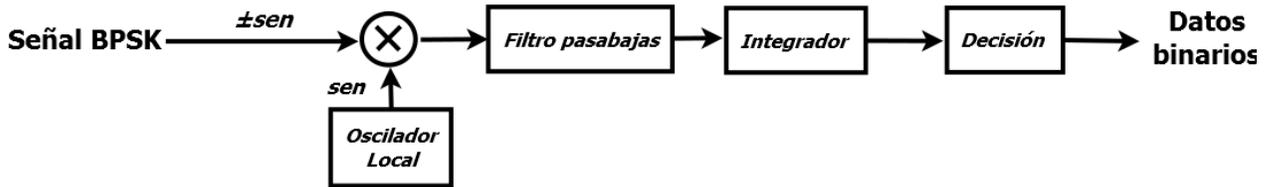


Figura 2.9 Esquema de demodulación BPSK

La señal transmitida por el modulador BPSK es la siguiente:

$$s(t) = b(t) \sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t) \quad (2.31)$$

Para la demodulación BPSK coherente, es decir sincronizada a la frecuencia de la portadora original del modulador, se multiplica la señal BPSK recibida por la una señal senoidal a la misma frecuencia que la portadora del modulador.

$$s(t) = b(t) \sqrt{\frac{2E}{T}} \text{sen}(2\pi f_0 t) \times \text{sen}(2\pi f_0 t) \quad (2.32)$$

$$s(t) = b(t) \sqrt{\frac{2E}{T}} \text{sen}^2(2\pi f_0 t) \quad (2.33)$$

De identidades trigonométricas sabemos que $\text{sen}^2(2\pi f_0 t) = \frac{1}{2} - \frac{1}{2} \text{sen}2(2\pi f_0 t)$ donde $\frac{1}{2}$ representa un nivel de DC. Resultando en la ecuación:

$$s(t) = b(t) \sqrt{\frac{E}{2T}} [1 - \text{sen}2(2\pi f_0 t)] \quad (2.34)$$

La señal resultante debe pasar a un integrador para calcular la energía de bit en el T_b , tiempo de bit, por lo que se debe sincronizar el integrador en este lapso de tiempo. Gracias a este proceso el detector decide si el bit enviado es un 1 o un 0.

Debido a que lo que se quiere recuperar es la señal moduladora, se necesita filtrar a frecuencias menores a la señal portadora, por ello se utiliza un filtro pasabajas. De tal manera que la ecuación queda como:

$$s(t) = b(t) \sqrt{\frac{E}{2T}} \int_{(k-1)T_b}^{kT_b} 1 dt \quad (2.35)$$

Donde k es un intervalo de bit cualquiera

$$s_0(kT_b) = b(kT_b) \sqrt{\frac{E}{2T}} T_b \quad (2.36)$$

La ecuación 2.36 muestra que la salida del demodulador depende directamente de la entrada, como lo muestra el factor kT_b , esta señal es enviada al bloque de decisión, que en base a una referencia, generalmente determinada por el valor medio entre el valor esperado del 1 y del 0, decide si transmitir 1 o 0 [12].

En la figura 2.10 a) Tenemos la frecuencia moduladora y la frecuencia portadora en líneas punteada, en línea completa está el resultado de la modulación, se puede ver como la señal moduladora se traslada a una frecuencia más alta, que es la frecuencia de la portadora, así como el efecto de doble banda lateral, alrededor de la portadora. En la figura 2.10 b) tenemos el paso después de la multiplicación de la señal modulada y la señal a la frecuencia de la portadora del oscilador local del demodulador. El resultado de este proceso es el traslado en frecuencia de la señal moduladora en dos posiciones, al doble de la frecuencia portadora, y a la frecuencia moduladora original, ya que se suma y se resta la frecuencia portadora a la frecuencia modulada, esto se observa más claramente en la figura. En este paso radica la importancia del filtro, ya que el filtro pasabajas solo permitirá el paso de la señal moduladora, de este modo recupera mejor la señal original y reduce el ruido de frecuencias altas.

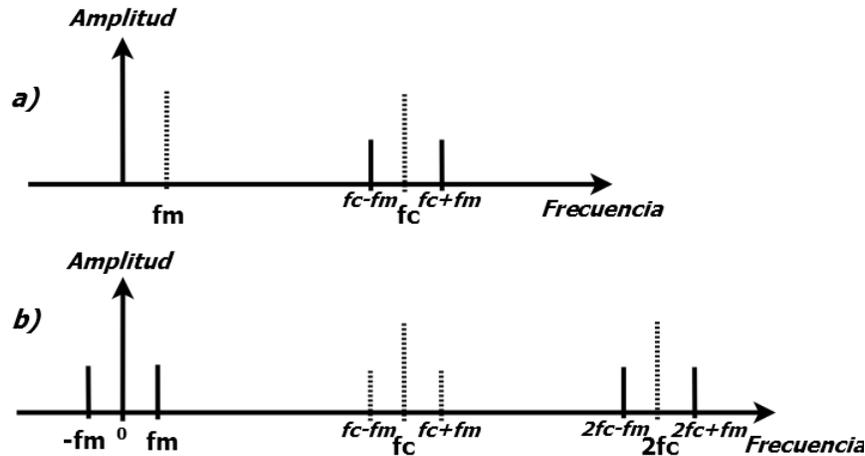


Figura 2.10 Espectro de la señal BPSK a) modulada b) después multiplicarse en el primer paso de demodulación

2.6 Modulación QPSK

En sistemas de telecomunicaciones hay dos recursos importantes, la potencia de transmisión y el ancho de banda del canal, ya que estos determinan el desempeño del sistema. Este último depende de la tasa de bits. Si dos o más bits son combinados en símbolos, se puede enviar mayor cantidad de información en menor tiempo. A diferencia de BPSK, la modulación por

desplazamiento de fase cuaternaria (QPSK, por sus siglas en inglés) es capaz de enviar dos bits por símbolo, duplicando la capacidad en tasa de bits dentro del mismo ancho de banda.

La modulación QPSK o PSK en cuadratura como a veces se le llama, es una modulación digital de fase con una amplitud constante. QPSK es una técnica de codificación M-ario, en donde $M=4$. Con QPSK son posibles cuatro fases de salida por una sola frecuencia de portadora. Debido a que hay cuatro fases de salida diferentes, tiene que haber cuatro condiciones de entrada diferentes.

En QPSK dos bits sucesivos son combinados. Esta combinación resulta en cuatro diferentes símbolos. Cuando un símbolo cambia en otro, la fase de la portadora cambia en 90° o bien $\pi/2$.

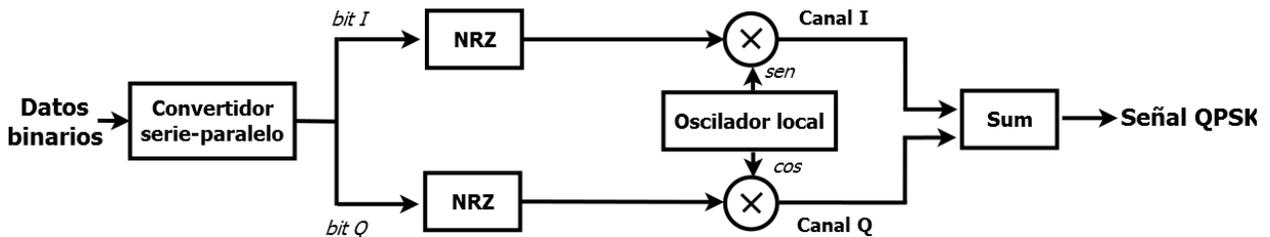


Figura 2.11 Esquema modulación QPSK

El primer paso para la modulación QPSK es dividir la secuencia de datos binarios en dos canales, el canal de bits I se llamara $b_I(t)$ y el canal de bits Q se llamara $b_Q(t)$. Estos canales reciben ese nombre debido a que después de pasar la señal senoidal por el bloque NRZ, el primer canal se multiplica por una señal senoidal en fase (“I, In phase”) mientras que el segundo canal se multiplica por una señal senoidal desplazada 90° , es decir en cuadratura (“Q, Quadrature”), debido a que esto permite mejorar la probabilidad de error al separar los vectores en el diagrama de constelación.

Después de separar los canales y que cada bit se multiplica por su correspondiente NRZ como se hacía en BPSK, ahora cada canal puede tomar valores de +1 o -1. La duración de símbolo de ambos canales será $2T_b$. La figura 2.12 (b) y (c) muestra la forma de onda de $b_I(t)$ y $b_Q(t)$.

El siguiente paso es la modulación de las portadoras. El canal $b_I(t)$ modulara a la portadora $\sin(\omega_c t)$ y el canal $b_Q(t)$ modulara a la portadora $\cos(\omega_c t)$, estas dos portadoras están desfasadas 90° . Las dos señales moduladas serán:

$$S_I(t) = b_I(t)\sin(\omega_c t) \quad (2.37)$$

$$S_Q(t) = b_Q(t)\cos(\omega_c t) \quad (2.38)$$

Estas dos señales son básicamente dos modulaciones BPSK, la única diferencia es que $T=2T_b$ aquí. El valor de las señales $S_I(t)$ y $S_Q(t)$ se muestra en la figura 2.12 (d) y (e).

El último paso de la modulación QPSK es la suma de las dos señales $S_I(t)$ y $S_Q(t)$. A la salida del sumador tendremos la señal:

$$S_{QPSK}(t) = S_I(t) + S_Q(t) \quad (2.39)$$

$$S_{QPSK}(t) = b_I(t)\text{sen}(\omega_c t) + b_Q(t)\text{cos}(\omega_c t) \quad (2.40)$$

La figura 2.12 (f) muestra la señal QPSK representada por la ecuación de arriba donde se pueden ver los desplazamientos de fase, los cuales pueden ser hasta de 90° .

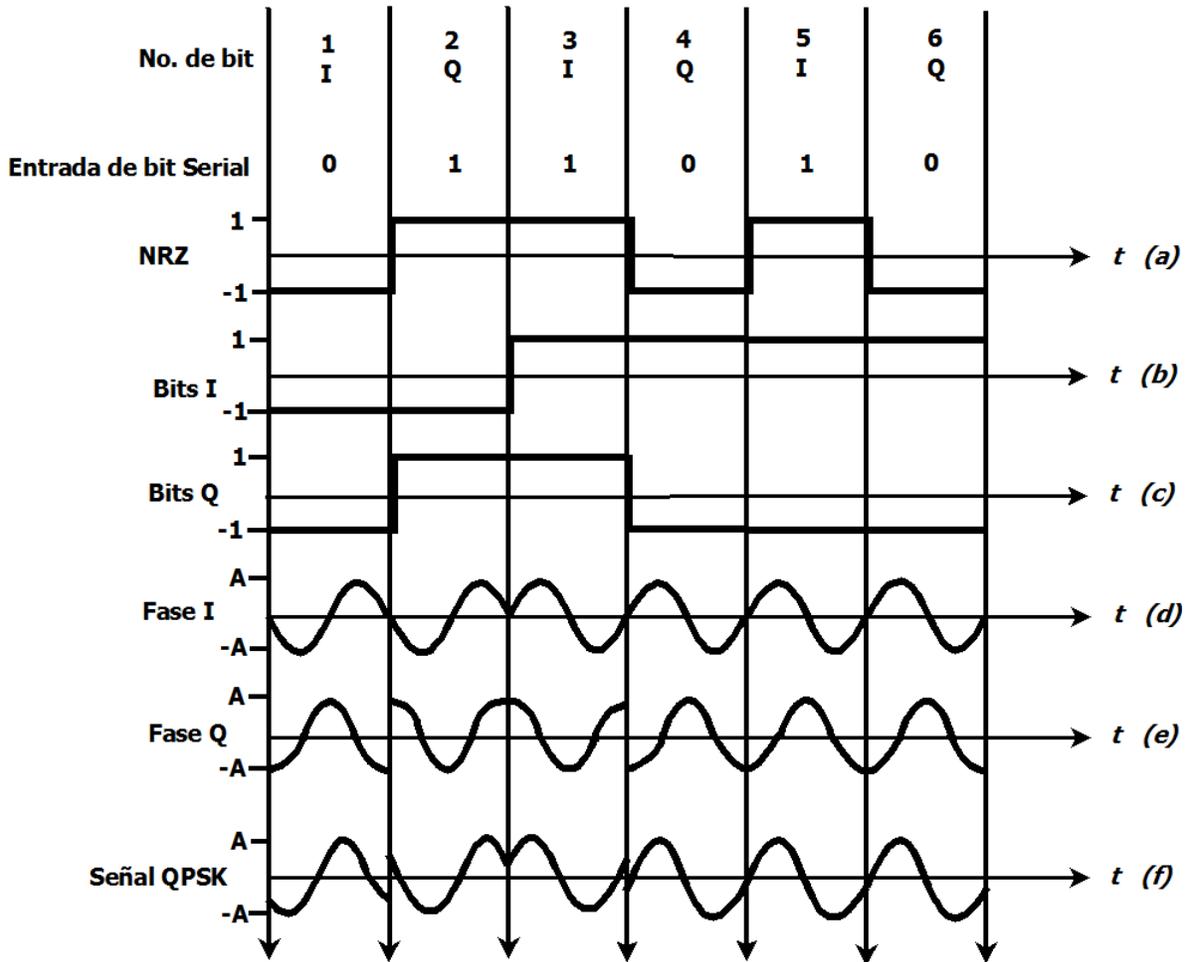


Figura 2.12 Modulación QPSK por pasos. a) Señal NRZ b) NRZ canal I c) NRZ canal Q d) Salida Fase I e) Salida Fase Q f) Señal QPSK

2.6.1 Diagrama de constelación QPSK

En la figura 2.13, puede verse que con QPSK, cada una de las cuatro posibles fases de salida tiene exactamente la misma amplitud. En consecuencia la información binaria se debe codificar por completo en la fase de la señal de salida.

Puede verse que la separación angular entre cualquiera de dos fasores adyacentes en QPSK es de 90° . Por lo tanto, la señal QPSK puede experimentar un cambio de fase de $+45^\circ$ o de -45° durante la transmisión y todavía retener la información correcta codificada al demodulador.

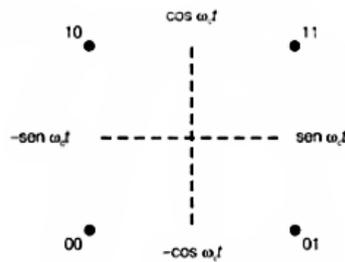


Figura 2.13 Diagrama de constelación QPSK

Del diagrama de constelación se observa que la región de decisión entre los estados representados por los pares de bits es menor, comparado con el diagrama de constelación BPSK, debido a tener el doble de posibles estados. Para una señal 8PSK, por ejemplo, se tendrán el doble de estados en el diagrama de constelación que en QPSK, por lo tanto menor distancia entre ellos, esto provoca que la región de decisión entre un símbolo y otro sea menor, permitiendo que la probabilidad de error aumente.

Para obtener una mejor respuesta a la probabilidad de error en los símbolos digitales es conveniente utilizar codificaciones. Para el caso particular de QPSK, se utiliza el código Gray. EL código Gray, en comparación con el código binario, se caracteriza por tener una diferencia de un solo bit entre dos símbolos que estén a una distancia mínima.

La ventaja del código Gray radica en que la probabilidad de ocurrir menos errores y problemas de transición aumenta a medida que cambian más bits simultáneamente. Por ejemplo un cambio de 11 a 00 puede producir transiciones intermedias antes de estabilizarse. En el código Gray al cambiar solo un bit existe menor posibilidad de cometer errores.

2.6.2 Ancho de banda QPSK

En QPSK, como los datos de entrada se dividen en dos canales, la velocidad de bits en cualquiera de estos es igual a la mitad de la velocidad de los bits de entrada $f_b/2$. Como resultado, la mayor frecuencia fundamental presente en la entrada de datos al modulador balanceado I o Q es igual a la cuarta parte de la velocidad de entrada de datos (es decir $f_b/4$). En consecuencia, la salida de los moduladores balanceados I y Q requiere un ancho de banda de Nyquist de doble banda lateral mínimo igual a la mitad de la frecuencia de bits que entran: $f_N = \text{al doble de } f_b/4 = f_b/2$. Así con la QPSK se obtiene una compresión de ancho de banda, el ancho de banda mínimo es menor que la velocidad de bits que llegan.

También como la señal QPSK no cambia de fase hasta que han entrado dos bits. La velocidad máxima de cambio (bauds) en la salida también es igual a la mitad de la velocidad de los bits de entrada. Esta relación se ve en la figura 2.14.

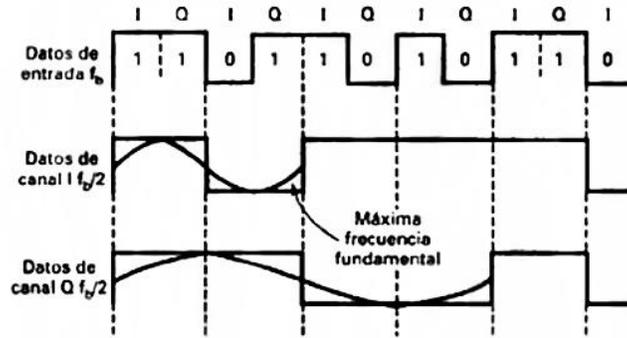


Figura 2.14 Relación de frecuencias en QPSK

La salida de los moduladores balanceados I y Q se puede representar como:

$$y(t) = (\text{sen } \omega_a t)(\text{sen } \omega_c t) \quad (2.41)$$

$$\omega_a t = 2\pi \frac{f_b}{4} t \quad y \quad \omega_c t = 2\pi f_c t$$

donde : ω_a Fase moduladora
 ω_c Fase portadora no modulada

$$y(t) = \left(\text{sen } 2\pi \frac{f_b}{4} t \right) (\text{sen } 2\pi f_c t) \quad (2.42)$$

$$y(t) = \frac{1}{2} \cos 2\pi \left(f_c - \frac{f_b}{4} \right) t - \frac{1}{2} \cos 2\pi \left(f_c + \frac{f_b}{4} \right) t \quad (2.43)$$

El espectro de frecuencias de salida va desde $f_c - \frac{f_b}{4}$ hasta $f_c + \frac{f_b}{4}$, y el ancho mínimo de banda

$$f_N = \left(f_c + \frac{f_b}{4} \right) - \left(f_c - \frac{f_b}{4} \right) = \frac{2f_b}{4} = \frac{f_b}{2} \quad (2.44)$$

$$\text{por lo tanto } BW = \frac{f_b}{2} \quad (2.45)$$

2.6.3 Probabilidad de Bit en Error para QPSK

BPSK y QPSK tienen la misma probabilidad de bit en error, esto se puede demostrar de la siguiente manera.

Partiendo de la figura de mérito, es decir, la relación de la señal respecto al ruido en un receptor, en los sistemas analógicos S/N, se tiene una versión normalizada de esta en comunicaciones digitales, la más usada es E_b / N_0 . E_b es la energía del bit, que también puede ser descrita como la potencia de la señal S por un tiempo de bit T_b . N_0 es la densidad espectral de potencia del ruido y puede ser descrito como la potencia del ruido N dividido en un ancho de banda W.

Por lo que podemos reescribir la figura de mérito en sistemas digitales como:

$$\frac{E_b}{N_0} = \frac{S T_b}{N/W} \quad (2.46)$$

Pero como el tiempo de bit y la tasa de bit R_b son recíprocos, podemos reemplazar la ecuación por:

$$\frac{E_b}{N_0} = \frac{S / R_b}{N/W} \quad (2.47)$$

La tasa de bits, en unidades de bits por segundo, es uno de los parámetros más recurridos en las comunicaciones digitales. Se simplifica más la ecuación si se usa R en lugar de R_b para representar bits/seg y se reescribe la ecuación para hacer énfasis en que E_b / N_0 es solo una versión de la señal a ruido normalizada para un ancho de banda y una tasa de bits.

$$\frac{E_b}{N_0} = \frac{S}{N} \left(\frac{W}{R} \right) \quad (2.48)$$

Donde S es la señal promedio de potencia y R es la tasa de bits.

Una señal BPSK con la E_b/N_0 disponible encontrada de la ecuación anterior se llevara a cabo con una P_b que se puede leer como la curva $k=1$ de la figura 2.15.

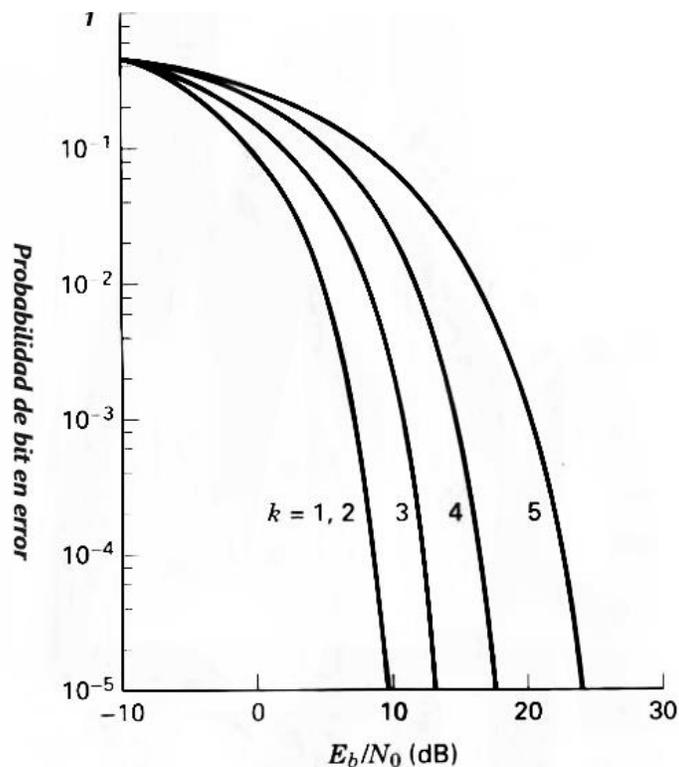


Figura 2.15 Probabilidad de bit en error para señalización con múltiples fases

QPSK puede ser caracterizada como dos canales BPSK ortogonales. El canal de entrada QPSK como se vio un punto anterior es dividido en canales I y Q, al modular cada canal una componente ortogonal de la portadora a la mitad de la tasa de bits de la original. Suponiendo que la magnitud del vector QPSK original tiene un valor de A , la magnitud de las componentes de los vectores I y Q tendrán un valor de $A = \sqrt{2}$ como se ve en la figura 2.16.

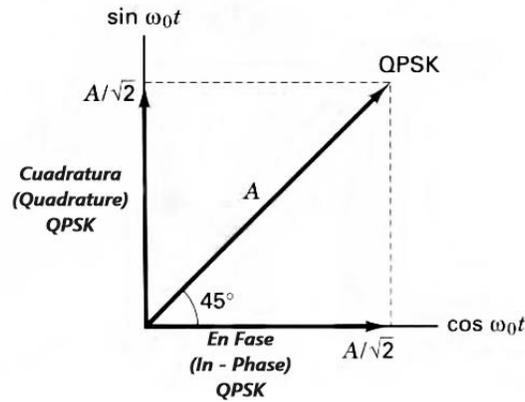


Figura 2.16 Componentes en Fase y Cuadratura de la señal QPSK

Entonces cada una de las señales BPSK en cuadratura tendrá la mitad de la potencia promedio de la señal QPSK original. Entonces si la forma QPSK original tiene una tasa de bits R [bits/seg] y una potencia promedio de S [watts], la partición en cuadratura resultara en cada una de las formas de onda BPSK que tienen una tasa de bits $R/2$ [bits/seg] y una potencia promedio $S/2$ [watts].

Por lo tanto la E_b/N_0 que caracteriza cada uno de los canales ortogonales BPSK que forman la señal QPSK, es equivalente a la ecuación 1, por lo que puede ser reescrita como:

$$\frac{E_b}{N_0} = \frac{S/2}{N_0} \left(\frac{W}{R/2} \right) = \frac{S}{N_0} \left(\frac{W}{R} \right) \quad (2.49)$$

Entonces cada uno de los canales BPSK ortogonales, y por lo tanto la señal QPSK compuesto, se caracteriza por el mismo E_b/N_0 y por ello de el mismo rendimiento de P_B que una señal BPSK. Es importante señalar sin embargo que la probabilidad de símbolo en error no es igual para ambas modulaciones.

2.7 Demodulación QPSK

El diagrama a bloques de un demodulador QPSK se muestra en la figura 2.17.

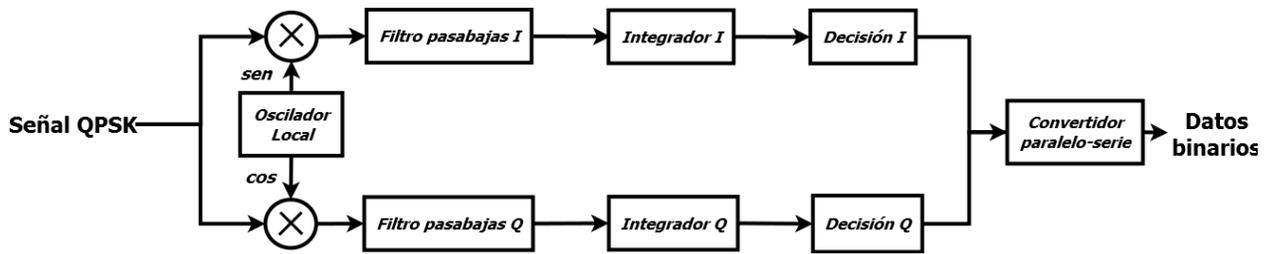


Figura 2.17 Esquema de demodulación QPSK

La señal QPSK de entrada se envía a los moduladores balanceados I y Q junto con la salida del circuito de recuperación de portadora. Este último reproduce la señal original del oscilador de la portadora. La portadora recuperada debe ser igual, en frecuencia y en fase, con la portadora de transmisión.

El resultado de la multiplicación entre la señal QPSK y la portadora generada por el oscilador local del demodulador es un paso importante para la demodulación, como se vio en la modulación BPSK, ya que solo permitirá el paso de la señal moduladora, proceso que mejora la detección. La salida del filtro pasará a un circuito de decisión, el cual tendrá a su salida un 0 o un 1, por último el resultado de cada canal, I y Q pasan a un convertidor paralelo serie para tener la salida de los dos canales en uno solo de forma serial en formato binario.

La señal QPSK que entra puede ser cualquiera de las cuatro fases posibles que se ven en la imagen del diagrama fasorial.

El proceso matemático es similar al que se vio en la demodulación BPSK, ya que QPSK se compone de dos señales BPSK, la diferencia radica en el último paso que tiene QPSK, ya que las salidas de los canales I y Q pasan a un convertidor paralelo – serie, el cual ordena la trama final de los bits demodulados.

2.8 Comparación QPSK con otras modulaciones digitales

2.8.1 Ventajas

Potencia – Usando detección de filtro acoplado en ruido blanco gaussiano aditivo, las modulaciones PSK requieren hasta 3 dB menos de potencia promedio de la señal que las modulaciones ASK y PSK para una probabilidad de error dada [13].

Probabilidad de error - PSK y QPSK tienen un mejor desempeño en probabilidad de error para una potencia dada comparada con modulaciones ASK y FSK, con la ventaja de QPSK de transmitir dos bits por símbolo, esto debido a su capacidad de multiplexar dos canales BPSK que se demodulan independientemente.

Ancho de banda - En QPSK, ofrece el doble de la capacidad en tasa de bits que la BPSK dentro del mismo ancho de banda, además de tener la misma probabilidad de error. Con mejor eficiencia en ancho de banda que modulaciones como QAM o DQPSK, pero similar a la modulación MSK [13].

Tasa de transmisión – Por su buena relación entre tasa de transmisión contra su complejidad, QPSK es de las modulaciones más utilizadas para aplicaciones que necesiten tasas de transmisión de baja a media velocidad.

2.8.2 Desventajas

Complejidad de demodulación– La complejidad relativa del equipo y la potencia de transmisión requerida en general aumentan con una mejora en la eficiencia del ancho de banda. Modulaciones PSK M-aria requieren de detección síncrona y los sistemas de recuperación de portadora son más difíciles de construir, por lo tanto más caros. En general las modulaciones binarias como ASK y FSK son más simples de construir, QAM y QPSK tienen una complejidad similar, MSK es más compleja.

Amplificadores Lineales – Estas modulaciones necesitan usar amplificadores lineales, los cuales tienen una baja eficiencia de energía. Sin embargo este proceso se da en la transmisión y no en la modulación pasa banda.

Capítulo 3 Determinación de requerimientos del sistema digital de modulación en base a un FPGA para atender la misión de percepción remota de imágenes a bordo de un microsatélite

3.1. Elementos de la mecánica orbital

La misión del microsatélite esta previamente establecida para una órbita baja, aproximadamente a 500 [km], el tipo de orbita es una órbita solar síncrona cuya estación terrena estará en Juriquilla, Querétaro. Por lo tanto los primeros parámetros que podemos concluir son los siguientes.

Tabla 3.1 Parámetros de la mecánica orbital

Parámetro	Valor propuesto
Tipo de satélite	Microsatélite
Tipo de orbita	Satélite de órbita baja (LEO, por sus siglas en inglés) Solar Síncrona
Altura	500 km

3.2 Bandas de operación

Para la selección de las bandas de frecuencia para enlaces de subida y de bajada, se investigaron diversos tipos de estándares de agencias espaciales, particularmente en la ECSS (European Cooperation for Space Standardization) [14].

En la sección de ingeniería Espacial de la página en internet de la ECSS encontramos la asignación de frecuencias para enlaces satelitales en las distintas bandas que se puede trabajar.

En el apartado de Atribuciones de frecuencias al servicio de operaciones espaciales, la investigación espacial y de exploración de la Tierra por satélite, encontramos una tabla de interés.

Tabla 3.2 Atribución de frecuencias para operación espacial, investigación espacial y servicios de exploración de la Tierra por satélite.

Frequency band (MHz) (see 4.1.2.2)	Allocated service (see 4.1.2.3)	Direction (see 4.1.2.4)	Allocation status (see 4.1.2.5)
2 025 – 2 110	SR, SO, EES	Earth-space	Primary
2 110 – 2 120	SR (DS)	Earth-space	Primary
2 200 – 2 290	SR, SO, EES	Space-Earth	Primary
2 290 – 2 300	SR (DS)	Space-Earth	Primary
7 145 – 7 190	SR (DS)	Earth-space	Primary
7 190 – 7 235	SR	Earth-space	Primary
8 025 – 8 400	EES	Space-Earth	Primary
8 400 – 8 450	SR (DS)	Space-Earth	Primary
8 450 – 8 500	SR	Space-Earth	Primary
25 500 – 27 000	SR, EES	Space-Earth	Primary
31 800 – 32 300	SR (DS)	Space-Earth	Primary
34 200 – 34 700	SR (DS)	Earth-space	Primary
37 000 – 38 000	SR	Space-Earth	Primary
40 000 – 40 500	SR	Earth-space	Primary
NOTE: To use the frequency bands given in this table, the interested users can contact the network operation manager in charge of the ground network for availability of the service at the stations of interest.			

Dónde: SO Space Operation service, SR Space Research service, EES Earth Exploration - Satellite service

Las Banda de interés para la misión es la banda S (2 - 4 GHz) tanto para el enlace de subida como el enlace de bajada. De la tabla anterior podemos seleccionar el enlace de subida “Earth – Space” en banda S (2 025 – 2 110 [MHz]) ya que está disponible para servicios de investigación del espacio. También de la tabla seleccionamos el enlace de bajada en banda S (2 200 – 2 290 [MHz]) al permitirse para el mismo fin que el anterior.

La agencia espacial Europea también maneja estándares para estos tipos de enlaces, los cuales vemos en la tabla 3.3.

Tabla 3.3 Relaciones de respuesta en frecuencias para operación de transpondedores

	Earth-space (MHz)	Space-Earth (MHz)	Turnaround ratio (f_{up}/f_{down})	
Cat. A	2 025,833 333 – 2 108,708 333	2 200 – 2 290	221/240	
	2 025 - 2110	25 500 – 27 000	221/2772 221/2850	
	7 192,102 273 – 7 234,659 091	8 450 – 8 500	749/880	
	7 190 – 7 235	25 500 – 27 000	749/2652 749/2662 749/2678 749/2688 749/2704 749/2720 749/2736 749/2754 749/2772 749/2784 749/2800	
	Cat. B	2 110,243 056 – 2 117,746 142 ^a	2 291,666 667 – 2 299,814 815	221/240
		2 110,243 056 – 2 119,792 438 ^a	8 402,777 780 – 8 440,802 468	221/880
		7 147,286 265 – 7 177,338 735	2 290,185 185 – 2 299,814 815	749/240
		7 149,597 994 – 7 188,897 377	8 400,061 729 – 8 446,234 569	749/880
		7 147,286 265 – 7 188,897 377	31 909,913 580 – 32 095,691 358	749/3344
		7 157,689 045 – 7 188,897 377	31 803,456 798 – 31 942,123 460	749/3328
7 147. 286 265 – 7 188,897 377		32 062,592592 – 32 249,259 262	749/3360	
34 354,343 368 – 34 554,287 799		8 400,061 729 – 8 448,950 615	3599/880	
34 343,235 339 – 34 570,949 834		31 909,913 580 – 32 121,493 816	3599/3344	
34 393,221 460 – 34 570,949 834		31 803,456 798 – 31 967,802 458	3599/3328	
34 343,235 339 – 34 570,949 834	32 062,592 592 – 32 275,185 174	3599/3360		

De las tablas 3.2 y 3.3 se identifica que el enlace “Earth-Space” corresponde al enlace de subida, y “Space Earth” al enlace de bajada. Por lo que nuestros enlaces quedarían definidos como se muestra en la tabla 4.4.

Tabla 3.4 Selección de bandas para enlaces

Tipo de enlace	Banda de subida [MHz]	Banda de bajada [MHz]
Banda S	2 025.833 – 2 108.708	2 200 – 2 290

Para saber si en México, es posible utilizar estas bandas de frecuencias, es necesario investigar en el Reglamento de radiocomunicaciones publicado en el 2012, por el Instituto Federal de Telecomunicaciones [15]. En la atribución de servicios, encontramos la información que se muestra en la Tabla 3.5.

Tabla 3.5 Atribución de servicios ITU

Región 1	Región 2	Región 3
2 170-2 200	FIJO MÓVIL MÓVIL POR SATÉLITE (espacio-Tierra) 5.351A 5.388 5.389A 5.389F	
2 200-2 290	OPERACIONES ESPACIALES (espacio-Tierra) (espacio-espacio) EXPLORACIÓN DE LA TIERRA POR SATÉLITE (espacio-Tierra) (espacio-espacio) FIJO MÓVIL 5.391 INVESTIGACIÓN ESPACIAL (espacio-Tierra) (espacio-espacio) 5.392	

En esa misma publicación, en el punto 5.392 no se impone ninguna restricción a las transmisiones Tierra – Espacio, Espacio – Tierra y otras transmisiones Espacio – Espacio de esos servicios en las bandas 2 025 – 2 110 MHz y 2 200 – 2 290 MHz entre satélites.

3.2.1 Ancho de banda permitido

En el estándar de la ECSS encontramos otros parámetros de interés para la transmisión de información, en este caso el ancho de banda, los cuales se presentan en el punto 4.2 del documento ECSS-E-ST-50C de la ECSS, titulado “Condiciones específicas para el uso de ciertas bandas de frecuencia” donde se especifica que para la banda de frecuencias de 2200 MHz - 2300 MHz debe cumplir con los siguientes puntos:

- a. El máximo ancho de banda ocupada por naves espaciales en esta banda no deberá exceder de 6 MHz.
- b. Los operadores no podrán activar los enlaces espacio-Tierra durante los períodos cuando la estación de tierra no está en la visibilidad del satélite, con el fin de aliviar la situación de compartición de frecuencias.
- c. Los dispositivos en naves espaciales utilizadas para desconexión de emisiones tendrán una fiabilidad que sea proporcional a la duración de la misión.

En base a las recomendaciones de la Agencia Espacial Europea, seleccionamos el ancho de banda máximo con el que se hará el enlace el cual se muestra en la Tabla 3.6.

Tabla 3.6 Ancho de banda para Banda S

Banda	Ancho de banda máximo permitido
S	6 MHz

3.3 Antenas

3.3.1 Antena de estación terrena

La antena de la estación terrena con la que se cuenta fue desarrollada por TCS Space & Component Technology, con sede en Torrance, CA, la cual, ha desarrollado una eficaz tecnología en antena de pedestal especializada en el seguimiento de precisión de satélites. El sistema está diseñado específicamente para las órbitas baja y media de la tierra en apoyo de aplicaciones de Telemetría, Seguimiento y Comando (TT & C, por sus siglas en inglés), y teledetección.

Esta antena tiene distintos parámetros, entre los que más nos interesan están los siguientes:

Tabla 3.7 Parámetros de la antena de estación terrena

Parámetro	Valor
Tipo de antena	Parabólica
Diámetro	3.4 m
Ganancia lóbulo principal	40 dB
Angulo de apertura	170°
Rango de frecuencias	Bandas L, S, X, C, Ku y Ka



Figura 3.1 Antena estación terrena

3.3.2 Antena del satélite

Para la selección de la antena del satélite, se hizo una revisión del último reporte del estado del arte de satélites pequeños publicado por la NASA [16], donde la antena de a bordo recomendada para las frecuencias que deseamos operar es la antena de parche o microcinta. La razón de esto es que la antena de microcinta o de parche tiene el propósito de minimizar los requerimientos de masa y tamaño con respecto a otras antenas, así como la pérdida de potencia de la señal. Estas antenas están actualmente disponibles comercialmente para una variedad de bandas de frecuencia incluyendo las bandas S y X.

Una vez seleccionada el tipo de antena, se procedió a hacer un estudio de las antenas de parche más utilizadas en el ámbito espacial. Los resultados se resumen en la siguiente tabla:

Tabla 3.8 Parámetros antena del satélite

Parámetro	Antena de Surrey Satellite Technology LTD	Antena de Clyde Space
Banda de frecuencia	S y X	S
Potencia RF	5 Watts	2 Watts
Ancho de haz	30°	60°
Masa	80 gr	50 gr
Ganancia	4 dBi	8 dBi

Debido a que la antena de Clyde Space tiene un menor consumo de potencia y masa, será con la que se trabaje, ya que estos recursos son extremadamente limitados para una misión con un microsátélite.

3.4 Tasa de bit en error

En los estándares de la ECCS encontramos la tasa de bit en error (BER, por sus siglas en inglés), donde se recomienda una tasa de bit en error máximo, tanto para el enlace de subida como el de bajada, los cuales se muestran en los siguientes puntos de la normativa.

En el punto 5.6.11 de la normativa de la ECSS citada anteriormente, titulado “Rendimiento de enlace espacial” concluimos que los valores límites aceptables tanto para enlace de subida como enlace de bajada será BER de 10^{-5} máximo.

Tabla 3.9 BER máximo para enlaces satelitales

Enlace	BER máximo
Enlace de subida	10^{-5}
Enlace de bajada	10^{-5}

3.5 Transmisor del satélite

Para obtener los parámetros de un transmisor de a bordo adecuado para la misión de percepción remota, se revisó la investigación del estado del arte de satélites pequeños publicado por la NASA [16], y encontramos las distintas empresas que fabrican los transmisores en las bandas que queremos, realizamos una comparación entre cada equipo, la cual se muestra en la Tabla 3.10.

Tabla 3.10 Parámetros del transmisor para el satélite

Transmisor	Clyde Space	Space Quest	Surrey	Thales
Frecuencia [GHz]	2.4 – 2.483	2.0 – 2.3	2.2 – 2.9	2.2 – 2.3

Bit Rate [Mbps]	2	4	10	8
Modulación	CCSDS, QPSK, OQPSK	QPSK	BPSK, QPSK	GMSK, BPSK, QPSK, OQPSK
Potencia Tx [W]	6	10	4	25
Peso [kg]	0.1	0.5	1.8	2.6
Estabilidad Freq	± 2.2 ppm	± 2 ppm	± 20 ppm	± 20 ppm

De la tabla anterior podemos llegar a distintas conclusiones. Primero que las modulaciones más utilizadas son las PSK, particularmente QPSK. También se puede observar que todos trabajan en el mismo rango de frecuencias de la banda S.

Se tomaron los parámetros del transmisor Space Quest, para la estimación de enlaces debido a que maneja el rango de frecuencias que se necesita en esta misión, además de tener una buena relación entre peso y tasa de bits. Respecto a la potencia que tiene en la tabla, hay que aclarar que es la máxima, ya que maneja 3 tipos diferentes, 2.5, 5 y 10 [W], lo que permite economizar este recurso, que es de los más valiosos en una misión de este tipo.

3.6 Tiempo de enlace y tasa de bit en error en STK

Para poder calcular el tiempo de enlace, se utilizó el software Kit de Herramientas de Sistemas (STK, por sus siglas en inglés) de la empresa AGI. Esta empresa desarrolla el modelado comercial y software de análisis para las comunidades del sector aeroespacial, de defensa y de inteligencia. Software de AGI es utilizado por más de 50 000 ingenieros, operadores y analistas de todo el mundo. Se fundó en 1989 y actualmente tienen oficinas en Estados Unidos, el Reino Unido y Singapur.

3.6.1 STK

El STK es un Software que utilizan tanto analistas como ingenieros para modelar y analizar sistemas complejos (aviones, satélites, vehículos de tierra, etc.), junto con sus sensores y cargas útiles de comunicaciones, para el medio ambiente de cada misión. A través de la visualización integrada, STK permite una clara comprensión del comportamiento del sistema y el rendimiento de este.

AGI reporta que STK se ha instalado en más de 50 000 equipos en más de 800 organizaciones mundiales como la NASA, ESA, CNES, Boeing, JAXA entre otras.

AGI ha publicado que los principales casos de estudio de sus clientes están en las áreas de:

- Misiones espaciales
- Misiones de aeronaves (incluyendo vehículos aéreos no tripulados, conocidos como drones)
- Defensa antimisiles
- Sistemas electrónicos de comunicaciones

STK es un software que se puede descargar libremente, aunque para habilitar todas sus herramientas, es necesario pedir una licencia, la cual se facilita a estudiantes y Universidades.

En base a los parámetros establecidos por los puntos anteriores, se puede realizar una simulación en STK para obtener datos que nos serán de importancia como los tiempos de acceso entre el satélite y la estación terrena, así como el BER.

3.6.2 SECUENCIA DE SIMULACION EN STK

Para poder realizar una simulación del tiempo de enlace se siguieron estos pasos.

3.6.2.1 Parámetros orbitales del satélite

Comenzamos insertando la estación terrena, así como el satélite. En la siguiente imagen podemos ver una captura del simulador, donde se ven los datos con los que se trabajara la simulación. Los parámetros modificados son los siguientes:

- Type: Sun synchronous
- Satellite Name: Condor
- Altitude: 500 [km]

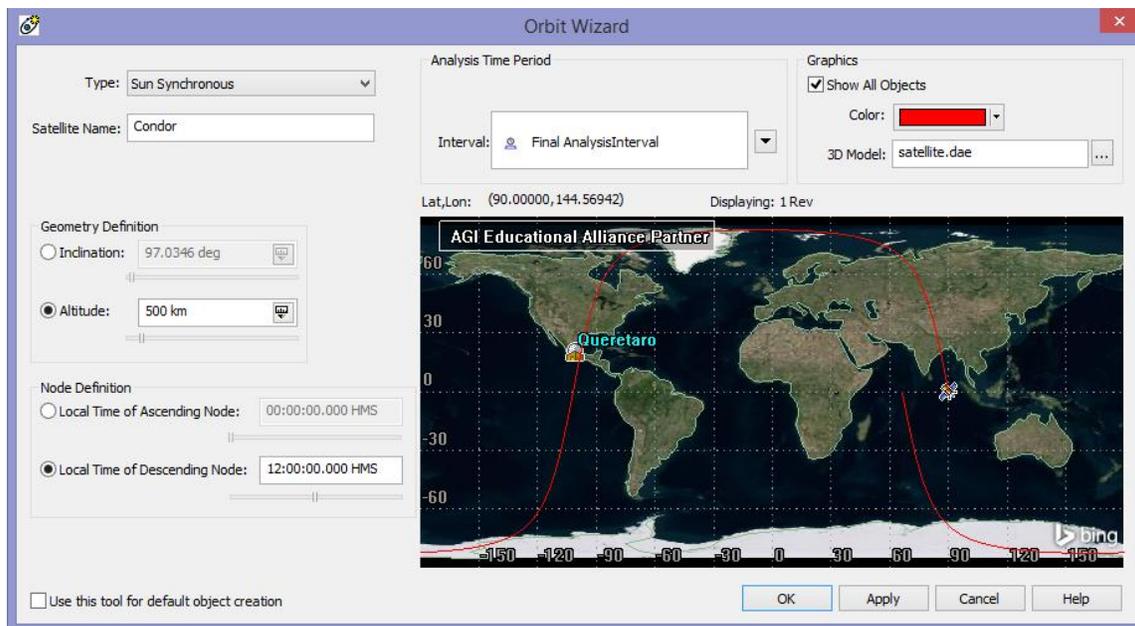


Figura 3.2 Parámetros para satélite en STK

Una vez terminado de ubicar la estación terrena en este caso en Querétaro, y el satélite, el siguiente paso es modelar la estación terrena con los parámetros de los puntos anteriores.

3.6.2.2 Transmisor y Receptor de Estación Terrena

El receptor de la estación terrena para el enlace de bajada queda con los siguientes parámetros.

Antena

- Type: Parabolic
- Design Frequency: 2.2 [GHz]
- Diameter: 3.4 [m]

Los demás parámetros se autocompletarán al seleccionar el diámetro de la antena.

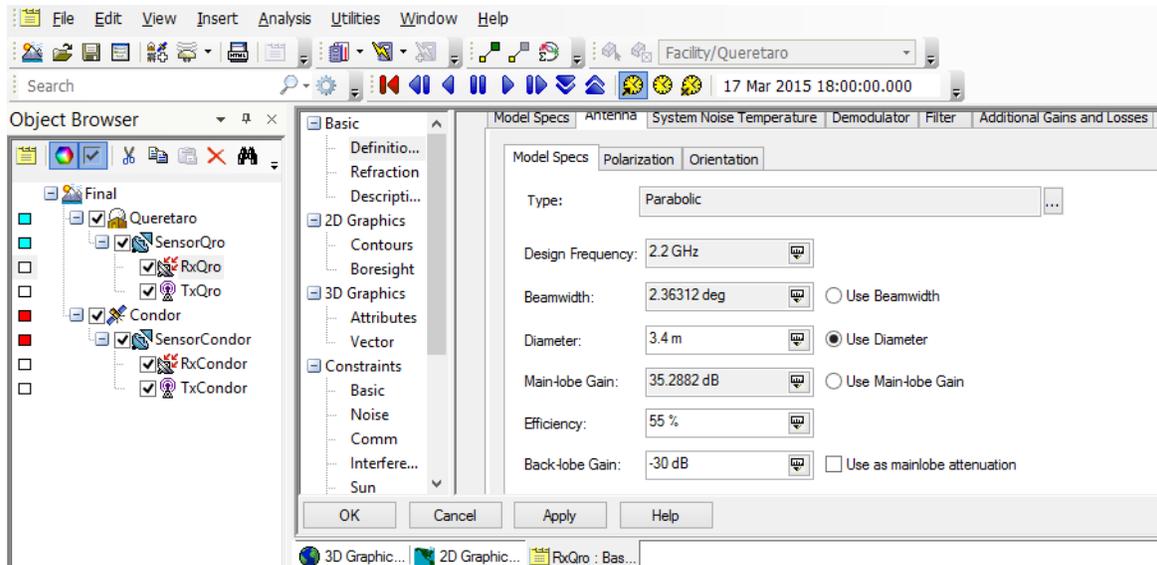


Figura 3.3 Parámetros para antena receptora de estación terrena

Para el transmisor, primero seleccionamos la frecuencia a trabajar, así como la potencia y la tasa de bits, parámetros que definimos anteriormente, por lo que modificamos:

- Frequency: 2.1 [GHz]
- Power: 10 [W]
- Data Rate: 4 [Mbps]

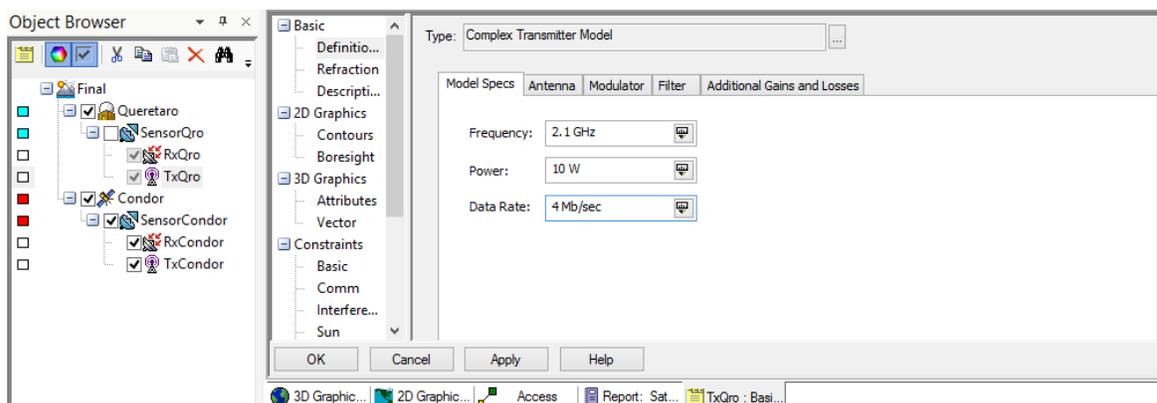


Figura 3.4 Parámetros para transmisor de estación terrena

También es necesario modificar la antena del transmisor de la estación terrena, los parámetros modificados quedan de la siguiente forma:

- Type: Parabolic

- Design frequency: 2.1 [GHz]
- Diameter: 3.4 [m]

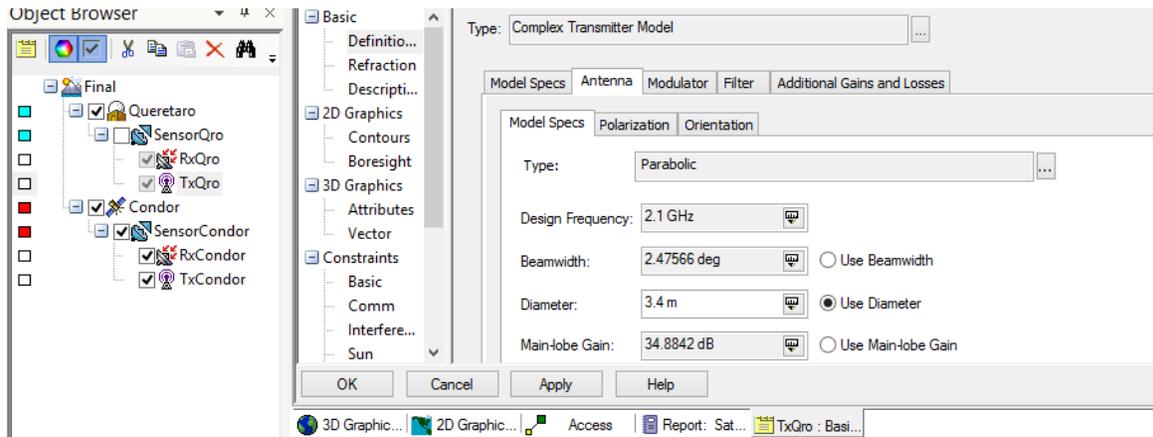


Figura 3.5 Parámetros para antena transmisora de estación terrena

3.6.2.3 Transmisor y Receptor del Satélite

Para el receptor del satélite, el STK no ofrece la posibilidad de simular una antena de parche, así que se simuló con una que presentará un patrón de radiación lo más cercano posible a la antena de parche, en este caso se escogió una antena de tipo Gaussiana, la cual tiene un ancho de haz que permite una ganancia similar del lóbulo principal. Los parámetros que se asignaron para la simulación en STK son:

Antena

- Type: Gaussian
- Beamwidth: 60 [°]
- Design Frequency: 2.1 [GHz]

Hay que destacar que esta frecuencia es para el enlace de bajada

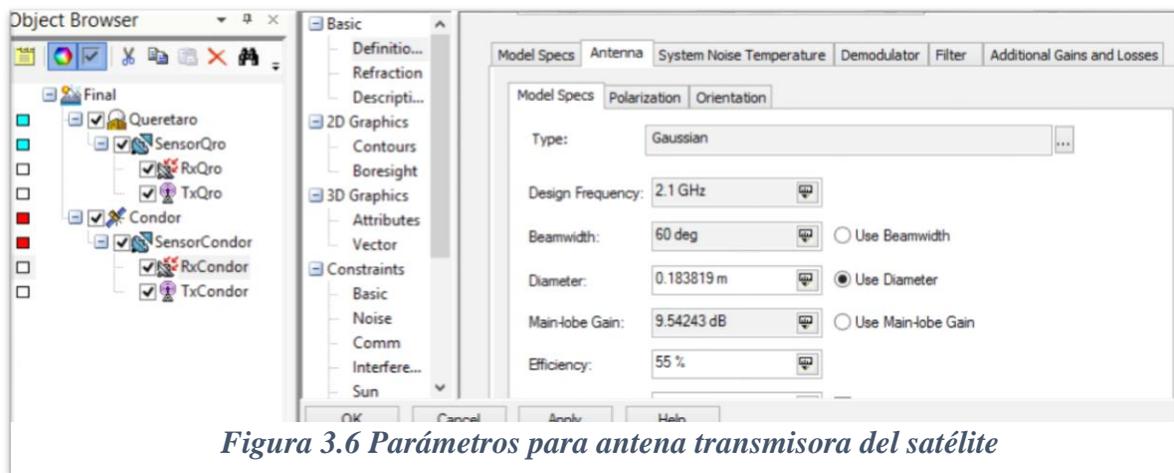


Figura 3.6 Parámetros para antena transmisora del satélite

Para el transmisor adecuamos la potencia y tasa de bits a trabajar, así como las frecuencias correctas para subida y bajada, los cuales definimos en la tabla 4.4. Los parámetros modificados son los siguientes:

- Frequency: 2.2 [GHz]
- Power: 5 [W]
- Data Rate: 4 [Mbps]

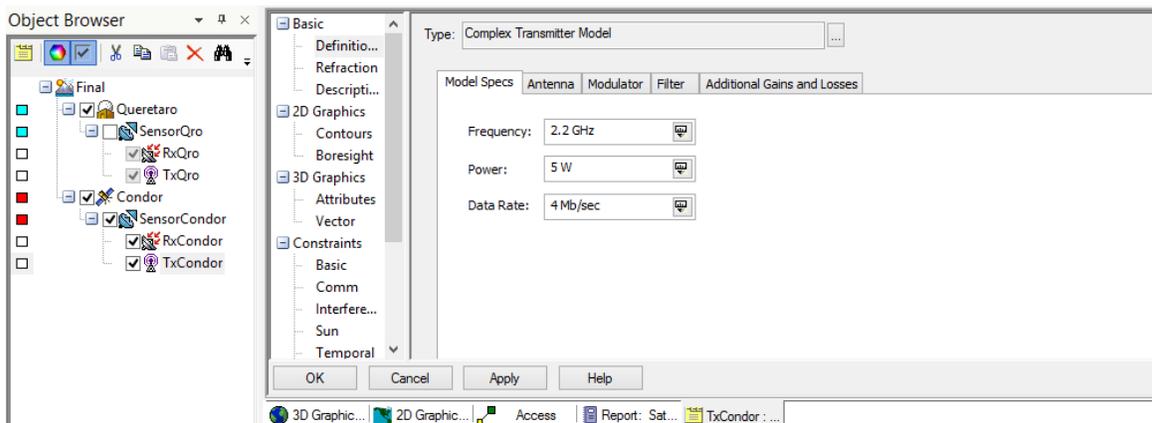


Figura 3.7 Parámetros de transmisor del satélite

Después se debe modificar la antena para el transmisor del satélite. Modificamos los siguientes parámetros:

- Type: Gaussian
- Beamwidth: 60 [°]
- Design frequency: 2.2 [GHz]

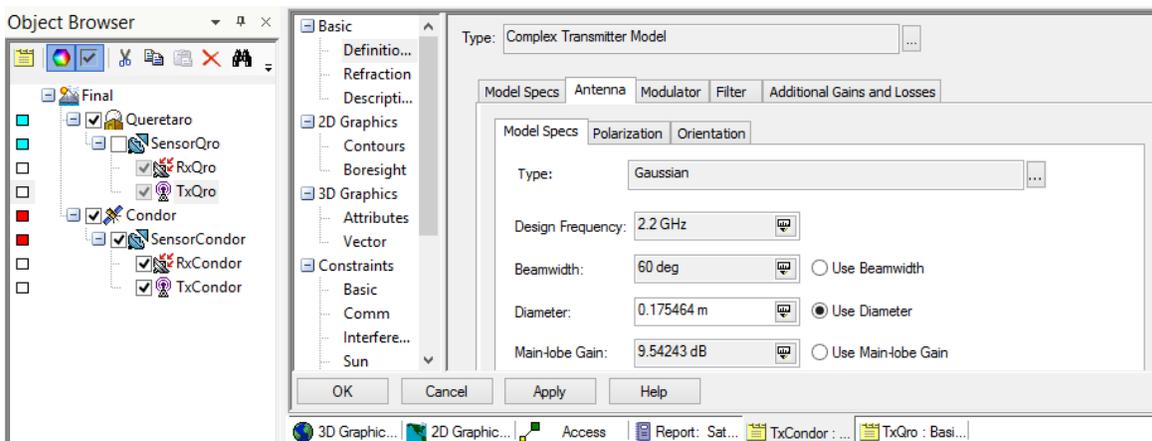


Figura 3.8 Parámetros para antena transmisora del satélite

3.6.2.4 Cálculos de enlace

Una vez que damos los parámetros es posible simular los tiempos en que se tendrá un enlace entre el satélite y la estación terrena.

En la opción “Enlace” del programa STK, podemos seleccionar entre quienes se dará el enlace, en este caso entre el transmisor del satélite y la estación terrena, resultando en los siguientes tiempos.

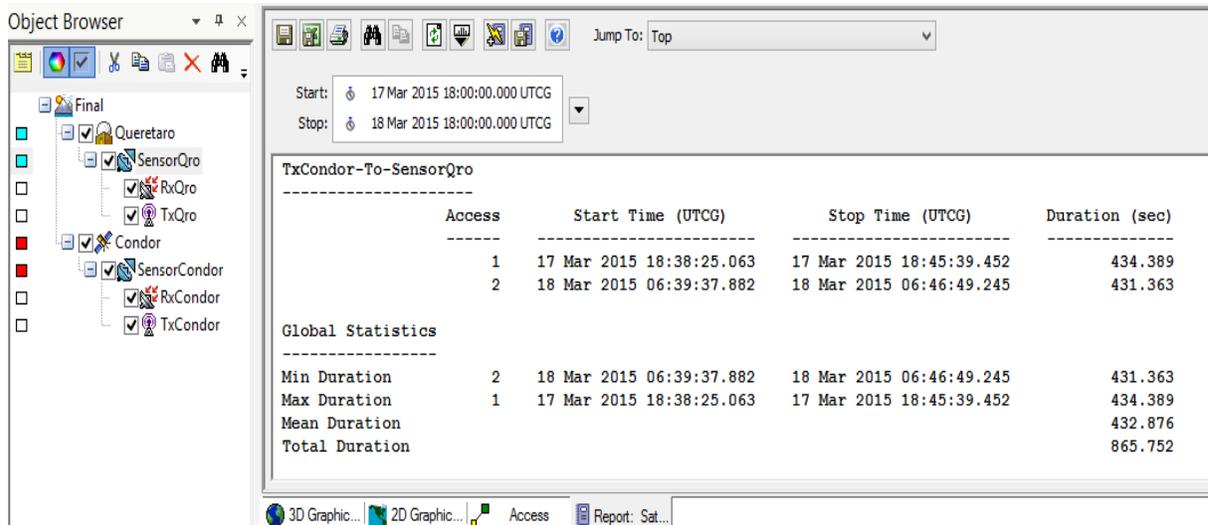


Figura 3.9 Resultados simulación para tiempos de enlace de bajada

La simulación se hizo para un periodo de 24 hrs. La simulación nos da como resultado que, tendremos dos enlaces durante este lapso de tiempo, uno cada 12 hrs aproximadamente, con un tiempo promedio cada una de 432.876 [seg], es decir un poco más de 6 minutos cada uno.

3.6.2.5 Simulaciones del Enlace

El programa STK nos permite una vista 2D y 3D de la órbita del satélite. Esto permite una mejor idea de lo que está pasando, dándole un sentido más físico a los datos mostrados.

En la vista 2D, podemos observar la órbita del satélite, la cual es la línea roja que se ve en la figura 3.10, la cual orbita la Tierra en una de 1 hora 30 minutos, la línea se ve cortada debido a que la otra línea representa la siguiente órbita que se completará una vez termine la primera.

La parte azul en la línea, representa el tiempo en el cual hay enlace entre estación terrena y el satélite. Como podemos deducir, solo sucede esto cuando ambos puntos están lo suficientemente cerca.



Figura 3.10 Representación de enlaces en STK en vista 2D

En la Figura 3.11 podemos observar más detalladamente la vista 2D, donde se ve una línea roja que une al satélite con la estación terrena, ejemplificando físicamente el enlace.

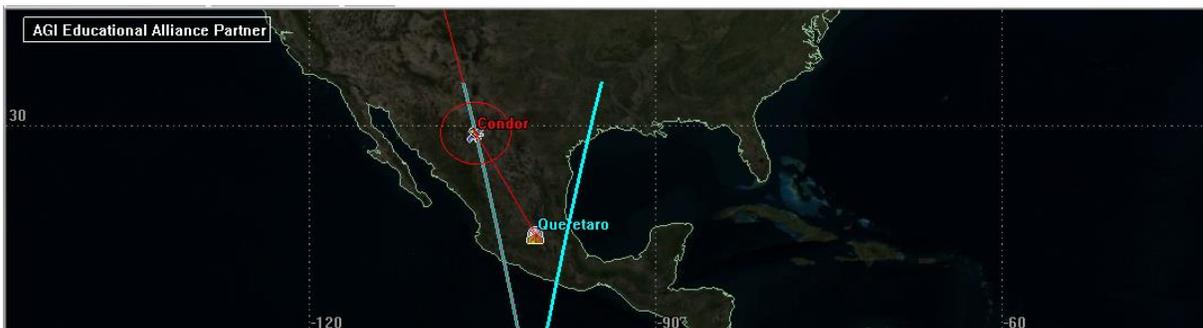


Figura 3.11 Enlace entre satélite y estación terrena en STK

La vista 3D, en la figura 3.12, se muestra el enlace desde la perspectiva de tercera dimensión, donde podemos ver incluso el área que abarca la vista de la estación terrena y el satélite en base a los ángulos que tiene cada punto de observación. En este caso particular, la huella del satélite ya no cubre la zona de la estación terrena. Sin embargo ésta puede seguir el movimiento del satélite y dicho enlace se muestra en color azul.

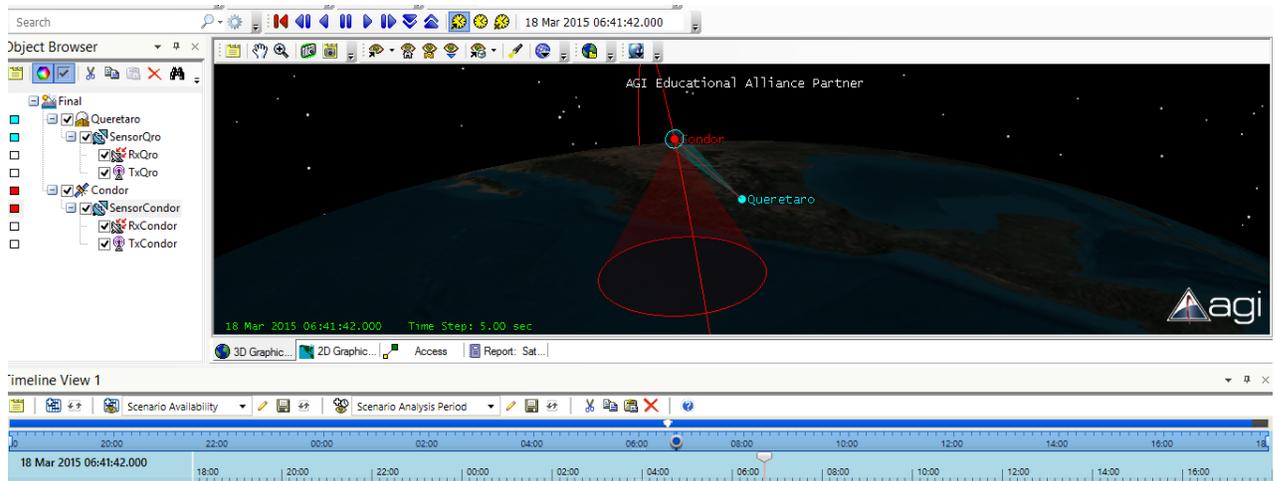


Figura 3.12 Enlace entre satélite y estación terrena con sensores en STK vista 3D

3.6.2.6 Tasa de Bit en Error (BER)

Otra herramienta útil de STK, es el “link Budget”, con el cual podemos estimar el BER según los diversos parámetros que tengamos como ancho de banda, modulación, antenas, etc. En este caso modificaremos las modulaciones, pero mantendremos el mismo ancho de banda y potencia RF para ver cuál modulación presenta mayor error.

Para simular esto tenemos que modificar primero el transmisor, para cambiar el tipo de modulación de este, en la pestaña de “Modulator” podemos modificar el tipo de modulación, así como el ancho de banda, a pesar de que el programa de un valor de inicio.

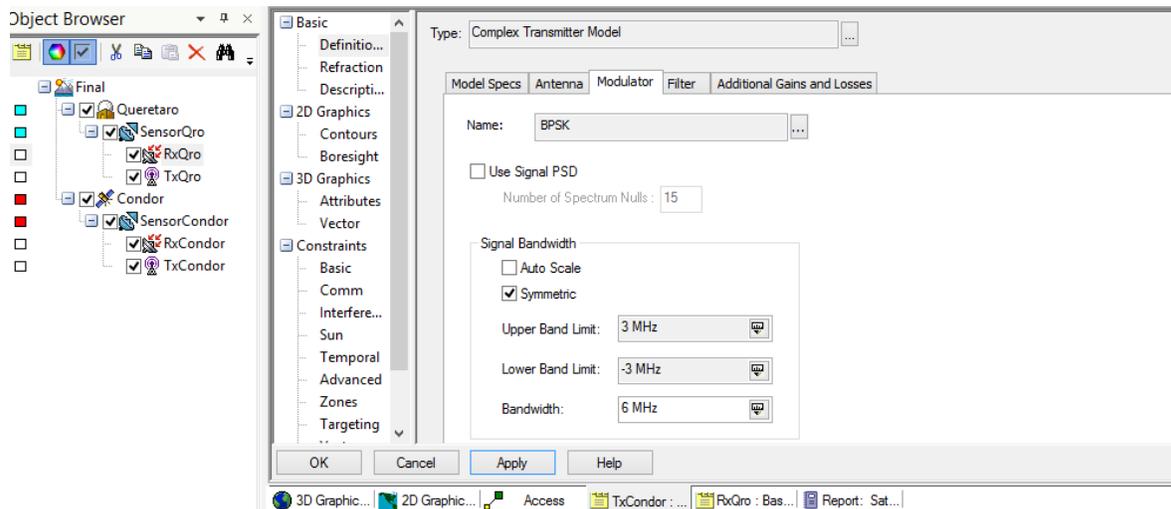


Figura 3.13 Parámetros del transmisor para cálculo del BER en STK

También movemos la modulación del receptor para que coincida con el transmisor. Si se seleccionan modulaciones diferentes, no se podrá transmitir la información deseada de forma correcta.

El programa maneja diferentes variantes de modulaciones BPSK, NFSK, etc. En la Fig. 3.14 se muestran algunas de las modulaciones que maneja el programa.

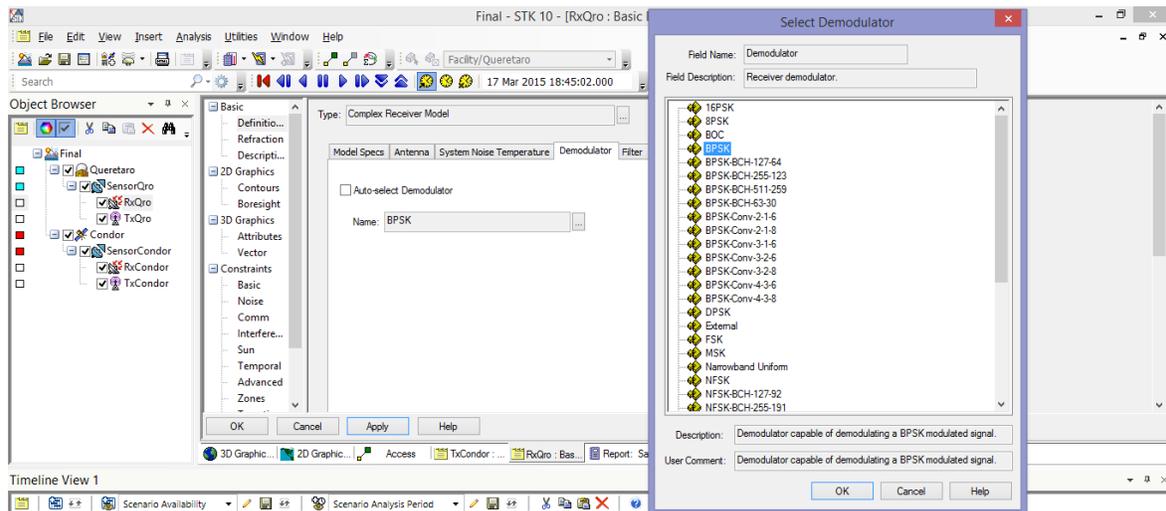


Figura 3.14 Selección de la modulación en el receptor del enlace de bajada

3.6.2.7 Resultados del BER

Con la finalidad de seleccionar el mejor tipo de modulación para los enlaces, se compararon distintos tipos, en igualdad de parámetros, es decir, con la misma potencia RF, ancho de banda, antenas, etc.

Para verificar que las simulaciones se estén realizando de manera correcta, primero analizaremos algún tipo de modulación de la cual se conozca de antemano su comportamiento. En este caso trabajaremos primero con las modulaciones de tipo Modulación por desplazamiento de Fase (PSK, por sus siglas en inglés) de la cual sabemos que su comportamiento debe ser similar para BPSK y QPSK, esto lo verificamos en el libro de Comunicaciones digitales de Bernard Sklar [4].

En la figura 3.15 podemos observar una gráfica de BER para modulaciones PSK con diferente cantidad bits por símbolo, representado por k . Por lo tanto la cantidad de fases en la modulación estará dada por $M = 2^k$. Se puede concluir que para obtener una Probabilidad de error dada, BPSK y QPSK necesitaran la misma $\frac{E_b}{N_0}$ por lo que tienen el mismo comportamiento. En cambio, para una modulación con más símbolos por bit, se necesitara una mayor $\frac{E_b}{N_0}$ para obtener una probabilidad de error similar.

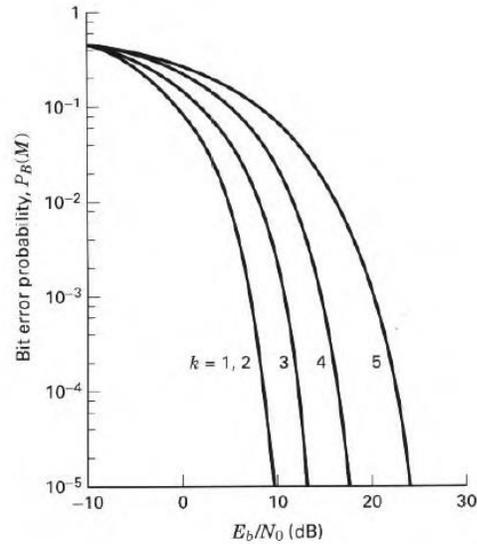


Figura 3.15 Comportamiento de sistemas de modulación PSK [11]

Procedemos a simularlo en STK, los resultados los observamos en la gráfica 3.16. Como se puede observar el comportamiento entre las modulaciones BPSK y QPSK tiene el mismo BER cuando se trabaja con la misma potencia y ancho de banda. Esto nos indica que el simulador está trabajando correctamente.

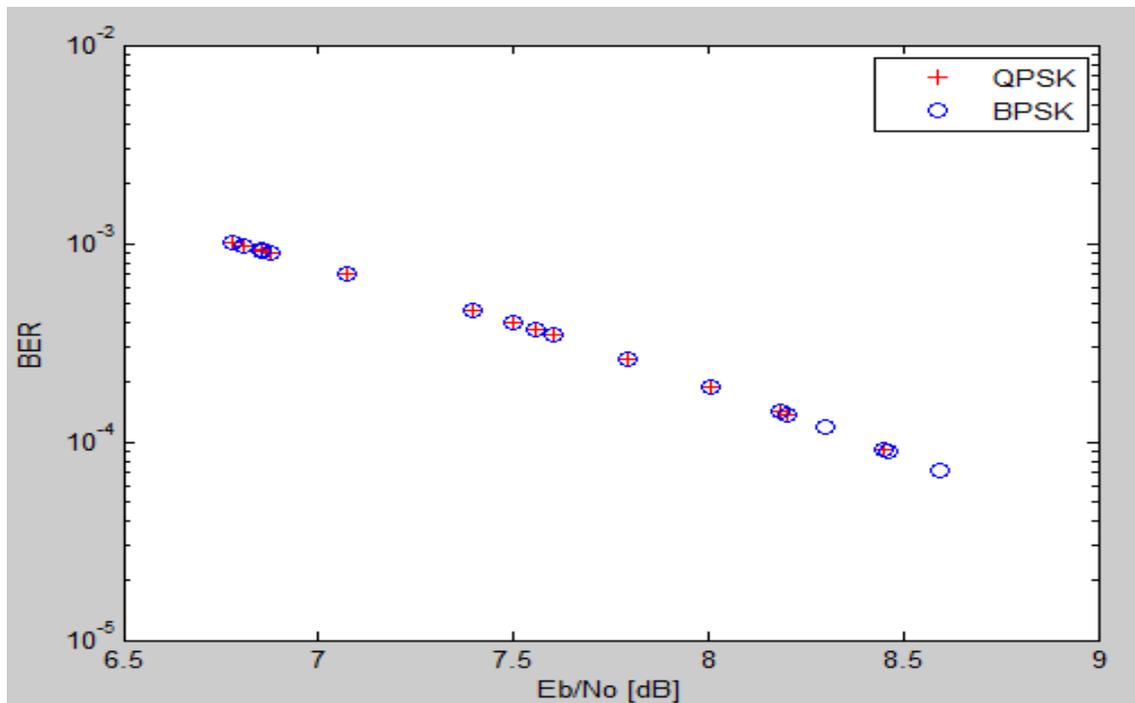


Figura 3.16 Simulación de modulaciones BPSK, QPSK de un enlace en STK

Para poder concluir la modulación PSK, simulamos ahora con las modulaciones que transmiten más bits por símbolo.

En la Figura 3.17 observamos tres modulaciones distintas, la primera QPSK ($k = 2$), 8PSK ($k = 3$) y 16PSK ($k = 4$). Como se observó de la figura 3.15, si se tenía una modulación con mayor cantidad de bits por símbolo, se necesitaba mayor potencia para una misma probabilidad de error, pero como en este caso la potencia es un parámetro fijo para las simulaciones, la probabilidad de error aumentara mientras se manden más bits por símbolo, que es lo que se observa de la gráfica 3.17, por lo que se concluye la simulación en STK funciona correctamente.

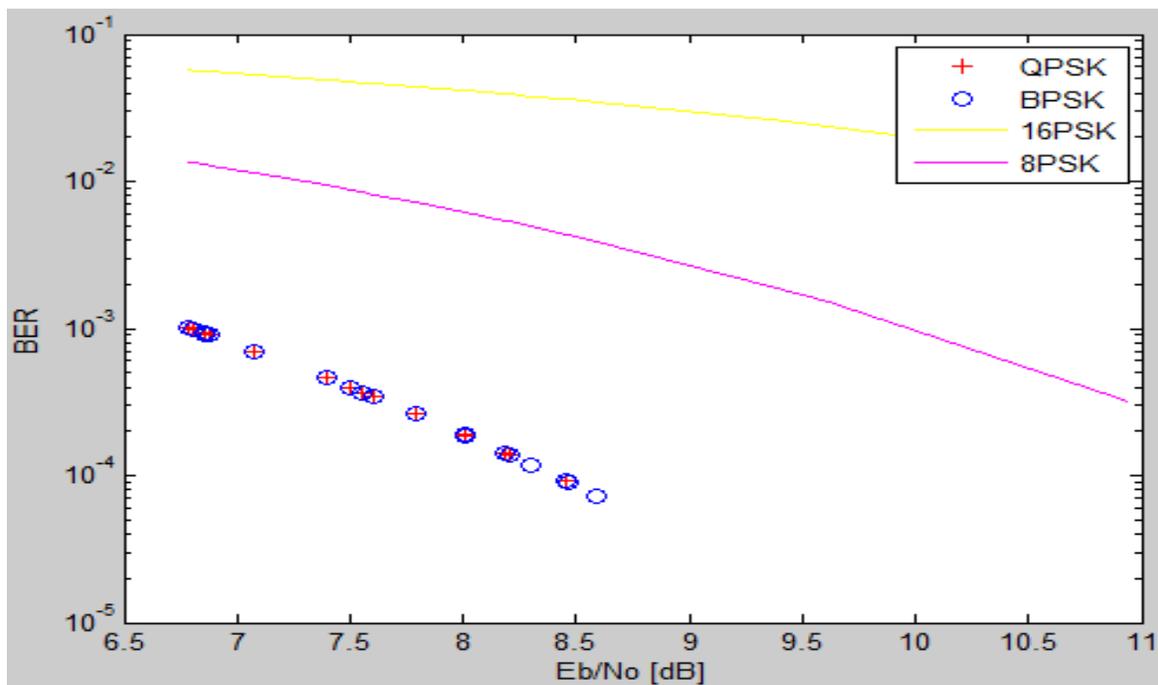


Figura 3.17 Comparación entre modulaciones M-PSK en STK

Al tenerse la certeza de que el programa esta simulando correctamente, se procede a simular las modulaciones mas utilizadas y dar un analisis de cual de ellas es mejor para nuestros propositos.

En la figura 3.18, podemos observar diversas modulaciones trabajando a la misma potencia, antenas, ancho de banda, etc.

Lo primero que se observa es que una modulación con gran número de bits por símbolo, en general, tendrán una alta probabilidad de error, como es el caso de QAM1024 ($k=10$, color azul) y 16PSK ($k=4$, color amarillo). Las modulaciones con menor número de bits por símbolo que se simularon fueron MSK, FSK y BPSK, todas con $k=1$, donde se observa que FSK (color rojo) es la que tiene mayor probabilidad de error, mientras que BPSK y MSK mantienen un comportamiento muy similar. El dato más importante que se obtiene de esta gráfica, es que QPSK (cruces rojas), a pesar de tener el doble de bits por símbolo que BPSK (círculos azules) y MSK (color verde), mantiene la misma probabilidad de error, lo cual es

muy conveniente para un sistema de comunicaciones, ya que se verá reflejado en una tasa de transmisión más alta.

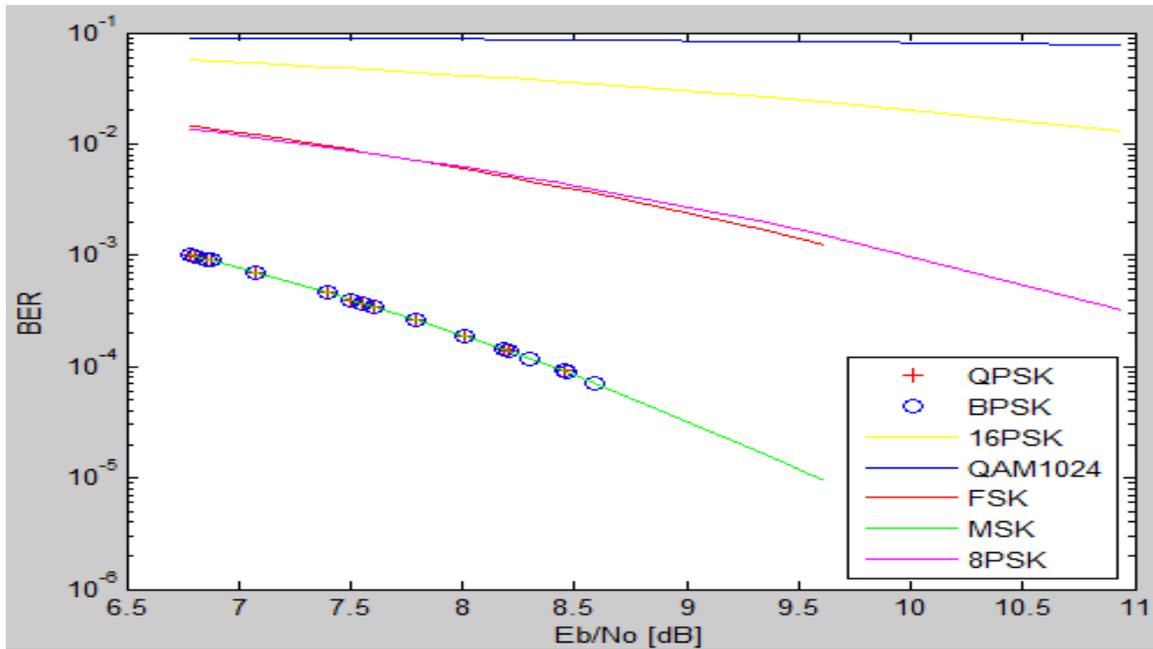


Figura 3.18 Comparación entre las principales modulsiones en STK

La modulación que escogió para este trabajo fue QPSK, debido a que mantiene una probabilidad de error baja respecto muchas otras modulsiones, con la mayor cantidad de bits por símbolo posible, por lo que es óptima para transmisiones con una potencia limitada. Además de ser ampliamente usada para propósitos espaciales, dato que se ve corroborado en el estado del arte, respecto a los transmisores utilizados por empresas dedicadas a este rubro.

Capítulo 4 Implementación del modulador y demodulador en FPGA

Para el diseño del modulador y demodulador, se utilizó un diseño jerárquico (en VHDL, jerárquico se refiere al procedimiento de dividir bloques y no que un bloque tenga mayor jerarquía (importancia) que otro), en el cual se logra una descripción de hardware extensa mediante la unión de pequeños bloques, los cuales se pueden analizar y simular de manera individual, para después relacionarse mediante la metodología de integración llamado top level.

La metodología seguida para el diseño jerárquico consiste en analizar a detalle el problema a resolver y descomponerlo en bloques más pequeños, con el propósito de llegar a una solución por medio de componentes básicos. Una vez descompuesto en unidades más simples, estas se describen como módulos individuales llamados componentes, por último se diseña el programa de alto nivel que los relacione.

Para la descripción de hardware se utilizó Lenguaje de Descripción VHDL el cual es un acrónimo de la combinación de “Circuito Integrado de Muy Alta Velocidad” (VHSIC, por sus siglas en inglés) y “Lenguaje de Descripción de Hardware” (HDL, por sus siglas en inglés) ya que permiten describir problemas lógicos a nivel funcional. Este tipo de lenguajes tienen la capacidad de describir sistemas lógicos en distintos niveles de abstracción, tales como funcional, transferencia de registros (RTL) y lógico o a nivel de compuertas.

VHDL fue creado por el departamento de defensa de los Estados Unidos, pero después se detectó la necesidad de contar con un medio estándar para facilitar el diseño y desarrollo de sistemas complejos en un solo chip reconfigurables. Después de varias versiones revisadas por el gobierno de Estados Unidos, industrias y universidades, el Instituto de Ingenieros Eléctricos Electrónicos (IEEE, por sus siglas en inglés) publicó en diciembre de 1987 su primer estándar, en 1993 uno adicional. En la actualidad VHDL se considera como un estándar para la descripción y modelado de sistemas digitales, lo que lo convierte en uno de los HDL más utilizados a nivel industrial [8].

Algunas de las ventajas de trabajar con VHDL son capacidad descriptiva en distintos niveles de abstracción, independencia de proveedores, tecnología y diseño ya que es un lenguaje público, no sometido a patentes, su reutilización de código al poder emplearse en diferentes plataformas como son FPGA, CPLD, etc., sin importar donde se hayan generado.

Se debe destacar que la implementación del modulador y el demodulador en este trabajo se realizó con las bases necesarias para su reconfiguración, especialmente para la frecuencia de operación de estos, ya que modificando la señal de reloj del FPGA, el modulador podrá trabajar a distintas velocidades de procesamiento.

Además, por ser una arquitectura secuencial y de lógica combinatorial, se puede asegurar que tanto el modulador como el demodulador podrán trabajar a las tasas de transmisión planteadas para enlaces satelitales en el capítulo anterior, ya que aunque el equipo usado aquí tiene limitaciones, se puede exportar este trabajo a FPGA con mayor capacidad, esta es una de las grandes ventajas de VHDL, la independencia de equipos.

4.1 Descripción del Hardware del modulador QPSK

La primera abstracción para el modulador es la siguiente, un bloque modulador donde entra la información en forma binaria, a la salida se ve la señal modulada en formato QPSK, donde la señal senoidal se desfasa según el par de bit en la entrada.

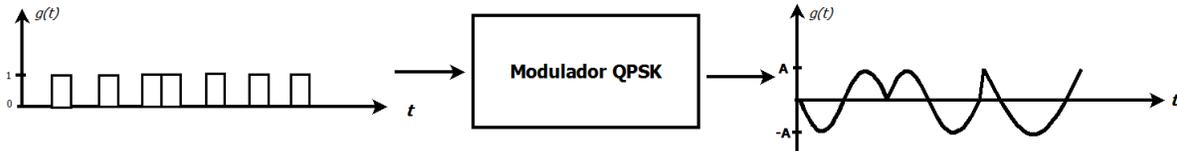


Figura 4.1 Primera abstracción del modulador QPSK

Para el segundo nivel de abstracción, tenemos un módulo con tres entradas, correspondientes al reloj del sistema (CLK), debido a ser un sistema secuencial, a los datos binarios en forma serial (DAT) y a una entrada de reset del sistema (RST), la cual reinicia el sistema en caso de requerirse. El modulador tiene un puerto de salida (out_mod) el cual entrega la señal modulada. La imagen 4.2 representa dicho módulo.

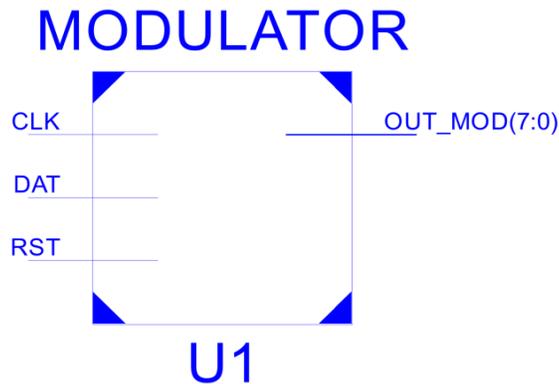


Figura 4.2 Segunda abstracción del modulador QPSK

El siguiente paso para el diseño es un diagrama de bloques, donde se describen los diversos procesos por los que pasa la información hasta ser modulada, lo cuales se analizaron en el capítulo 2.

Para la modulación QPSK partimos del siguiente diagrama de bloques.

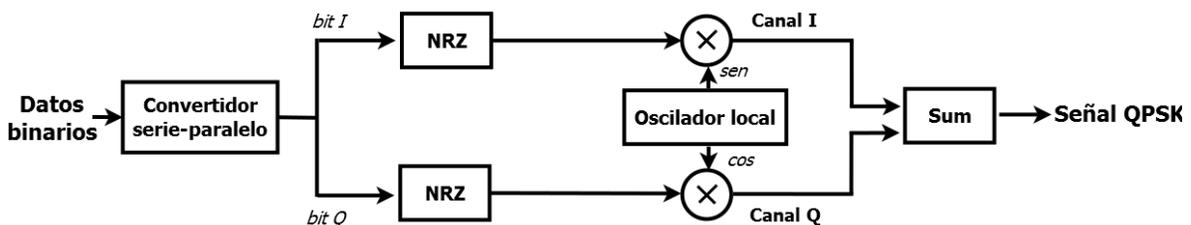


Figura 4.3 Diagrama de bloques del modulador QPSK

Basándose en el diagrama de bloques anterior, la arquitectura propuesta para el desarrollo del modulador se muestra en la figura 4.4, donde se pueden observar la señal de entrada, los bits, y la salida una señal QPSK.

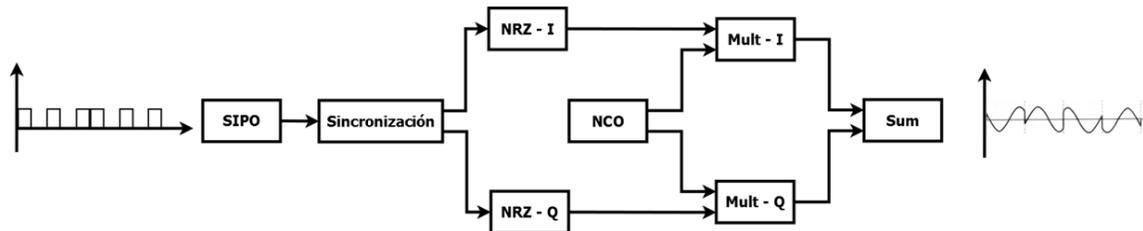


Figura 4.4 Diseño del modulador QPSK

Se observa que al igual que en el diagrama de bloques, se cuenta con dos canales, el canal I y el canal Q, cada uno contiene a su vez un bloque NRZ. El modulador cuenta con un NCO que se conecta a ambos canales, que junto con el bloque NRZ pasan a un multiplicador, por último ambos canales se suman y se obtiene la modulación QPSK. El diagrama de bloques y la arquitectura del modulador tienen muchas similitudes, pero en la implementación es necesario agregar algunos otros bloques, estos se describirán más adelante.

4.1.1 Registro de desplazamiento serie – paralelo

El primer bloque que se analizará es el registro de desplazamiento serie – paralelo, representado en color en el diagrama de bloques en la figura 4.5.

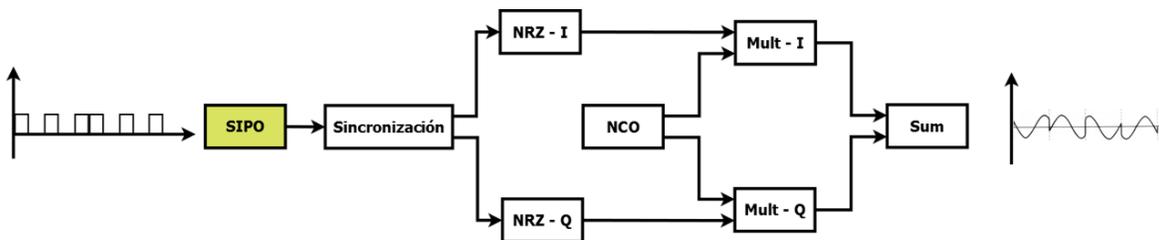


Figura 4.5 Diagrama de bloques, SIPO

Un registro de desplazamiento es un elemento lógico que carga y almacena datos. En función del número de N bits almacenados se define el tipo de registro. Estos elementos están constituidos por flip-flops de tipo D disparo por flanco. Los registros de desplazamiento son elementos en los cuales sus componentes internos están conectados de manera tal que los datos se puedan desplazar de uno en uno. Al establecer las operaciones de desplazamiento los datos en las entradas y salidas se pueden utilizar en paralelo o en serie.

El registro SIPO (Serial Input, Parallel Output) es un dispositivo que recibe datos en forma serial y los entrega en forma paralela, un dato a la vez en cada flanco del reloj. Por ello, el SIPO tardará dos ciclos del reloj en tener el par de bits correcto, esto se observa en la figura

4.6, donde en los primeros dos tiempos hay datos indefinidos almacenados en el registro, hasta el tercer tiempo se obtiene el primer par de bits a modular.

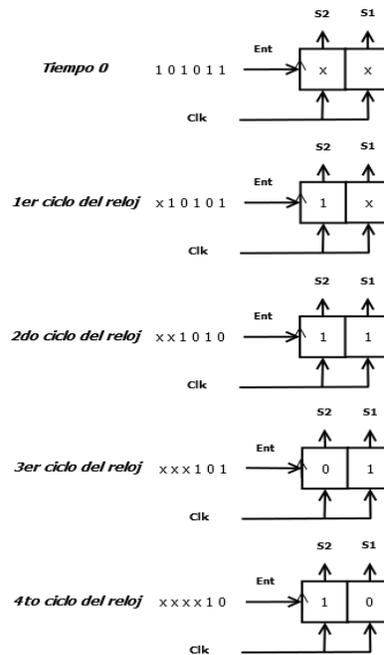


Figura 4.6 Registro de desplazamiento Serie – Paralelo

Con este componente, al recibir un par de bits en forma serial, se entregan de manera paralela para ser tratados por el siguiente elemento, el codificador NRZ. Esto se representa en la figura 4.7, el principal objetivo de este paso es crear los canales I y Q a partir de la trama de bits original.

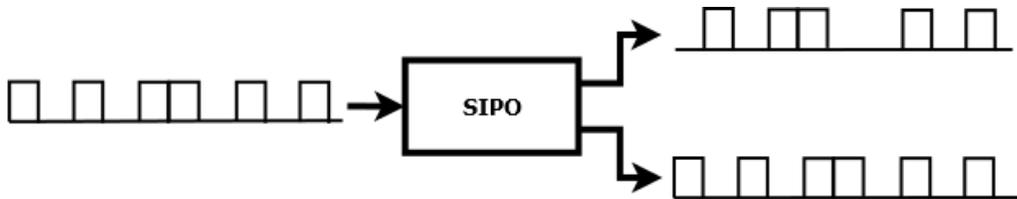


Figura 4.7 Funcionamiento SIPO

La arquitectura del registro de desplazamiento usado para el modulador se puede ver en la Figura 4.6, el cual tiene 3 entradas, correspondientes al reloj con el que trabajara (clk sipo), los datos de entrada en formato serial (dat sipo) y el reset del funcionamiento (rst sipo). El puerto de salida del registro (out sipo) entrega los datos en formato paralelo con cada pulso del reloj.

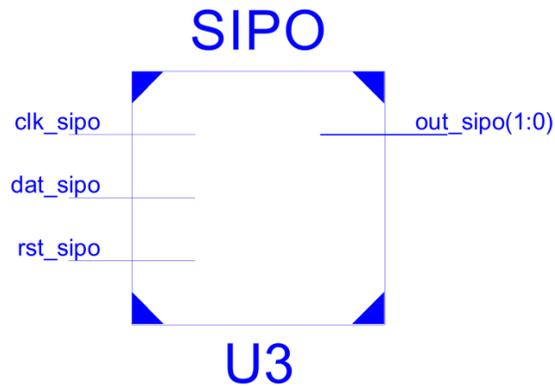


Figura 4.8 Arquitectura del registro Serie – Paralelo

Para el funcionamiento del módulo del SIPO, se utilizó también un divisor de frecuencias como se ve en la Figura 4.9. Básicamente el registro SIPO se encuentra en la subarquitectura sipo_reg, donde el encargado del reloj es la subarquitectura div_sipo.

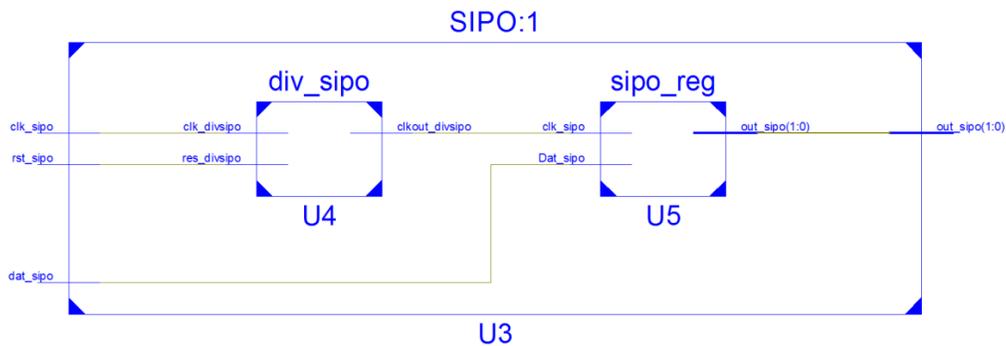


Figura 4.9 Arquitectura del Registro Serie - Paralelo en un segundo nivel de abstracción

4.1.1.1 Divisor de frecuencia

El divisor de frecuencia es un componente electrónico encargado de reducir la frecuencia de entrada, suele estar formado por flip flops y en base a su módulo M se puede calcular la frecuencia de salida resultante. En la figura 4.10, podemos ver la configuración básica de un divisor de frecuencias, de lado izquierdo de los flip flop tenemos la frecuencia original, a la derecha de estos, tenemos la frecuencia reducida la mitad, mientras más etapas tenga el divisor, la frecuencia será menor.

Para el diseño del modulador, el divisor de frecuencias del SIPO es el encargado de sincronizar el tiempo de bit a la salida del registro de desplazamiento.

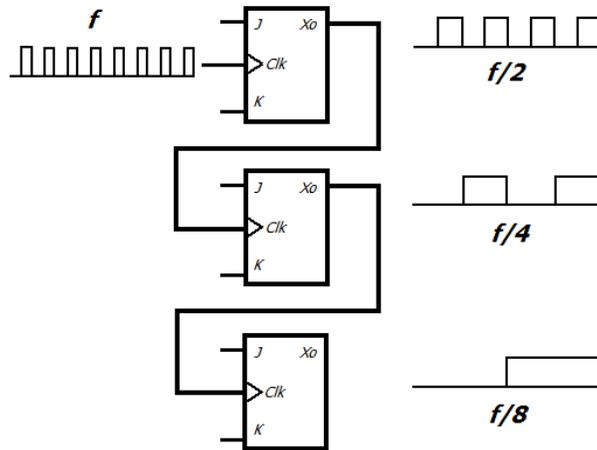


Figura 4.10 Divisor de frecuencias

La Figura 4.11 representa el divisor de frecuencia utilizado, el cual tiene dos puertos de entrada, el reset del divisor (`res_divsipo`) y el reloj con el que trabaja (`clk_divsipo`). El puerto de salida (`clkout_divsipo`) dará la frecuencia a la que trabajara el registro de desplazamiento, la cual es menor a la del reloj del sistema general.

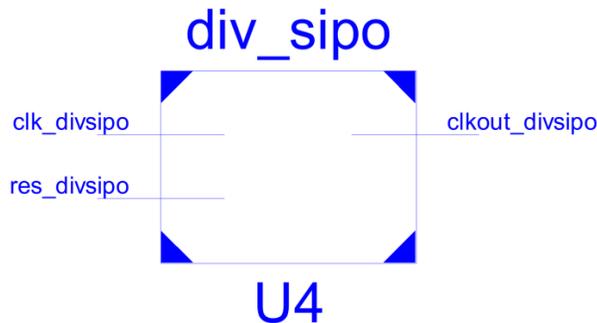


Figura 4.11 Arquitectura del divisor de frecuencias

4.1.2 Bloque de sincronización

El siguiente bloque en el modulador corresponde a un bloque de sincronización, representado en la figura 4.12

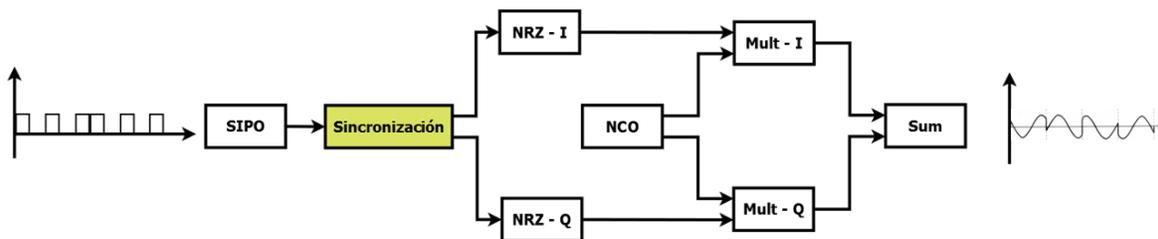


Figura 4.12 Diagrama de bloques, Sincronización.

Para el diseño del modulador, es necesario sincronizar el sistema para agrupar los bits en pares correspondientes a la entrada. A la salida del SIPO se tiene siempre un par de bits de información. Pero estos no son correctos en todo momento, esto debido a que como solo desplazan un bit por ciclo de reloj, le tomara 2 ciclos de reloj formar el par correcto.

Para sincronizar los bits de la modulación fue necesario crear un bloque que resolviera este problema, el cual se representa en la siguiente figura 4.13.

El bloque de sincronización tiene 3 puertos de entrada, el primero obtiene los bits en forma paralela (dat), el siguiente puerto de entrada es el reloj con el que trabajará (clk) y por último un puerto de reset (res). El puerto de salida también entregara los bits de forma paralela (out_sync).

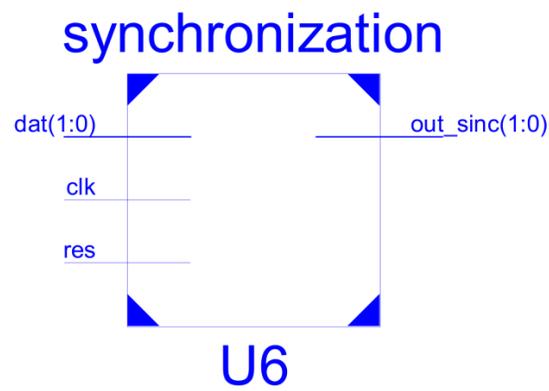


Figura 4.13 Arquitectura del bloque de sincronización

El siguiente nivel de abstracción del sincronizador se compone de un divisor de frecuencias, el cual se describió anteriormente, así como de un registro de desplazamiento de entrada paralelo y de salida en paralelo. Representado en la figura 4.14.

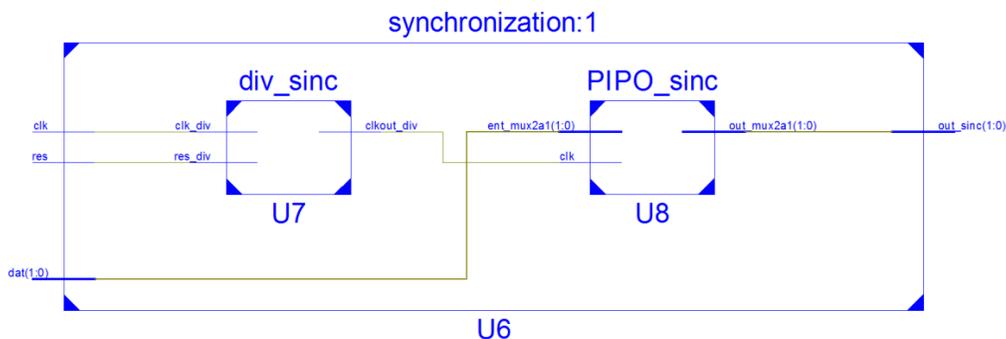


Figura 4.14 Segundo nivel de abstracción de la arquitectura del bloque de Sincronización

4.1.2.1 Registro de desplazamiento entrada paralelo – salida paralelo

El registro de desplazamiento de entrada paralelo, salida paralelo (PIPO, por sus siglas en inglés), trabaja de manera similar al registro SIPO, solo que este a la entrada también tendrá un formato paralelo, cuyo nombre será dado por el número de bits que almacene y desplace.

En la figura 4.15 podemos observar el funcionamiento del registro PIPO, en la columna de la derecha. Como se planteó antes, el registro SIPO siempre entrega un par de bits, pero estos no siempre representan el par necesario para la modulación. El PIPO obtiene los pares de importancia los pares, permitiendo la salida únicamente de los pares que se forman al inicio de la trama, en la figura se observa que hasta el 2do ciclo de reloj del PIPO se tendrá el par correcto, posteriormente, hasta el 4to ciclo de reloj obtiene el segundo par de la trama original de bits.

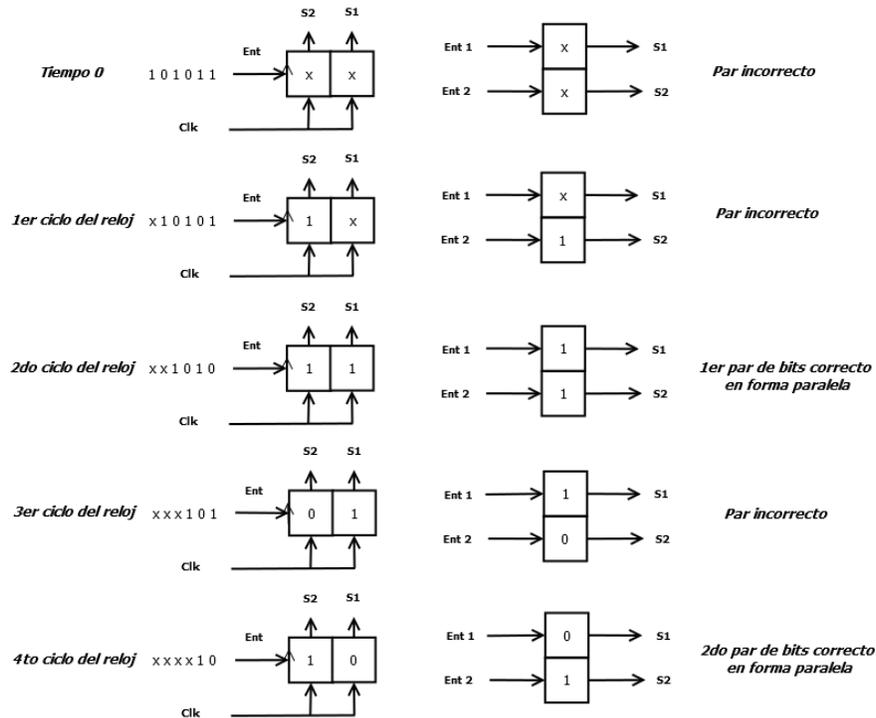
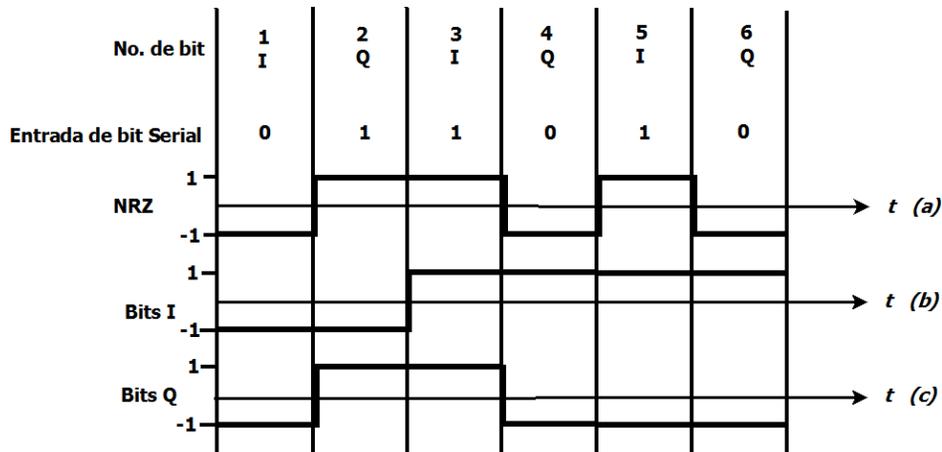


Figura 4.15 Funcionamiento del Registro PIPO

Para el diseño del modulador, el PIPO trabaja a la mitad de la frecuencia que el SIPO, con ello se logra obtener el par de bits que corresponderá a la modulación. Esto se consigue al pasar la frecuencia de reloj por un divisor de frecuencias, su salida controlara al PIPO permitiendo el paso solo del par de bits deseado. Este proceso a si vez, duplicara el tiempo de bit en cada canal, como se observa en la figura 2.12, ya que para volver a recibir un bit del canal I o Q, deberá esperar dos tiempos de bit.



La arquitectura del PIPO del modulador es la siguiente, tiene dos entradas una correspondiente al par de bits en forma paralela (ent_mux2a1) y la otra al reloj (clk). A la salida tiene un puerto que entrega el par de bits también en formato paralelo (outmux2a1). Representado en la figura 4.16.

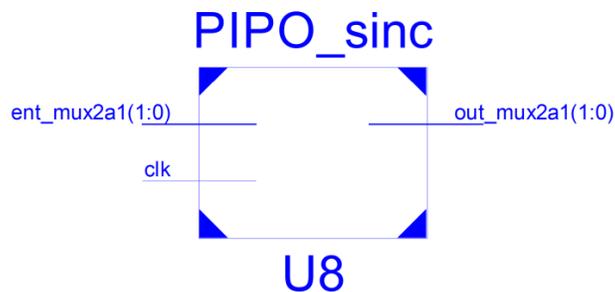


Figura 4.16 Arquitectura del registro de desplazamiento Paralelo – Paralelo

4.1.3 Oscilador Controlado Numéricamente

El siguiente bloque en el diagrama es el NCO, este está representado en color en la figura 4.17, el cual a su vez se compone de más subarquitecturas, las cuales se muestran a continuación.

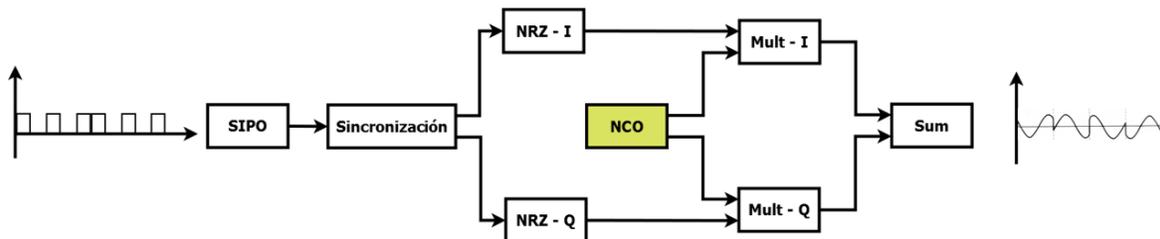


Figura 4.17 Diagrama de bloques del modulador, NCO

El oscilador controlado numéricamente (NCO, por sus siglas en inglés) también es conocido como Sintetizador Digital Directo (DDS, por sus siglas en inglés) es un generador de señales controlado en base a un contador, siendo un oscilador flexible.

Son dispositivos lógicos muy utilizados en sistemas de comunicaciones, moduladores y demoduladores PSK y FSK, convertidores digitales, etc.

El primer nivel de abstracción del NCO se ejemplifica en la figura 4.18. Se compone de dos puertos de entrada, que son un reloj (clk) y un reset (rst), los puertos de salida serán las señales que se desean obtener, en este caso serán una señal seno (sen) y un coseno (cos).

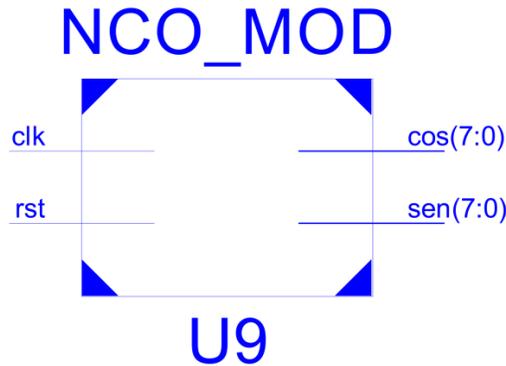


Figura 4.18 Arquitectura del NCO

El siguiente nivel de abstracción se muestra en la Figura 4.19. Se observan los 3 bloques que componen el NCO, son dos tablas de búsqueda (LUT, por sus siglas en inglés), una para el seno, la otra corresponde al coseno, así como un contador común.

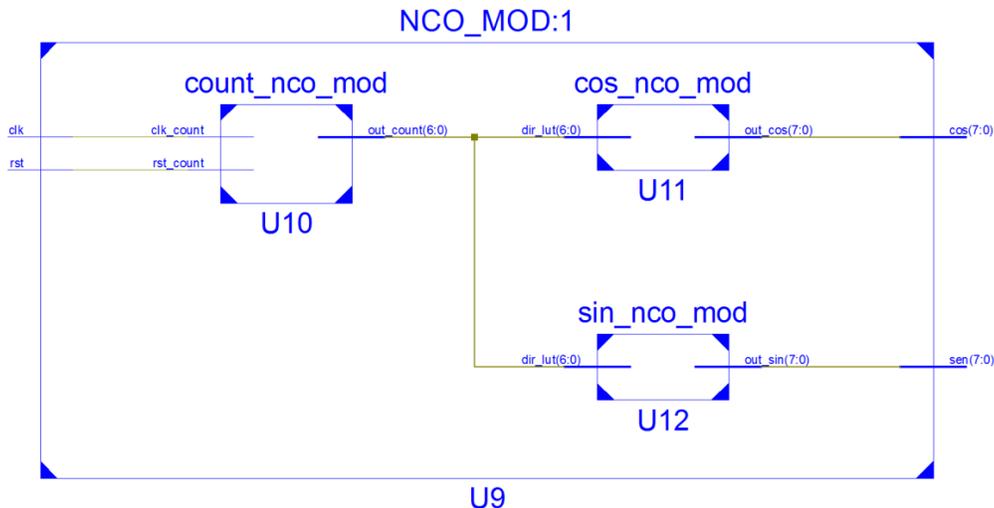


Figura 4.19 Segundo nivel de abstracción de la Arquitectura del NCO

4.1.3.1 LUT seno y LUT coseno

Una LUT es un dispositivo lógico que almacena una estructura de datos, el cual puede sustituir una rutina o programa de cómputo que obtendría dichos valores, esto permite ahorrar tiempo a la hora del procesamiento.

Para acceder a las localidades de memoria de la tabla, el contador del NCO acceda a esta y obtiene el valor de la señal que se almacena.

Para las tablas LUT, se decidió trabajar con muestras de 8 bits, debido al amplio uso de este formato, el cual representa ventajas como convertidores digitales – analógicos a ese número de bits, la facilidad de agrupamiento de bits en byte, formatos de signo y magnitud, entre otras. El diseño del modulador requiere una señal seno y coseno para el proceso de modulación, las cuales se componen de 128 muestras, ya que es el número máximo de muestras que se pueden alcanzar con 8 bits y formato signado.

Los valores que se almacenan en las LUT's seno y coseno se pueden obtener con la siguiente expresión:

$$LUT_{sen} = \sum_{i=0}^{n-1} \text{sen} \left(\frac{2\pi i}{n} \right)$$

Donde n representa el número de muestras que se desean.

Las LUT's implementadas para el modulador QPSK se componen de 128 muestras, las cuales se representaron en punto fijo con formato signado 0Q7 en complemento a dos. Cada señal senoidal se compone de 8 bits por muestra. Para acceder a cada una de las muestras se ocupó un contador de 7 bits, los necesarios para llegar hasta las 128 combinaciones, y con ello poder representar la señal seno del canal I y la señal coseno del canal Q.

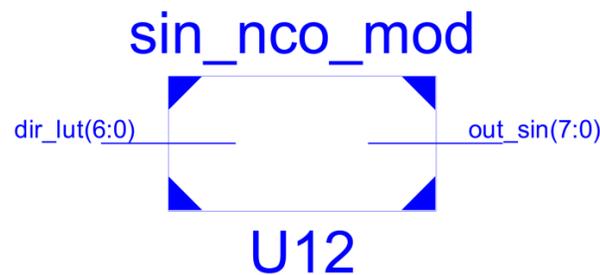


Figura 4.20 Arquitectura del LUT seno

4.1.3.2 Contador binario digital

Un contador es un dispositivo electrónico secuencial construido a partir de compuertas lógicas y biestables, estos últimos son capaces de mantener su estado durante tiempo indefinido si no hay perturbación alguna, capaz de realizar el cómputo de los impulsos que recibe en la entrada.

El contador tiene un módulo el cual es el número de estados distintos que puede tomar a la salida, es decir el número que puede contar. Existen diversos tipos de contador según su código de salida como pueden ser binario, bcd, gray, etc.

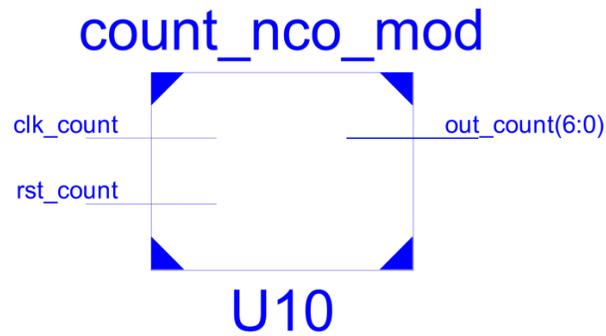


Figura 4.21 Arquitectura del contador del NCO

El contador para el diseño del NCO es un contador binario de módulo 128, cuya arquitectura se muestra en la figura 4.17, con dos puertos de entrada que son el reloj y el reset, a la salida un puerto que entrega el conteo representado con 7 bits.

4.1.4 Codificación NRZ

A partir de este bloque, la trama de bits ya está dividida en dos canales, el canal I y el canal Q, debido a que estos trabajan de la misma forma, con la diferencia que el canal I trabaja con una señal seno y el Q con una coseno, conviene estudiar solo el funcionamiento de uno. Estos bloques se representan en el diagrama de bloques en color en la figura 4.22.

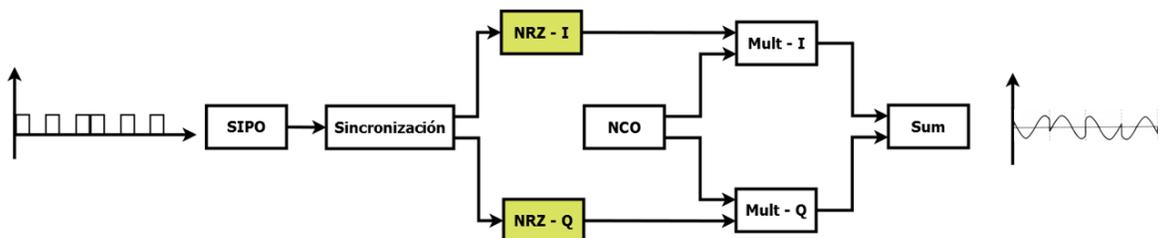


Figura 4.22 Diagrama de bloques, bloques NRZ

Este esquema de codificación utiliza un voltaje de igual magnitud, pero de signo contrario para cada dígito binario, el cual se mantiene constante durante la duración del tiempo de bit. En el modulador, a la entrada con un '1' binario, la salida se representará como un nivel positivo, a la entrada de un '0' binario la salida del codificador entregará un nivel negativo. Esto se ejemplifica en la figura 4.23

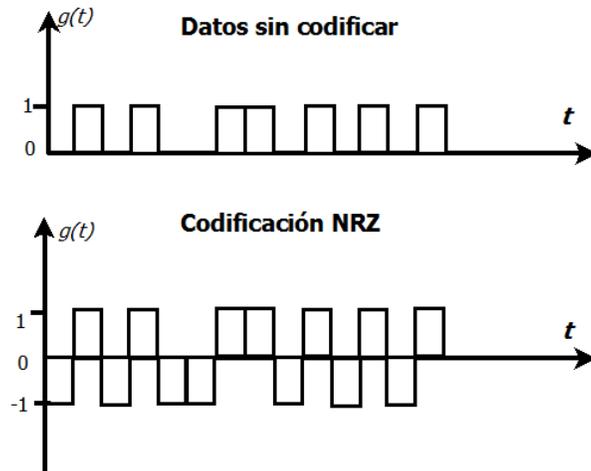


Figura 4.23 Codificación NRZ

El siguiente nivel de abstracción se muestra en la figura 4.24, donde se presenta el paso final de la codificación NRZ, el cual tiene su valor máximo y mínimo posible en una representación de 8 bits en punto fijo con formato signado, al igual que las señales seno y coseno de las tablas LUT, con la finalidad de mantener el mismo formato. La función de este bloque en el modulador es relevante, ya que es el encargado de la modulación en banda base, el cual permite una mayor tolerancia del sistema al ruido, mejorando su probabilidad de error, además de mejorar la eficiencia en ancho de banda, como se vio en el capítulo 2.

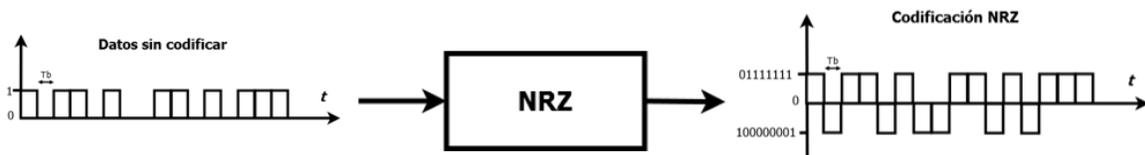


Figura 4.24 Codificación NRZ representado con 8 bits

La arquitectura para el bloque NRZ del modulador se puede ver en la figura 4.25. Tiene un puerto de entrada que entrega el bit a codificar (`int_mux_nrz`), a la salida tiene un puerto que entrega la señal codificada con una longitud de 8 bits (`out_mux_nrz`).

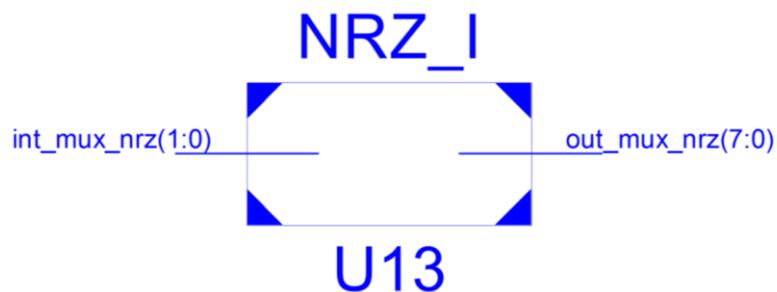


Figura 4.25 Arquitectura del bloque NRZ

4.1.5 Multiplicador

El siguiente paso en el proceso de la modulación es la un bloque multiplicador, este paso está representado por el bloque a color en la figura 4.26. Este al igual que el bloque NRZ aparece en ambos canales, como trabajan de igual manera, se analizara solo el funcionamiento de uno de ellos.

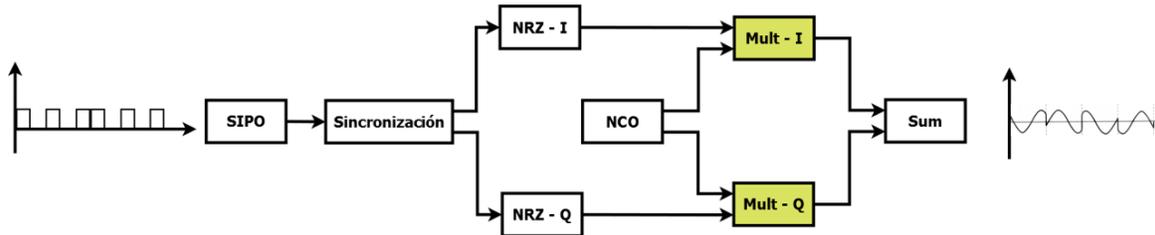


Figura 4.26 Diagrama de bloques del modulador, bloques de multiplicación

Un multiplicador digital es un dispositivo capaz de multiplicar dos palabras de m y n bits, a través de lógica combinatorial dando un resultado de $m + n$ bits. Para este bloque es importante conservar el bit de acarreo ya que permitirá mantener el formato signado.

Este bloque es el encargado directo de la modulación. El resultado del multiplicador es en sí una modulación BPSK. Esta señal modulada se encontrara en fase o cuadratura dependiendo de si:

$$BPSK_I = \text{sen}(2\pi ft) \cdot I(t)$$

$$BPSK_Q = \text{cos}(2\pi ft) \cdot Q(t)$$

El resultado de este bloque se ejemplifica en la figura 4.27, donde se observa la entrada de la señal NRZ y la señal senoidal generada por el NCO, a su salida se observa la modulación BPSK. La diferencia entre los bloques NRZ-I y NRZ-Q, es que el segundo trabaja con la señal coseno.

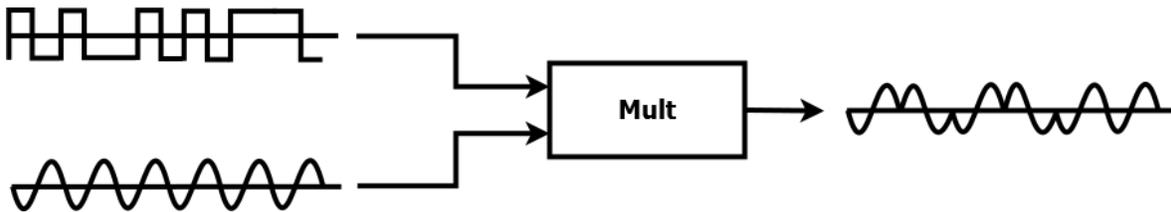


Figura 4.27 Bloque de multiplicación, señales de entrada y salida

La arquitectura del multiplicador del modulador se muestra en la figura 4.21, se compone de dos entradas de 8 bits cada una, la primera es la señal NRZ, que tiene el valor del bit, que será “-1” o “+1”, la otra entrada es la señal seno o coseno, resultando en una salida de 16 bits.

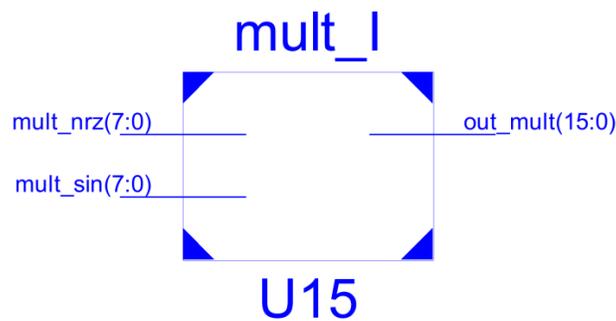


Figura 4.28 Arquitectura del multiplicador

4.1.6 Sumador

El último bloque en la modulación es un sumador, este se representa en la figura 4.29 en color, este es el responsable de unir los canales I y Q, cuyo resultado es la modulación QPSK.

$$s(t) = \text{sen}(2\pi ft) \cdot I(t) + \text{cos}(2\pi ft) \cdot Q(t)$$

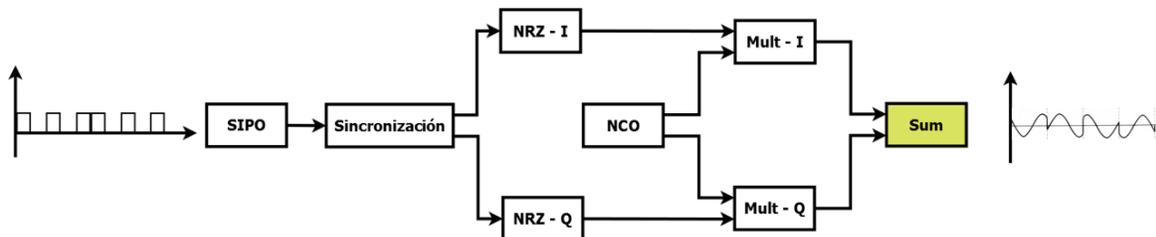


Figura 4.29 Diagrama de bloques del modulador, bloque de suma

Un sumador digital es el circuito lógico capaz de calcular la operación suma. En el caso que se utilizan palabras de bit en complemento a dos, como para el diseño de este modulador, el sumador se convierte en un sumador – restador, debido a la representación de números negativos en este formato.

La arquitectura para el sumador del modulador es la siguiente. Posee dos puertos de entrada de 16 bits. El primero de la multiplicación del NRZ y la señal seno, que corresponden al canal I del modulador (I). El segundo puerto de entrada es el canal Q, el cual se forma de la multiplicación de NRZ por la señal coseno (Q).

El puerto de salida del sumador corresponde a una señal de 8 bits, debido a que en el código del sumador solo mandamos los 8 bits más significativos del resultado de la suma. Representado en la figura 4.30

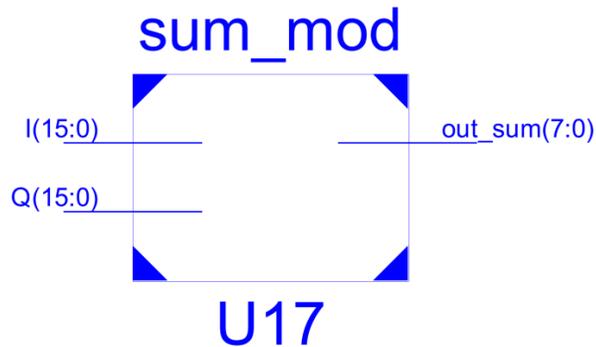


Figura 4.30 Arquitectura del sumador

Este bloque es de suma importancia, ya que se encarga de crear las 4 fases posibles del modulador. Esto lo logra al sumar las dos modulaciones BPSK que se crearon antes. Cada una de estas tiene dos posibles fases, al lograr todas las combinaciones posibles entre ellas se crean las distintas fases del modulador QPSK. Por ello la importancia de la previa sincronización entre los bits de ambos canales, si esta no es correcta, no será posible el correcto funcionamiento de la modulación QPSK.

Síntesis

Por último se realizó la síntesis del modulador, la cual consiste en reducir una descripción de alto nivel de abstracción que pueda ser implementado en un circuito, o bien el proceso en el que una descripción es convertida en un listado de conexiones (netlist) entre las compuertas, registros, multiplexores, etcétera, de un FPGA o CPLD.

Con este proceso se puede visualizar un esquema RTL del modulador, el cual se muestra en la figura 4.31, siendo el resultado final de la descripción de hardware de este.

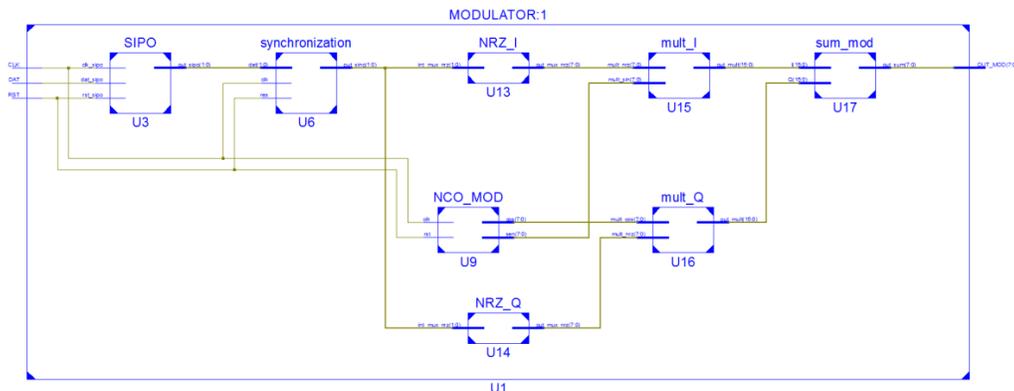


Figura 4.31 Esquema RTL del modulador QPSK

4.2 Implementación del demodulador QPSK

La primera abstracción para el demodulador se representa en la figura 4.32. En esta podemos ver a la entrada del demodulador una señal QPSK, la cual es una señal senoidal desfasada en el tiempo según el par de bits con el cual se ha modulado.

A la salida del demodulador, tenemos la señal de información representada en bits de forma serial a través del tiempo.

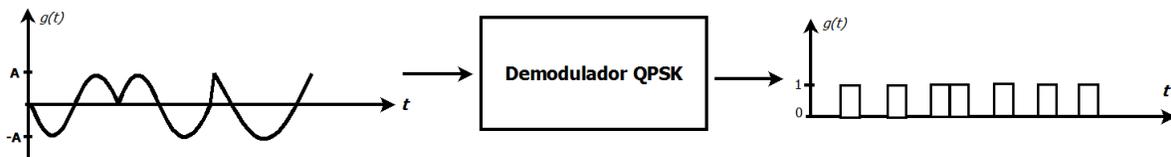


Figura 4.32 Primera abstracción del demodulador QPSK

El segundo nivel de abstracción se representa como un bloque el cual está compuesto de 3 entradas, la señal modulada, el reloj del sistema y el reset de este mismo. La salida del demodulador será una señal binaria que demodule la información que reciba. Este bloque se representa en la figura 4.33.

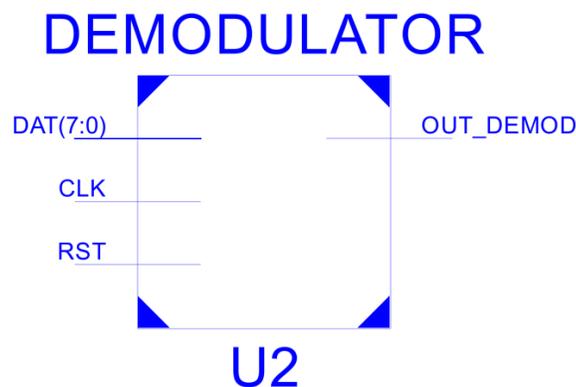


Figura 4.33 Segundo nivel de abstracción del demodulador QPSK

Para el siguiente nivel de abstracción, donde se describen más específicamente los procesos por los que pasa la señal a demodular, también se partió de un diagrama de bloques, el cual se explicó en el capítulo 2 matemáticamente, se representa en la figura 4.34.

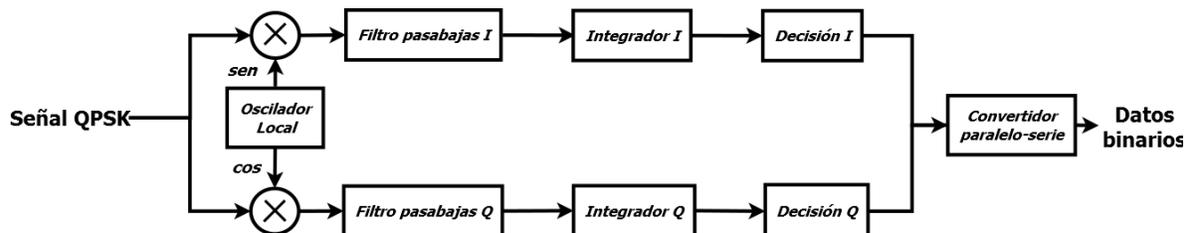


Figura 4.34 Diagrama de bloques del demodulador QPSK

Para el diseño del modulador se propone la arquitectura de la figura 4.35

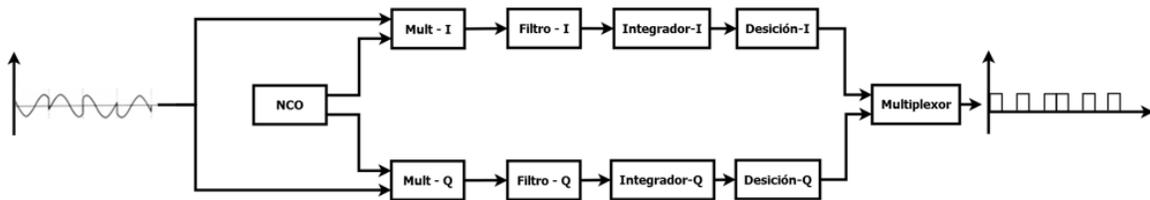


Figura 4.35 Diseño del demodulador QPSK

Como se puede ver en el diseño del modulador, existen grandes similitudes respecto al diagrama de bloques, la entrada de la señal modulada se dirige a los canales I y Q, a partir de ahí cada una recibe un procesamiento diferente para obtener los bits I y Q, y al final multiplexarlos para obtener la señal binaria original.

Algunos de los bloques del demodulador se explicaron anteriormente en el modulador, estos se representan en la figura 4.36 en color, por lo que esta sección se centrará solo en el proceso de la señal a través de estos.

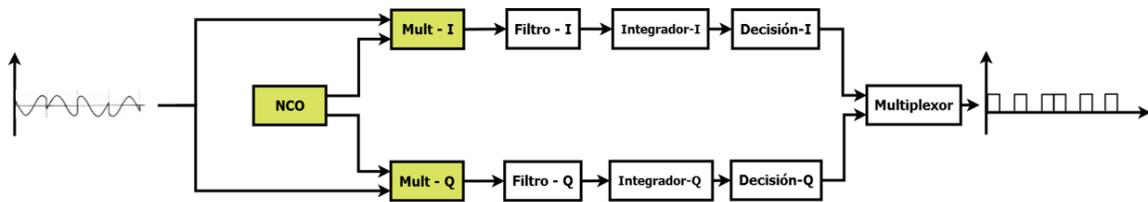


Figura 4.36 Diagrama de bloques del demodulador, NCO y multiplicación

Como se observa en la figura anterior, la señal QPSK entra al demodulador, esta además vendrá acompañada de ruido que se adhiere en el canal. La señal se envía directamente a los canales I y Q, y pasan a un bloque multiplicador. De igual manera se envían señales senoidales a dichos canales, una señal seno al canal I y una señal coseno al canal Q.

La relevancia de este paso radica en el espectro de la señal, en la figura 4.37 a), tenemos el espectro de la modulación, donde la señal moduladora f_m , se traslada en a la frecuencia de la portadora f_c , en la figura 4.37 b) tenemos el espectro de la señal después del proceso de los bloques de la imagen 4.36, en el cual al multiplicarse de nuevo por la portadora a la misma frecuencia que en el modulador, la moduladora se traslada al doble de la frecuencia portadora y a la frecuencia original de la frecuencia moduladora. Gracias a este paso se puede aislar la frecuencia moduladora para poder filtrarse más adelante y recuperar la señal moduladora

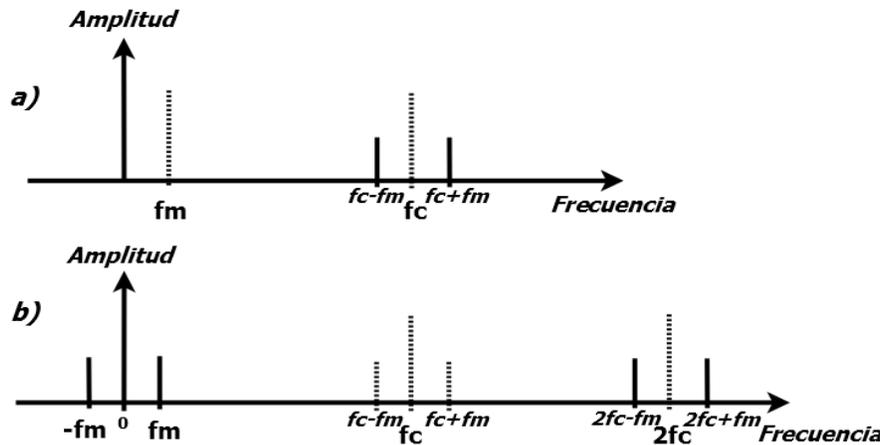


Figura 4.37 Espectro de la señal QPSK a) modulada b) después multiplicarse en el primer paso de demodulación

4.2.1 Filtro Digital

El siguiente bloque en el demodulador es un filtro pasabajas, el cual está representado en el diagrama de bloques en la figura 4.38, éste se encuentra en ambos canales del demodulador, pero como su funcionamiento es el mismo, se analizara solo una vez.

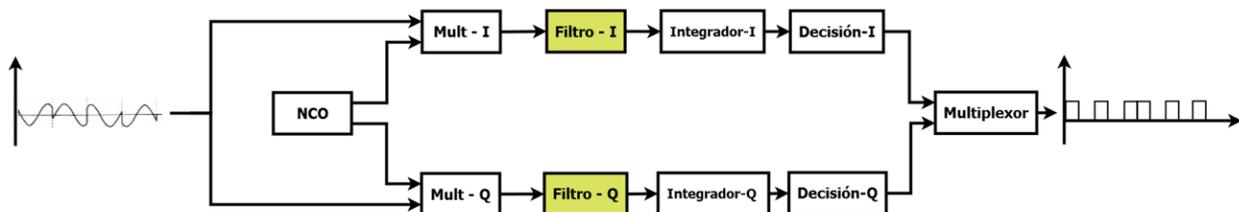


Figura 4.38 Diagrama de bloques del demodulador, filtros

Para el proceso de demodulación, es necesario implementar un filtro pasabajas, como se ve en el diagrama de bloques del demodulador, en el capítulo 2.

Para seleccionar el filtro adecuado se realizaron pruebas con distintos tipos de filtros pasabajas que se pueden utilizar. El principal inconveniente para la selección del filtro y sus parámetros, es que al aumentar la precisión de este, el código del filtro exportado a lenguaje VHDL incrementaba significativamente, resultando en mayor consumo de potencia y recursos del FPGA. En las figuras 4.39 y 4.40 se puede ver la diferencia entre un filtro de orden bajo, con uno de orden alto. En ambas se puede observar la referencia de magnitud a 0 [V] al inicio de las señales, esta representa el límite que no deben pasar los picos de las señales senoidales a la salida del filtro, ya que representarían un error en la demodulación, al confundir la forma de onda con un 1 lógico cuando se envió un 0 lógico, o viceversa. En la figura 4.39, se muestra un filtro de orden 15, se pueden ver tres señales donde la primera corresponde a la modulación BPSK, la segunda a la entrada de la señal al filtro, y la tercera

su salida del filtro. En esta última, el filtro se diseñó en el límite exacto para su funcionamiento, con el fin de tener el menor consumo posible de recursos.

La figura 4.40 tenemos las mismas tres señales, solo que en esta simulación se utilizó un filtro de orden 30. Como se observa, los picos de la señal analógica están más separados de la referencia a cero. Esto permitirá al modulador trabajar con una mayor tolerancia al ruido que afecte a los picos de la señal, pero sacrificando a su vez el consumo de recursos del FPGA.

Para el estudio del filtro se trabajó con la modulación BPSK, con el objetivo de analizar más fácilmente la respuesta de éste. Esto debido a que las simulaciones se pueden ejecutar más rápido y que la modulación QPSK es básicamente la suma de dos modulaciones BPSK.

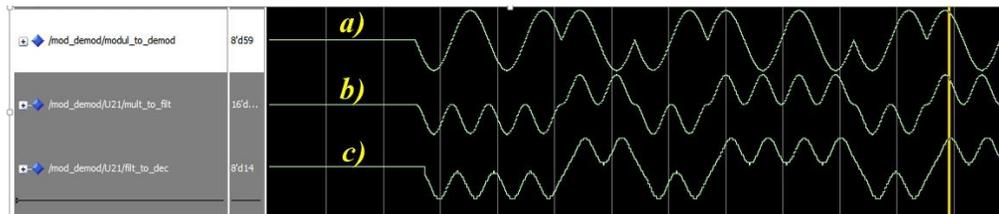


Figura 4.39 Comportamiento del filtro de orden 15 q) señal modulada b) entrada al filtro c) respuesta del filtro

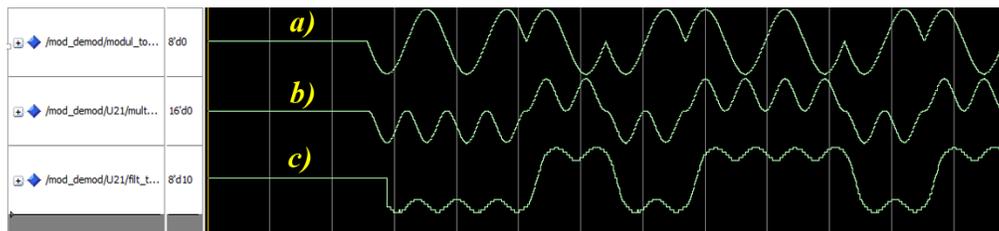


Figura 4.40 Comportamiento del de orden 30 s) señal modulada b) entrada del filtro c) respuesta del filtro

Como se mencionó anteriormente, la dificultad del diseño del filtro está en encontrar la relación más adecuada entre precisión del filtro y consumo de recursos.

El filtro que obtuvo mejor respuesta fue el filtro FIR pasabajas Equiripple. El orden que se escogió fue 15, ya que fue el orden más bajo que cumplía para la detección del demodulador con la menor cantidad de recursos posibles.

Debido a que solo los bits más significativos del filtro representaban el valor que ayudaba a la detección del bit enviado, se decidió tomar en cuenta solo los 6 más significativos, esto ayuda a un procesamiento más rápido en los siguientes procesos sin perder la exactitud del valor a detectar, tomar muestras con menos bits perdería información relevante en la detección.

La implementación del filtro está representada en la figura 4.41. Este cuenta con 3 entradas, la primera corresponde a los datos binarios (data_in), la segunda entrada es el reloj (clk) con el que trabajara el filtro, la última entrada es el reset (reset).

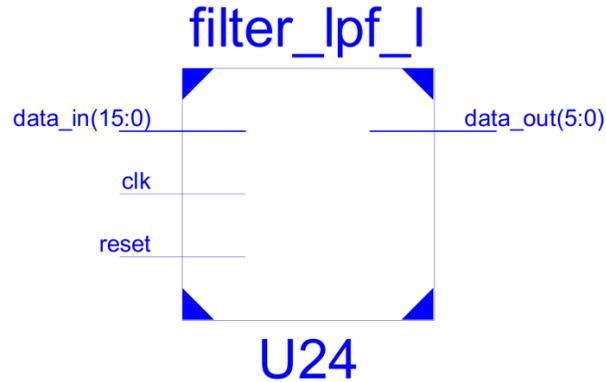


Figura 4.41 Arquitectura del filtro digital

4.2.2 Integrador

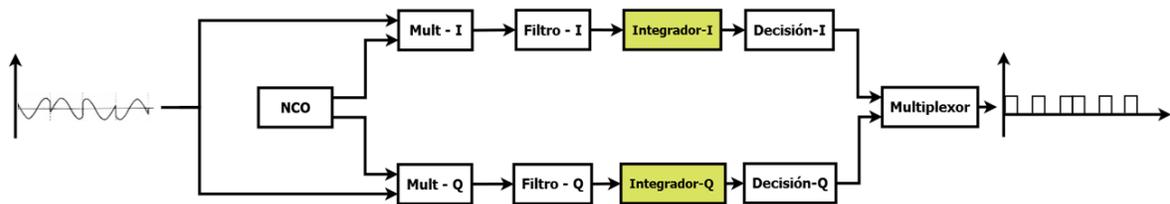


Figura 4.42 Diagrama de bloques del demodulador, Integrador

Un integrador es un circuito diseñado para realizar operaciones matemáticas como la suma de magnitudes en un lapso específico de tiempo.

Para la implementación del demodulador, se realiza un proceso de filtro acoplado, en el cual por medio de la suma de distintas muestras en un lapso de tiempo obtiene un valor final el cual representa un 1 o 0 lógico, este proceso permite detectar el bit con ruido en la señal ya que al evaluar distintas muestras saca un promedio general, el cual se mandará al detector.

La arquitectura para la implementación del integrador se representa en la figura 4.43. Tiene 3 entradas que corresponden a los datos de entrada compuestos de 6 bits (*data_integ*), el reloj (*clk_integ*) y el reset (*rst*), respectivamente. A la salida tiene un puerto de 16 bits, resultado de la acumulación, cuyo resultado se mandará al bloque de decisión.

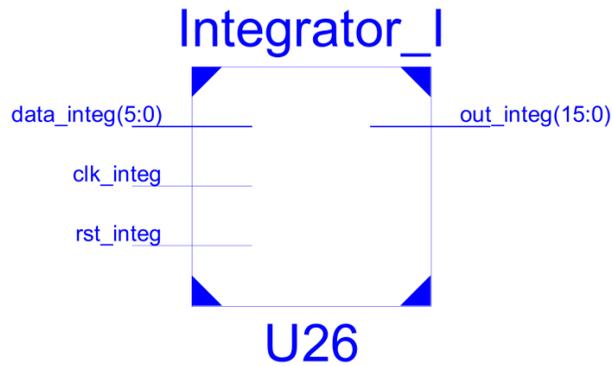


Figura 4.43 Arquitectura del integrador

Para controlar el tiempo durante el cual el integrador acumulara datos, se implementó un divisor de frecuencias, el cual tuviera un lapso de duración igual al del tiempo de bit, además de otro divisor de frecuencias, a una frecuencia más alta el cual con cada pulso sumara en el acumulador. La arquitectura final del integrador se observa en la figura 4.44.

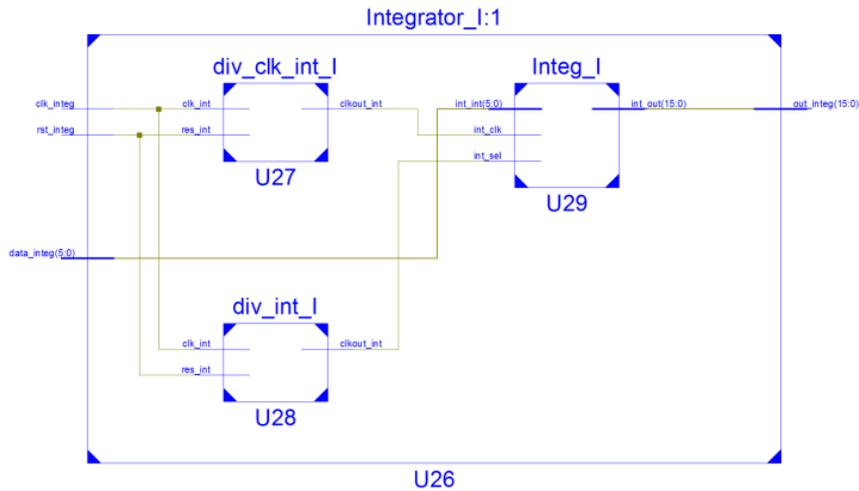


Figura 4.44 Segundo nivel de abstracción de la arquitectura del integrador

4.2.3 Decisión

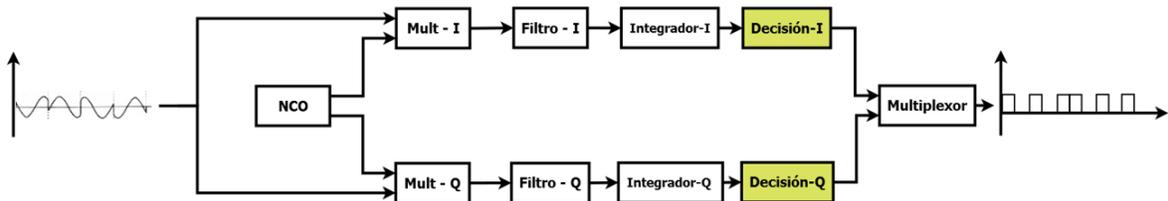


Figura 4.45 Diagrama de bloques del demodulador, bloque de decisión

El bloque de decisión es el encargado de comparar el resultado del proceso de integración y decidir si éste corresponde a un 0 o un 1 binario. Ambos canales, I y Q tienen uno. El proceso

de detección lo logra al comparar el resultado del integrador con una referencia, la cual obtiene del valor intermedio la energía de bit con un 1 lógico y la energía de bit con un 0 lógico, de esta manera permite tolerar variaciones debido al ruido, siempre y cuando este no afecte lo suficiente para superar la referencia del detector.

Para el bloque de decisión se diseñó la siguiente arquitectura, se compone de tres entradas, la primera corresponde a los datos que entrega el integrador (dat), la segunda es el reloj (clk) y la última el reset (rst). A la salida se tendrá solo un puerto compuesto de un bit (out_dec). Esta arquitectura se representa en la figura 4.46.

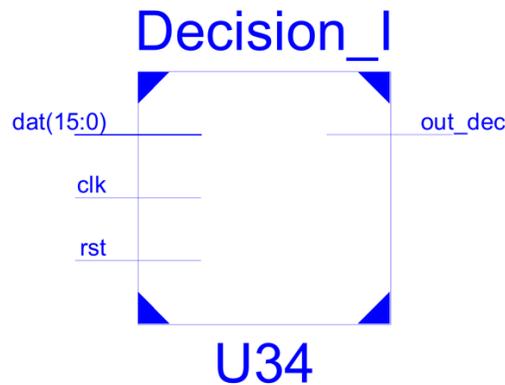


Figura 4.46 Arquitectura del bloque de decisión

Para este bloque se necesitó un nivel más de abstracción, donde el reloj del estuviera coordinado al tiempo de bit, para ello se diseñó un divisor de frecuencias, el cual se muestra en la figura 4.47 con el nombre de `clk_decision_I`, este bloque trabaja con la frecuencia general del demodulador, pero a su salida envía la señal de reloj del bloque de decisión que trabaja al tiempo de bit del demodulador

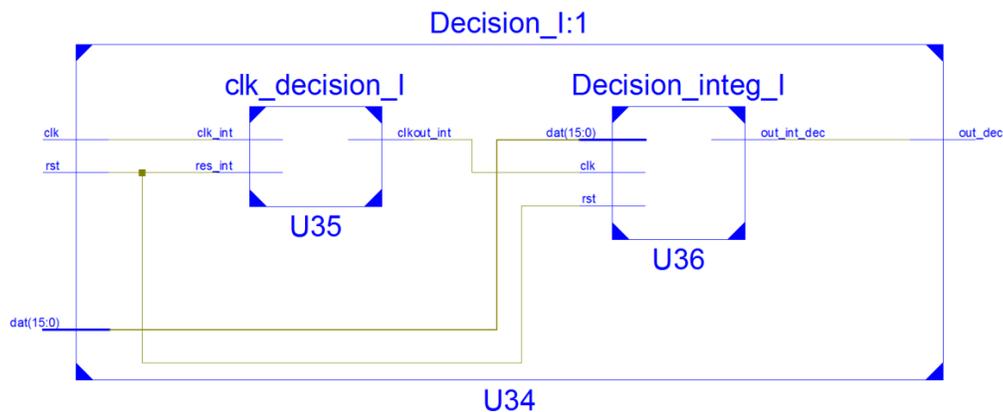


Figura 4.47 Segunda abstracción del bloque de decisión

4.2.4 Multiplexor

El último bloque en el demodulador es un multiplexor, el cual se representa en el diagrama de bloques como el bloque a color. Es el encargado de relacionar los canales I y Q para obtener la trama final de datos demodulados

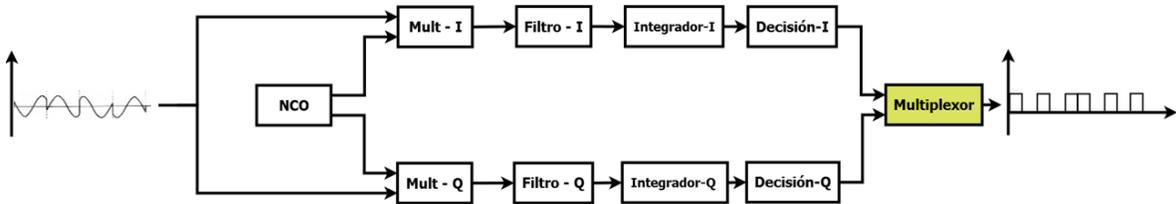


Figura 4.48 Diagrama de bloques del demodulador, bloque multiplexor

El multiplexor es un circuito combinatorial el cual puede tener diferente número de entradas, pero solo una salida, la cual toma el valor de alguna de las entradas la cual se selecciona a través de líneas de control. La entrada seleccionada se determina en función de la combinación de las entradas de control, por lo que si se tiene N entradas de datos, se necesitan al menos n entradas de control para seleccionarla, de tal forma que $N \leq 2^n$.

Para la arquitectura del multiplexor para el modulator, se utilizó un multiplexor 2 a 1, es decir dos entradas y una salida, por lo que solo se necesita una línea de selección. El multiplexor queda definido como se ve en la figura 4.49, una entrada de reloj, dos entradas para los datos de los canales I y Q, y una entrada para el reset. Solo tiene una salida la cual corresponderá a la señal demodulada final.

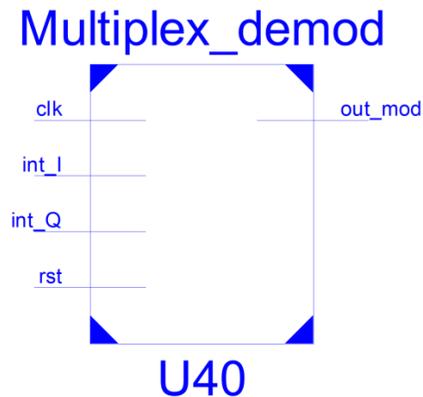


Figura 4.49 Arquitectura del multiplexor

Para la línea de selección se utilizó un divisor de frecuencias llamado `clk_mux`, como se puede ver en la figura 4.50, con el objetivo de sincronizar los canales I y Q en el multiplexor, este paso es importante ya que permite ordenar los bits I y Q, para poder representar correctamente los bits demodulados, resultando la arquitectura final del multiplexor como sigue, en un nivel de abstracción más bajo.

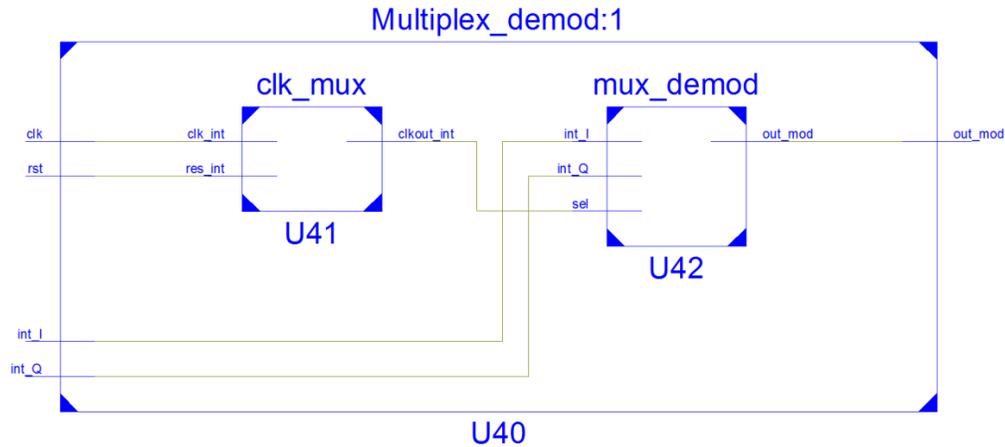


Figura 4.50 Segundo nivel de abstracción del multiplexor

Por último se procedió con realizar el diagrama RTL del demodulador, como se ve en la figura 4.51, en el cual se ve la unión de los distintos bloques desarrollados anteriormente. Estos bloques comparten las entradas de reloj y reset. Además su arquitectura está diseñada para reconfigurarse para trabajar a otras frecuencias únicamente modificando la señal de reloj del sistema, sin necesidad de reconfigurar bloque por bloque.

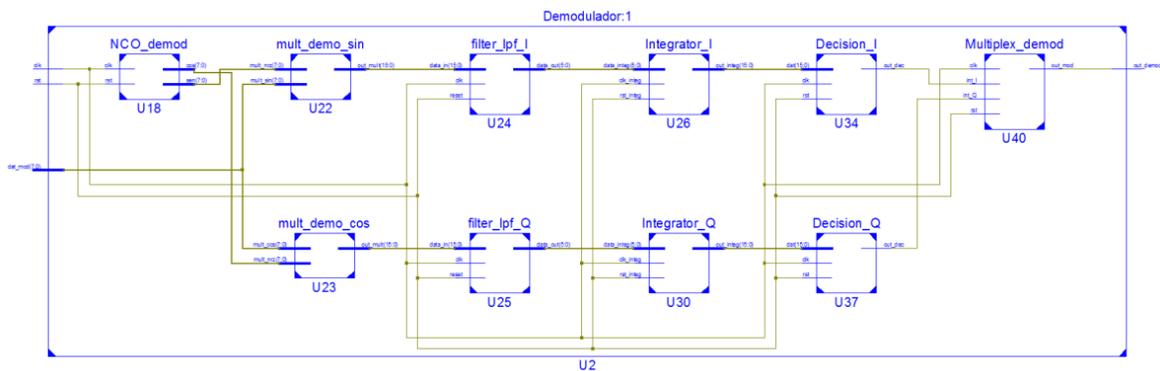


Figura 4.51 Diagrama RTL del demodulador

Capítulo 5 Resultados experimentales

5.1 Modulador

5.1.1 Simulador ModelSim

ModelSim es un simulador multilenguaje de HDL desarrollado por Mentor Graphics, capaz de simular lenguajes de descripción de hardware tales como VHDL, Verilog y System C, ya sea de manera independiente o en conjunto con Altera Quartus o Xilinx ISE (ambientes de desarrollo). Este simulador tiene herramientas capaces de representar los datos en distintos formatos para facilitar el análisis de estos.

Para las simulaciones del modulador y demodulador se trabajó con el software ModelSim PE Student, que es una versión de ModelSim enfocada a estudiantes y gratuita, popular por sus herramientas de simulación y visualización, permitiendo la representación de señales analógicas al simular las funciones de un convertidor digital-analógico (DAC, por sus siglas en inglés).

En la imagen 5.1 podemos observar que el simulador se compone a grandes rasgos de 3 áreas. La primer área se ubica en la parte superior donde se encuentra la barra de herramientas, la segunda área esta debajo de la barra de herramientas a su lado izquierdo y muestra el orden de las señales que se visualizaran, por último la tercera área se encuentra del lado derecho y contiene las señales simuladas, las cuales pueden representarse en distintos formatos. Las primeras señales se representan en formato binario, pero las últimas 3 señales se simulan ya como señales analógicas, debido a la capacidad del simulador de representarlas después del proceso de un convertidor digital-analógico.

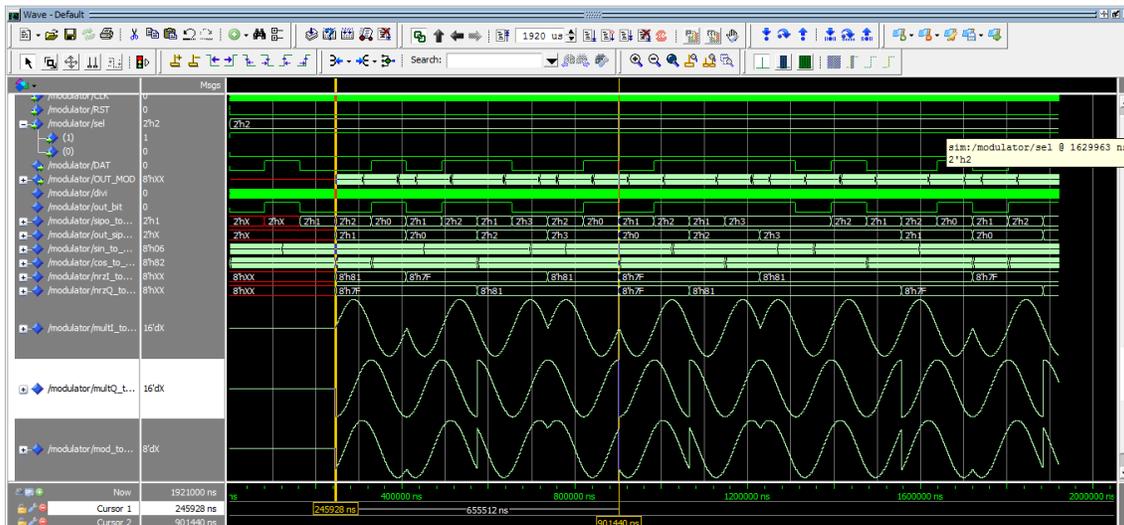


Figura 5.1 Simulador ModelSim

Para comprobar el funcionamiento de la implementación física del modulador en el FPGA es conveniente comparar sus resultados con su los resultados de la simulación. Durante los siguientes puntos se analizaran los resultados de cada canal del modulador y por último la modulación QPSK para corroborar que funcione como se tenía esperado.

5.1.2 Implementación física del modulador QPSK

5.1.2.1 FPGA Tarjeta de desarrollo

Debido a la gran ventaja que representan los lenguajes de descripción como VHDL respecto a la independencia de implementación en FPGA, se puede implementar nuestra arquitectura en cualquier otro dispositivo FPGA que cuente con la capacidad para describir la arquitectura. Para este trabajo en específico, se utilizó una tarjeta de Xilinx, en específico el FPGA Spartan 3E starter board. Esta tarjeta tiene entre sus principales características las siguientes:

- Xilinx Spartan-3E XC3S500E FPGA
 - Hasta 232 pines de entrada/salida
 - 320 pines paquete FBGA
 - Más de 10.000 celdas lógicas
- Configuración PROM plataforma flash 4 Mbit
- Xilinx 64 macroceldas XC2C64A CoolRunner CPLD
- 64 MBytes (512 Mbit) de DDR SDRAM
- 16 Mbytes (128 Mbit) de forma paralela NOR Flash (Intel StrataFlash)
 - almacenamiento de configuración FPGA
- 16 Mbits de SPI Flash serie (STMicro)
 - almacenamiento de configuración FPGA
- Pantalla LCD de 16 caracteres de 2 líneas
- Puerto VGA
- 10/100 Ethernet PHY (requiere Ethernet MAC en FPGA)
- Dos RS-232 de 9 pines (DTE- y de estilo DCE)
- Reloj oscilador de 50 MHz

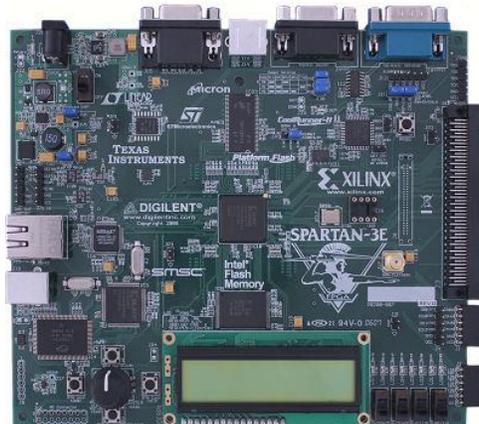


Figura 5.2 Tarjeta Spartan 3E Starter Board de Xilinx

5.1.2.2 Convertidor Digital –Analógico

Un convertidor Digital – Analógico es un dispositivo para convertir un código digital a una señal analógica. Hay distintos componentes que pueden intervenir en este proceso como interruptores simples, condensadores, red de resistores, etc. Realiza el proceso inverso de un convertidor analógico – digital (ADC, por sus siglas en ingles).

Los principales parámetros que definen un convertidor digital analógico, son su resolución, que depende del número de bits de entrada del convertidor. Otra característica es la posibilidad de conversión unipolar o bipolar. Este tipo de dispositivos son muy utilizados en audio, ya que la mayoría de estos archivos se almacenan en forma digital, para poder ser escuchados a través de bocinas deben ser convertidos en forma analógica. Lectores de CD, reproductores digitales, tarjetas de sonido son algunas de sus aplicaciones más comunes.

Para visualizar las señales de la modulación, en forma analógica, se utilizó un DAC de National Instruments DAC0800 de 8 bits de resolución.

El DAC representa su salida mediante el siguiente código binario con 8 bits al trabajar con la referencia a 5 [V] en la tabla 5.1, sin embargo esta referencia puede variar mientras se mantenga en el rango de voltajes del DAC.

Tabla 5.1 Representación binaria del DAC

Voltaje	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
+5.00	0	0	0	0	0	0	0	0
+4.96	0	0	0	0	0	0	0	1
+0.040	0	1	1	1	1	1	1	1
0.000	1	0	0	0	0	0	0	0
-0.040	1	0	0	0	0	0	0	1
-4.92	1	1	1	1	1	1	1	0
-4.96	1	1	1	1	1	1	1	1

Su configuración se puede obtener de su hoja de especificaciones t en la pagina del distribuidor y se muestra en la figura 5.3

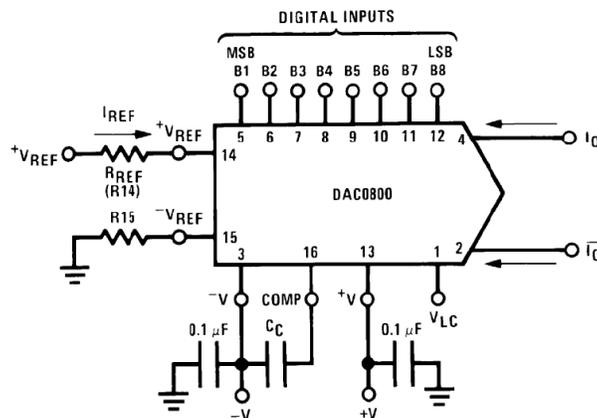


Figura 5.3 Configuración del DAC

5.1.2.3 Diagrama de Conexiones

El diagrama de conexiones entre los dispositivos se puede ver en la Figura 5.4. El osciloscopio que se utilizó fue el X-2002A de la empresa KEYSIGHT el cual permite exportar imágenes, las cuales se verán más adelante. El diagrama muestra una fuente de alimentación a 5 [V] la cual se conecta a una protoboard con el DAC. Se requirieron dos canales de la fuente para generar las referencias de voltaje con las que trabaja el DAC. Las conexiones de tierra entre el osciloscopio, el DAC y la fuente se representan en color negro.

El FPGA genera dos señales, la primera es una secuencia de bits, la cual se observa con una línea amarilla que va directamente al osciloscopio, esta señal representa los bits que se mandan al modulador, es importante visualizarla para poder compararla con la otra señal que se verá en el osciloscopio, que es la señal modulada, de esta forma se corroborara el funcionamiento del modulador. Esta secuencia de bits se implementó para las pruebas del modulador, sustituyendo a los bits de información que tendrían que llegar de una fuente externa al modulador, es una secuencia de 16 bits que se repiten durante todo el proceso.

La segunda señal que genera el FPGA, como se mencionó, es la señal modulada, esta señal está representada en bits, por lo que para poder visualizar las formas de onda QPSK, es necesario utilizar el convertidor digital a analógico. Esta señal está representada en color verde, la cual pasa al DAC, posteriormente se envía al osciloscopio.

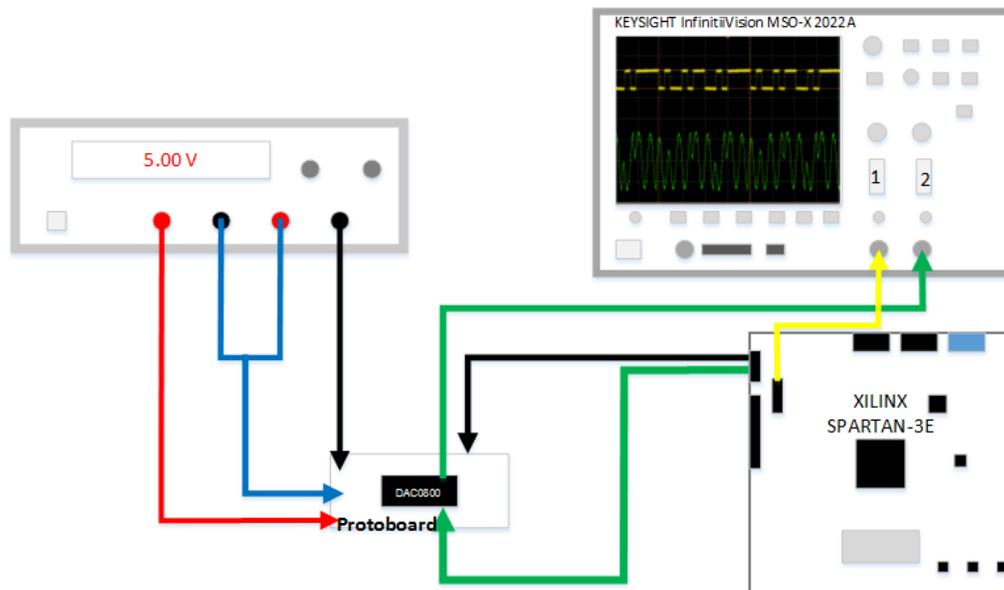


Figura 5.4 Diagrama de conexiones para el Modulador QPSK

5.1.2.4 Parametros de la simulacion

La frecuencia de reloj del FPGA es la siguiente:

$$f_{clk} = 50 \text{ MHz} \quad (5.1)$$

$$f_c = \frac{f_{clk}}{n} = \frac{50 \text{ MHz}}{128} = 390 \text{ kHz} \quad (5.2)$$

Donde f_c es la frecuencia de la portadora máxima en el FPGA que se utilizó, donde n es el número de muestras de la función seno y coseno en el LUT del NCO.

El DAC utilizado se seleccionó debido a su resolución de bits (8 bits), que se adaptaba a la que se trabajó en la modulación QPSK, además de poder representar las señales en formato signado, así como su bajo costo y disponibilidad.

Para trabajar en la frecuencia de operación del DAC, se redujo la velocidad del reloj del FPGA con un divisor de frecuencia por lo que la nueva frecuencia de la portadora f_c se representa en la ecuación 5.3. Cabe señalar que se podría utilizar un DAC de más alta frecuencia de operación, pero debido a la facilidad para poder cambiar la frecuencia del reloj en el FPGA, se prefirió hacer esto. El factor de 64, debido a las condiciones del experimento (DAC), se escogió en base a los resultados experimentales, donde se pudo observar detalladamente las ondas senoidales desfasadas. Para trabajar a frecuencias más altas es necesario cambiar el DAC por uno de mayor tiempo de respuesta.

$$f_{c_sim} = \frac{f_c}{64} = 6.103 \text{ kHz} \quad (5.3)$$

Con la finalidad de observar a detalle el cambio de símbolo en la modulación QPSK, se ajustó el tiempo de bit T_B a la mitad de un ciclo de la portadora, de este modo por cada par de bits, se verá un ciclo completo de la senoidal modulada, esto ayudara al analisis y validacion del modulador. Por lo tanto el T_B será:

$$T_B = \frac{1}{2 * f_{c_sim}} = \frac{1}{2 * 6.103 \text{ kHz}} = \frac{1}{12.207 \text{ kHz}} = 81.92 \text{ } \mu\text{s} \quad (5.4)$$

Por lo que la tasa de bits (R) estara dada por el inverso del tiempo de bit.

$$R = \frac{1}{T_B} = \frac{1}{81.92 \text{ } \mu\text{s}} = 12.207 \left[\frac{\text{kbits}}{\text{s}} \right] \quad (5.5)$$

5.1.3 Simulaciones e implementación

5.1.3.1 Simulación del canal I

La figura 5.5 representa una simulación del canal I en el proceso de modulación, la cadena de bits a modular se pueden ver en color blanco en la imagen, estando subrayados los que modulan el canal I. El primer bit del canal I es un “1” por lo que la señal modulada es una señal seno de fase 0°. El siguiente bit que se modula es un 0, por lo que el canal I desfasa la senoidal 180°, con referencia al NCO.

Durante la simulación, se observa que la modulación tarda 3 T_b (tiempo de bit) en comenzar a modular, esto sucede debido a los registros de desplazamiento SIPO y PIPO como se explicó en el capítulo 4. Después de ese lapso de tiempo la modulación responde

correctamente. En el primer recuadro amarillo de la figura se señala el primer par de bits que se modularan, el segundo recuadro señala la modulación del canal I.

Para verificar los tiempos de simulación se pueden utilizar marcadores, las líneas amarillas de la simulación muestran el tiempo en determinado lapso. Para el canal I se seleccionó un lapso de 4 senoidales a la salida de la modulación, resultando en un tiempo total de 662 379 [ns], es decir que una senoidal completa tendría un tiempo de 165 [us] aproximadamente, debido a las herramientas de medición. Esto coincide con 2 tiempos de bit, que es lo que se esperaba de los cálculos.

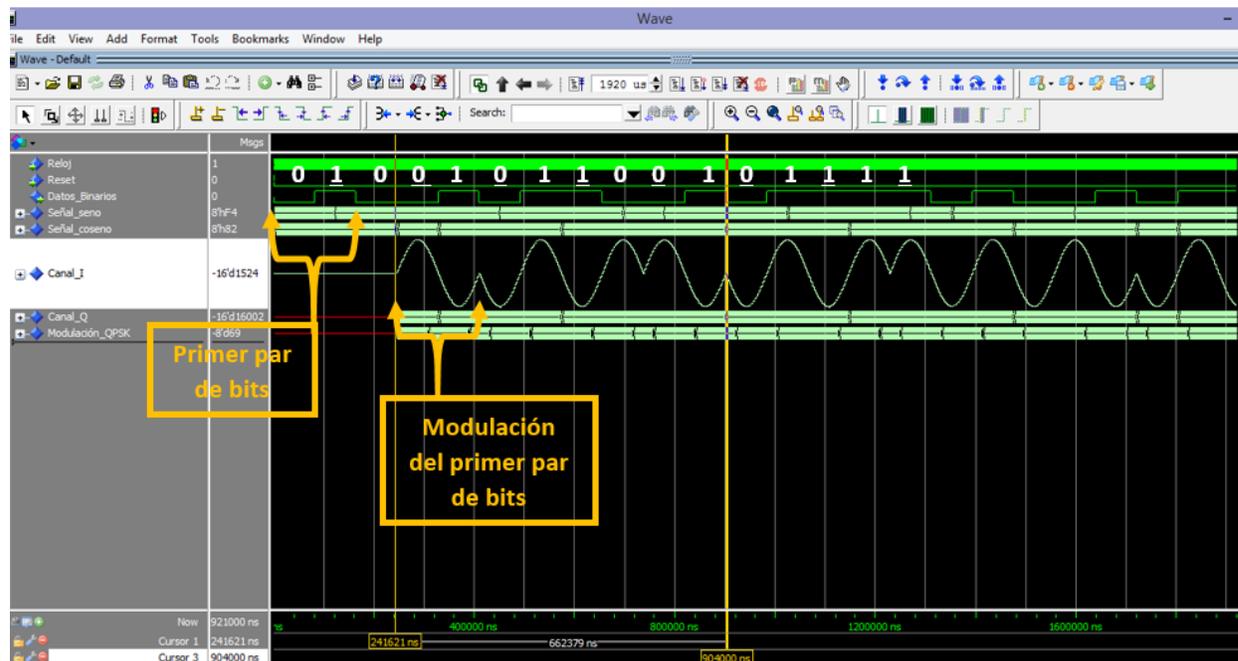


Figura 5.5 Simulación canal I

La figura 5.6 representa el canal I implementado en el FPGA, visto desde el osciloscopio. En esta se observa la misma secuencia de bits que se trabajó en la simulación. De igual forma se señaló el par de bits inicial, así como la señal senoidal correspondiente a este. Se puede ver que también se atrasa la modulación $3 T_b$ respecto a la entrada de los bits. En cuanto a los tiempos de duración de la modulación, también se seleccionó el lapso de 4 senoidales completas, resultando un tiempo de 662 [us], por lo que una senoidal completa tiene un tiempo de aproximadamente 165 [us], que es lo que se esperaba de la simulación. En cuanto al comportamiento de la señal modulada, también se obtiene el resultado esperado, ya que los 1 lógicos de la trama de bits resultan en una senoidal con 0° de desfase y para los 0 lógicos, el desfase es de 180° , en base a la referencia del NCO.

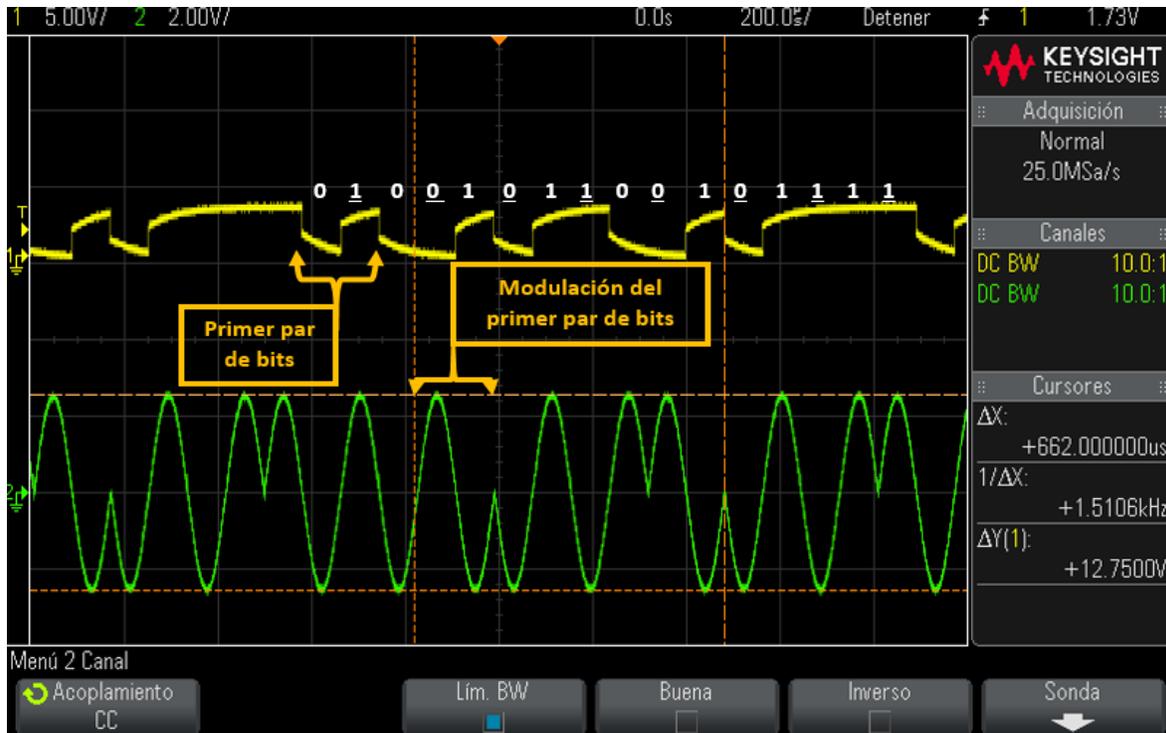


Figura 5.6 Implementación canal I

Resultados canal I

Parámetro	Cálculos	Tiempo de simulación	Tiempo de implementación
4 senoidales completas	655.36 us	662.379 us	662 us
1 senoidal completa	163.84 us	165.5 us	165.5 us
Error aproximado		1%	1%

5.1.3.2 Simulación del canal Q

En este canal, se trabajó con la misma secuencia de bits que en el canal I, para analizar su comportamiento. La cadena de bits se puede ver en color blanco, donde de igual forma los bits de interés en dicho canal, están subrayados, es decir los bits impares. El primer bit que modula el canal Q es un “0”, por lo que a su señal original en cuadratura, una señal coseno, se desfasa en 180° . Hasta el 3er bit impar, recibe un “1” por ello la señal se desfasa 180° respecto al bit anterior y entrega una señal coseno sin desfase.

Para este canal, la señal modulada también se retrasa $3 T_b$ respecto a la secuencia de bits de entrada, debido a los registros de desplazamiento. En cuanto a los tiempos de bit esperado, los marcadores del simulador, en este caso señalaron un lapso de 8 senoidales completas, donde el tiempo que se obtuvo fue de $1\,306\,880$ [ns], que dan un tiempo de una senoidal completa aproximado de 163 [us], que es el tiempo esperado de los cálculos.

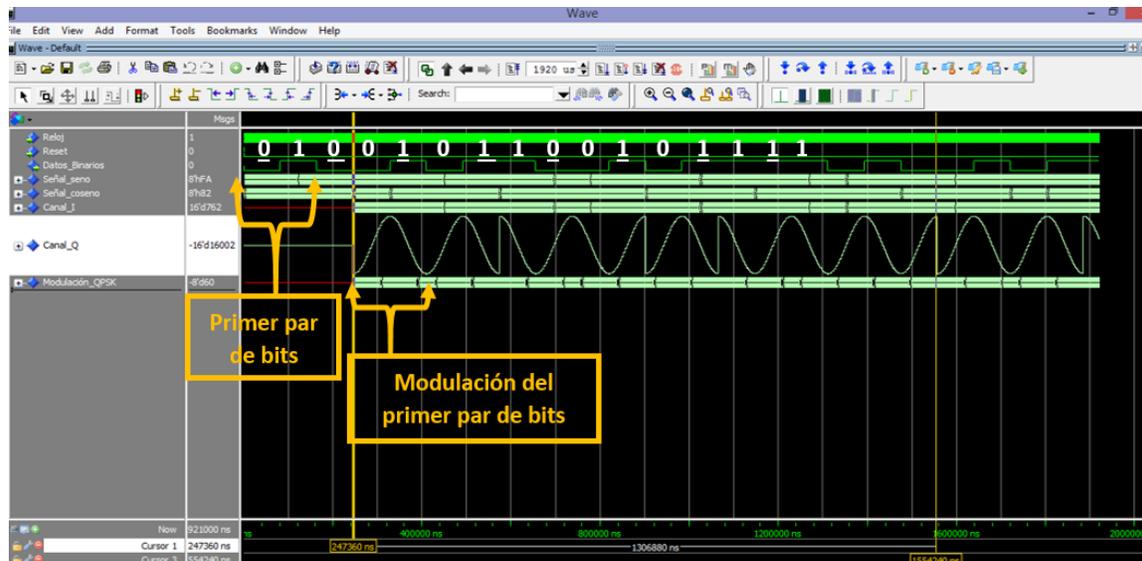


Figura 5.7 Simulación canal Q

La figura 5.8 muestra la implementación del canal Q, donde al igual que en la simulación, se trabajó la misma secuencia de bits de entrada. Se observa que la modulación se retrasa 3 Tb respecto a la entrada, que es lo que se esperaba de la simulación. Además se observa que el modulador responde correctamente para los bits de entrada, ya que en el primer bit que modula, un 0, la señal en cuadratura, es decir la señal coseno, se desfasa 180° , en cambio en un 1 de entrada, la señal coseno no tiene desfase.

En cuanto a los tiempos de bit, para este caso también se seleccionaron 8 senoidales con los marcadores, donde el tiempo que se obtuvo fue de 1.30 [ms], como se ve en la parte derecha de la imagen, por lo que el tiempo de una senoidal es aproximadamente de 162 [us], que es el valor esperado como en la simulación y los cálculos, por lo que se concluye que funciona correctamente.

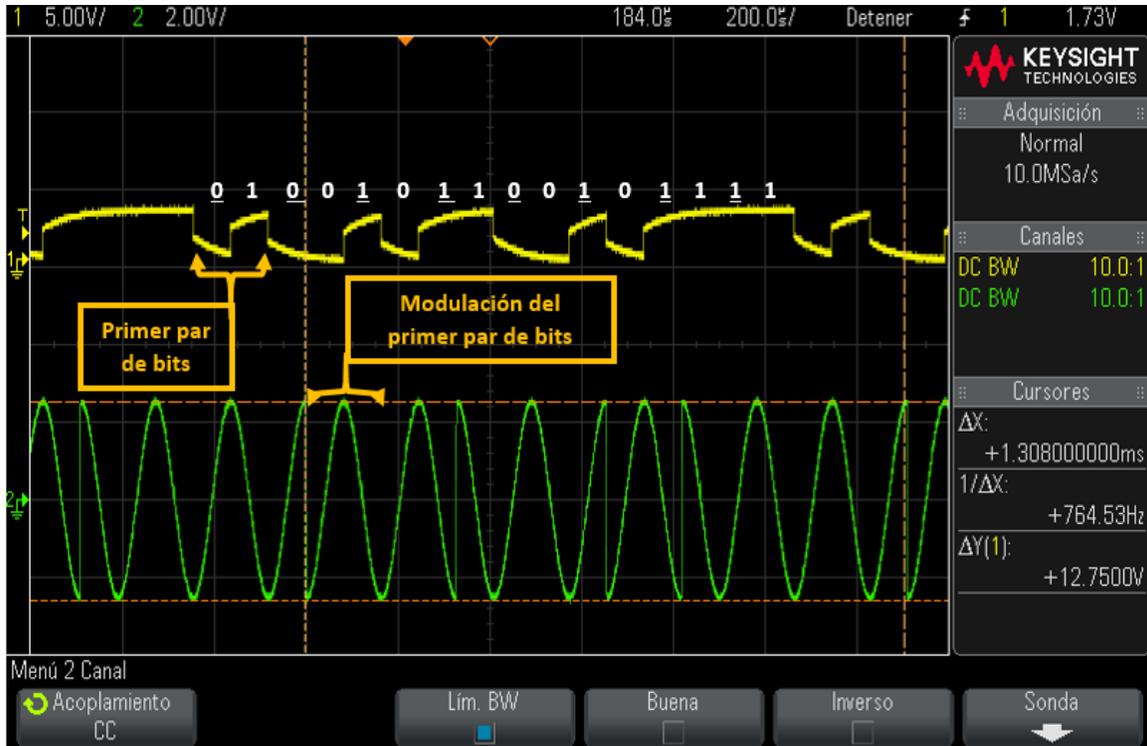


Figura 5.8 Implementación canal Q

Resultados canal Q

Parámetro	Cálculos	Tiempo de simulación	Tiempo de implementación
8 senoidales completas	1 310 us	1 306 us	1 300 us
1 senoidal completa	163.84 us	163.25 us	162.5 us
Error aproximado		0.3 %	0.8 %

5.1.3.3 Simulación de la modulación QPSK

Por ultimo tenemos la simulación de la señal QPSK, en la figura 5.9. Para esta se trabajó con la misma secuencia de bits de los canales I y Q, la cual se representa en color blanco. Para esta simulación se tienen 3 señales analógicas, a diferencia de las primeras simulaciones donde solo se tenía 1. La primera señal analógica que se observa es el canal I, el cual es modulado por los bits pares de la secuencia de entrada. La segunda señal es el canal Q modulado por los bits nones de la secuencia de entrada. Por último, la tercera señal es la modulación QPSK final.

La modulación QPSK se retrasa 3 Tb respecto a los bits de entrada, también por los registros de desplazamiento. En esta señal, se pueden observar las 4 fases posibles de QPSK, según la secuencia de bits que se mande.

De igual forma, se utilizaron los marcadores del simulador para corroborar los tiempos de bit de la modulación. Se seleccionaron 8 senoidales resultando en un tiempo de 1 306 880

[ns], por lo que el tiempo de una senoidal completa sería de 163 [us] aproximadamente, el cual es el esperado en los cálculos.

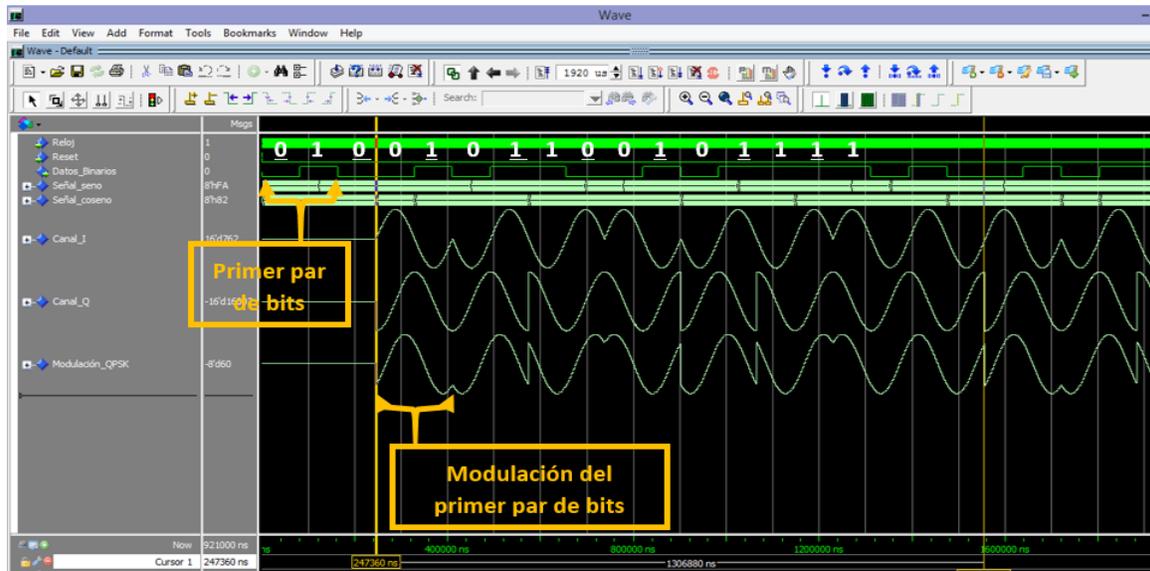


Figura 5.9 Simulación modulación QPSK

La implementación en el FPGA del modulador se observa en la figura 5.10. En esta se trabajó con la misma secuencia de bits que en la simulación. Se puede observar que la modulación se retrasa los 3 Tb esperados, además de notarse las 4 diferentes fases referentes de QPSK. Los recuadros amarillos indican el inicio de la secuencia de bits, así como el de modulación. En cuanto a los tiempos de bits, también se utilizaron los marcadores del osciloscopio para medirlos, se seleccionaron 8 senoidales completas, resultando en un tiempo de 1.31 [ms], lo que resulta en un tiempo de 163 [us] por senoidal aproximadamente, que es lo esperado en la simulación y los cálculos.

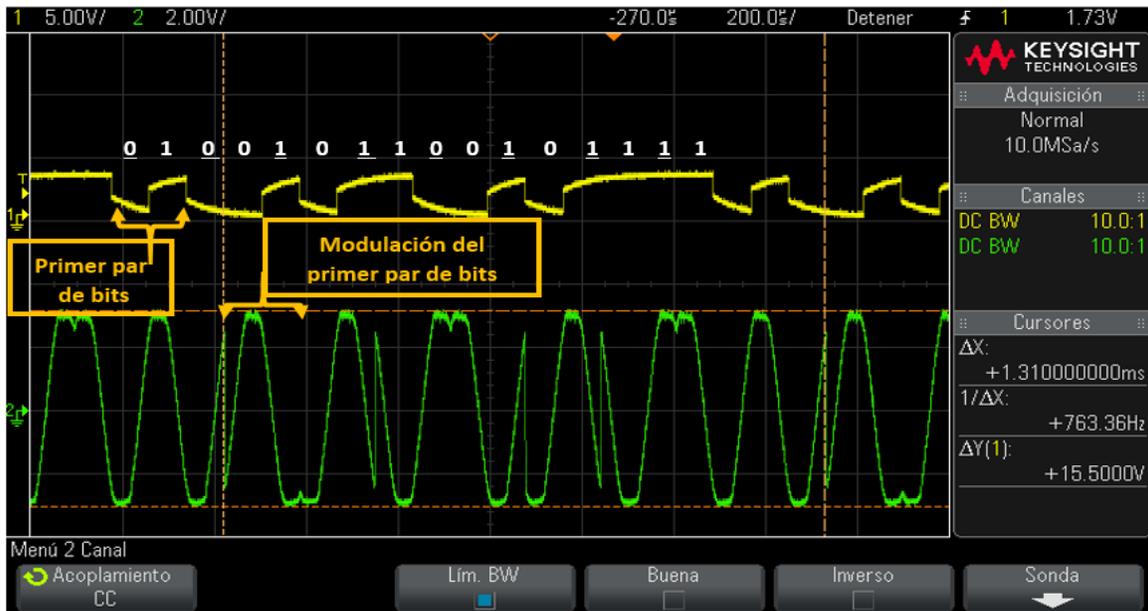


Figura 5.10 Implementación modulación QPSK

Al observar los resultados obtenidos, se puede ver que los tiempos entre simulación e implementación son casi idénticos, con un porcentaje promedio de error menor al 1%, la variación de alguno puede ser ocasionada a que los marcadores del simulador y del osciloscopio no pueden ser tan precisos por la resolución que trabajan, pero no afectan significativamente. En general se cumplió satisfactoriamente con la implementación por lo que se concluye que el modulador trabaja correctamente. Cabe aclarar que el tiempo de retraso que se da entre la entrada de los bits y la modulación no se puede reducir, ya que los registros de desplazamiento necesitan esperar la llegada del bit para trabajar, por lo que el diseño del modulador está trabajando en su funcionamiento óptimo.

Resultados modulación QPSK

Parámetro	Cálculos	Tiempo de simulación	Tiempo de implementación
8 senoidales completas	1 310 us	1 306 us	1 310 us
1 senoidal completa	163.84 us	163.25 us	163.75 us
Error aproximado		0.3 %	0.05 %

Gracias a la independencia que ofrece VHDL, el modulador puede ser implementado en cualquier FPGA, además se permite la reconfiguración necesaria para trabajar a las tasas de transmisión para enlaces satelitales.

5.1.3.4 Recursos utilizados del FPGA

El programa de Xilinx, ofrece la posibilidad de observar el consumo de recursos del FPGA debido al programa que se esté implementando. En la figura 5.11 en la segunda tabla de la derecha, podemos observar distintos componentes del FPGA, cuantos tiene disponibles de cada uno y cuantos utilizo nuestra aplicación, dándonos un porcentaje.

Se observa que a pesar de los distintos módulos diseñados para el modulador, no se ocupó ni un 10 % general de los recursos disponibles del FPGA utilizado. Esto da la dimensión del potencial de un FPGA y todo lo que se puede hacer con ellos.

The screenshot shows the Xilinx ISE Project Navigator interface. The Design Summary window is open, displaying the following information:

MODULATOR Project Status (07/03/2015 - 00:14:37)

Project File:	ModulatorQPSK.xise	Parser Errors:	No Errors
Module Name:	MODULATOR	Implementation State:	Synthesized
Target Device:	xc3s500e-fg320	Errors:	No Errors
Product Version:	ISE 14.1	Warnings:	5 Warnings (0 new)
Design Goal:	Balanced	Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	
Environment:	System Settings	Final Timing Score:	

Device Utilization Summary (estimated values)

Logic Utilization	Used	Available	Utilization
Number of Slices	85	4656	1%
Number of Slice Flip Flops	42	9312	0%
Number of 4 input LUTs	159	9312	1%
Number of bonded IOBs	13	232	5%
Number of MULT18K18SIOs	2	20	10%
Number of GCLKs	2	24	8%

Detailed Reports

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report	Current	vie. 10. Jul. 23:10:44 2015	0	5 Warnings (0 new)	1 Info (0 new)
Translation Report	Out of Date	vie. 3. Jul. 12:50:04 2015	0	0	0

Figura 5.11 Tabla de recursos utilizados en el FPGA

5.2 Demodulación

Para comprobar los resultados del demodulador, es necesario enviar datos a través del modulador, este proceso se simulo en ModelSim, ya que al trabajarse señales únicamente en banda base es posible realizarse de esta manera.

5.2.1 Modem QPSK

Para poder observar el correcto funcionamiento del modulador como del demodulador, es necesario vincularlos, en la figura 5.12 se observa la arquitectura de un modem (modulador – demodulador).

En un primer nivel de abstracción se tienen 3 entradas, las cuales corresponden al reloj, los datos binarios y el reset del sistema, a la salida se obtienen los datos demodulados.

En un nivel más alto de abstracción se pueden observar dos bloques, que corresponden al modulador y demodulador respectivamente. Los bloques comparten un reloj y un reset común. Entre ellos existe una línea de comunicación, la cual es la señal modulada a la salida del modulador, que es a su vez, la entrada de datos al demodulador.

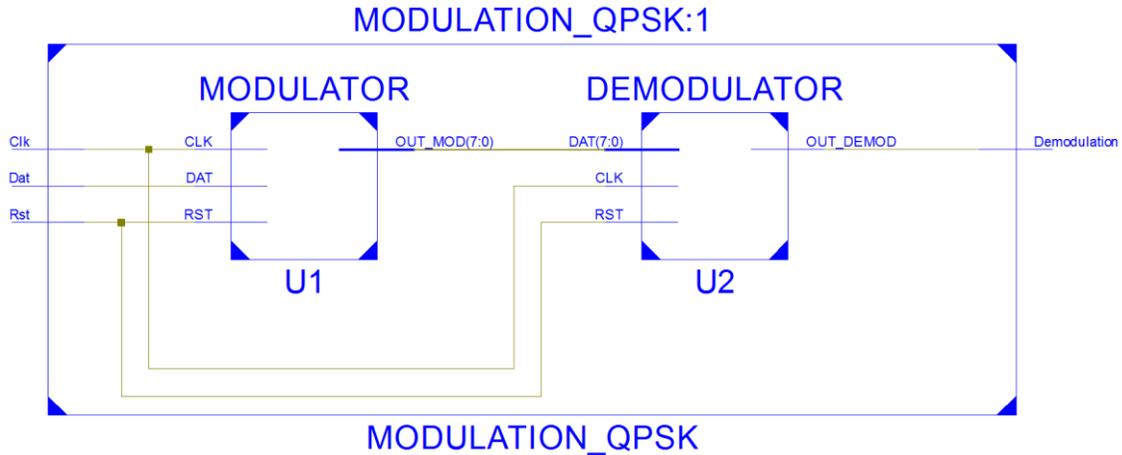


Figura 5.12 Arquitectura del Modem QPSK

5.2.2 Consumo de recursos del filtro

Como se explicó en el capítulo 4, mientras el orden del filtro aumente, mayores recursos del FPGA consume, en la figura 5.13, podemos observar el funcionamiento de un filtro de orden 15. Estos recursos comparados con los del modulador, son significativamente mayores ya que están cerca de un 50 % del FPGA.

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slices	2415	4656	51%
Number of Slice Flip Flops	666	9312	7%
Number of 4 input LUTs	4011	9312	43%
Number of bonded IOBs	4	232	1%
Number of GCLKs	1	24	4%

Figura 5.13 Recursos ocupados para un modulador con filtro de orden 15

En la figura 5.14 se observan los recursos consumidos por el demodulador con un filtro de orden 20, estos son considerablemente mayores a los de la figura anterior, cerca de un 20 % de los recursos del FPGA utilizado, aunque este valor puede variar entre distintos FPGA, pero manteniendo esta tendencia. Por ello la importancia de crear un filtro óptimo para la aplicación donde se tenga una probabilidad de error baja con el menor consumo de recursos posible.

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slices	3807	4656	81%
Number of Slice Flip Flops	826	9312	8%
Number of 4 input LUTs	6349	9312	68%
Number of bonded IOBs	4	232	1%
Number of GCLKs	1	24	4%

Figura 5.14 Recursos ocupados para un demodulador con filtro de orden 20

5.2.3 Resultados del demodulador

En la figura 5.15, se observan distintos pasos del proceso de demodulación a través del simulador ModelSim. De lado izquierdo de ésta, se pueden observar los nombres de las señales, de lado derecho las señales representadas en diversos formatos, dependiendo de la forma que se pueda analizar mejor. La señal a) representa el reloj del FPGA con el que se trabajó. La señal b) son los datos binarios que se modularán, la señal c) son los bits a la salida del demodulador.

Para la demodulación se trabajó una frecuencia de portadora más alta que la frecuencia de la señal moduladora, con la finalidad ejemplificar lo más posible este proceso en la realidad, contrario al caso de la modulación donde lo que se pretendía era explicar detalladamente los pasos de esta y por esta razón la frecuencia de portadora y moduladora cercanas.

La primer señal analógica que se observa, con la letra d), representa la señal modulada QPSK que entra al demodulador. Para este ejemplo en particular, cada par de bits modula una senoidal que logra completar 10 periodos. Al siguiente par de bits, la modulación se desfasa, este desfase depende del par de bits que se envía por el modulador.

En la letra e) se representa el producto de la señal modulada por la señal seno del NCO del demodulador, proceso realizado con la finalidad de obtener un mejor resultado para el filtro, trasladando la frecuencia de la portadora más lejos de la frecuencia de la moduladora, lo que permite filtrar mejor la frecuencia baja de esta, esto permite recuperarla con menos interferencias permitiendo una mejor detección. Este proceso ejemplifica al canal I, para el funcionamiento del canal Q, sucede un proceso muy similar, este se representa en la letra f). Se observa que para la señal e, el bit que modula al canal I, cambia, modificando el comportamiento de la señal, en cambio el canal Q en la señal f) se mantiene igual durante dos pares de bits, ya que el bit que representa dicho canal se repite. Estos cambios son los que se detectan y ayudan a demodular la señal QPSK.

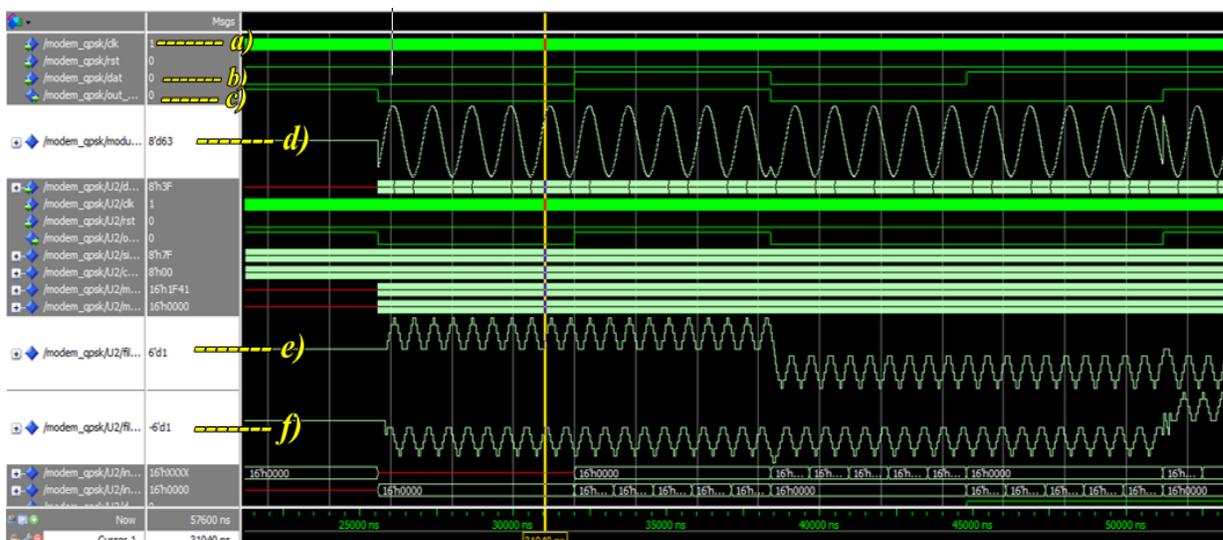


Figura 5.15 Procesos de la demodulación a) Reloj b) Bits de entrada c) Bits de salida d) Señal modulada e) Salida del filtro canal I f) Salida del filtro canal Q

En la figura 5.16, se observa el listado de los principales procesos de la demodulación, los cuales se presentaron en la implementación de este, en el capítulo 4. En esta figura, se puede destacar el proceso de detección en los canales I y Q, los cuales son las primeras dos señales que comienzan en azul sus procesos. Durante este proceso, se mantiene el valor detectado durante 2 Tb, ya que una vez que el modulador sabe si representa un 1 o 0 lógico, este valor se multiplexa y se muestra al final del proceso de demodulación. La última señal de la figura es la señal QPSK demodulada.

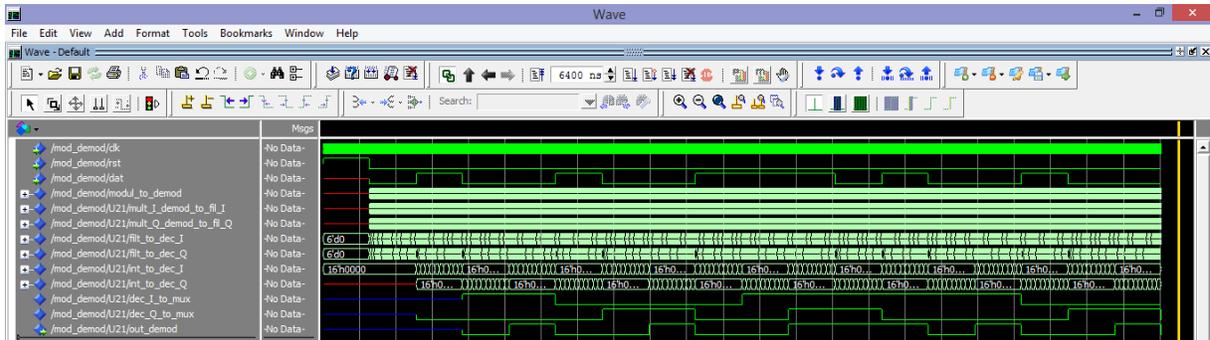


Figura 5.16 Proceso de detección en la demodulación

En la figura 5.17, se muestra las 4 señales más importantes del proceso de demodulación, la primera señal es el reloj del FPGA, la segunda el reset del sistema, la tercera es la señal de bits que se manda por el modulador, por último la señal demodulada.

En esta figura se observa que el demodulador está funcionando correctamente, el cual tiene un retraso con respecto de los bits que se envían de 2 Tb, este tiempo se debe a los diversos procesos que realiza el demodulador, principalmente al proceso del integrador, el cual debe esperar para sumar las muestras que recibe y enviar el resultado al detector que decide si es un 1 o un 0.

Para esta simulación el Tb fue de 6400 ns, donde el ciclo de reloj era de 10 ns, por lo que los 3 ciclos de reloj de retraso que se observaban en el modulador, en este caso son imperceptibles, y solo contribuyen al retraso de los bits de demodulación los factores antes mencionados.

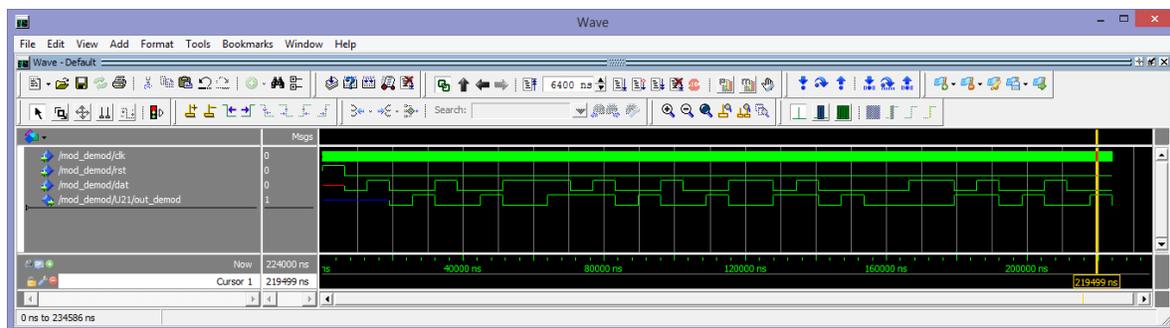


Figura 5.17 Comparación entre bits enviados y bits demodulados

Capítulo 6 Conclusiones y trabajo a futuro

6.1 Conclusiones

Durante este trabajo se propuso la arquitectura de un modulador y demodulador digital QPSK, los cuales se describieron en hardware mediante VHDL, simulados en ModelSim e implementados en un FPGA Spartan 3E starter board de Xilinx, validando su funcionamiento, ya que las formas de onda de la modulación QPSK se desfazaron los 90° correspondientes al par de bits enviados, así como una demodulación donde se recupera la trama de bits enviados. De esto se llega a las siguientes conclusiones:

- La arquitectura del modulador como el demodulador QPSK puede ser implementada en cualquier FPGA, sin importar el fabricante, debido a la independencia que ofrece el estándar de HDL.
- El tiempo de retardo en la arquitectura del modulador QPSK de 2 Tb, no puede ser reducido debido al funcionamiento característico de los registros.
- El retardo en el demodulador debido al proceso de integración no puede ser reducido, ya que necesita ser calculado para poder realizar el proceso de detección, siendo característico del sistema.
- El modulador como el demodulador QPSK son flexibles, donde la frecuencia del reloj del sistema, determinarán la velocidad del procesamiento de este.
- Gracias a la reconfiguración que permite VHDL, el modulador puede implementar las tasas de transmisión del diseño del enlace calculado en el capítulo 3, únicamente modificando la señal de reloj de entrada.
- El demodulador también se puede reconfigurar para trabajar a otras tasas de transmisión, sin embargo, los filtros deberán ser calculados para las nuevas frecuencias.

En general, se logró un trabajo que cumpliera con el objetivo del radio definido por software, donde tanto el modulador como el demodulador se diseñaron para poder ser adaptables y reconfigurables para un ambiente que necesita un alto grado de flexibilidad y tolerancia a fallas, como lo es el ambiente espacial.

6.2 Trabajo a futuro

Para mejorar la arquitectura del modulador QPSK se recomienda:

- Aumentar el número de muestras en las tablas LUT si se desea obtener una mayor precisión en las señales.
- Utilizar un DAC con un mejor tiempo de respuesta para la implementación.

Para mejorar la arquitectura del demodulador QPSK se recomienda:

- Crear un módulo que recupere la señal portadora transmitida con el fin de sincronizar la fase en la demodulación.

- Aumentar el número de muestras en las tablas LUT si se desea obtener una mayor precisión en las señales.
- Mejorar los filtros utilizados para evitar los warnings obtenidos por la sincronización de los coeficientes.

En general se recomienda integrar etapas en el sistema de comunicaciones como codificación de fuente y de canal, para mejorar el rendimiento de este.

Referencias

- [1] Kenington P. B . Emerging technologies for software radio . Electronics & Communication Engineering Journal April 1999.
- [2] Srikanteswara S , et al . An overview of configurable computing machines for software radio handsets . IEEE Comm. Magazine July 2003.
- [3] <http://www.nasa.gov/vision/earth/technologies/SoftwareDefinedRadio.html>
- [4] <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7119186>
- [5] http://www.nasa.gov/sites/default/files/696855main_Pres_Future_of_Space_Communications_SGC_2012.pdf
- [6] <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6704456>
- [7] <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5407349>
- [8] Maxínez, David; Alcalá, Jessica. VHDL El arte de programar sistemas digitales. Editorial Continental. Primera edición. México, 2002
- [9] Howard, J. W., Spacecraft Enviroments Interactions: Space Radiation and Its Effects on electronic Systems, NASA, 1999.
- [10] Alvarado Zaragoza, M. A. 2013. Implementación en FPGA de un modulador digital GMSK. Tesis Ing. U.N.A.M. F.I.
- [11] Sklar, Bernard. Digital Communications Fundamental and applications. Ed Prentice Hall, second edition. U. S. A., 2001.
- [12] Chitode. S. Digital communications. Ed Technical Publications Pune. 2007. India.
- [13] Stremmler G., Ferrel, Introducción a los sistemas de comunicaciones, 3ra edición.
- [14] ECSS-E-ST-50-05C Rev. 2, 4 Octubre 2011
- [15] Reglamento de Radiocomunicaciones, Edición de 2012
- [16] NASA/TP–2014–216648/REV