



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

**REGULACIÓN DE VOLTAJE EN
REDES DE DISTRIBUCIÓN
MEDIANTE CONVERTIDORES
ELECTRÓNICOS DE
POTENCIA**

TESIS

Que para obtener el título de
INGENIERO ELÉCTRICO-ELECTRÓNICO

P R E S E N T A

JESÚS EDUARDO GUIÉRREZ CÓRDOVA

DIRECTOR DE TESIS

Dr. MARIO ROBERTO ARRIETA PATERNINA



Ciudad Universitaria, Cd. Mx., 2023

Por los que estuvieron, están y seguirán estando.

AGRADECIMIENTOS

A mi madre, motor para ser mejor persona y actuar siempre con honor y a mi padre cuyas enseñanzas siguen y seguirán mostrándome los frutos del esfuerzo.

A todos aquellos que han impulsado mi vida personal y profesional dentro y fuera de las aulas de clase. No solo han confiado en mí, sino me hicieron creer en mí mismo.

Por su puesto agradecer de forma muy especial al Dr. Mario Arrieta Paternina por su guía, entrega y dedicación durante la realización de esta tesis.

Finalmente, quiero agradecer a la UNAM, en especial agradezco a la formación inculcada en la Facultad de Ingeniería.

SÍNTESIS

La implementación de sistemas fotovoltaicos y cargadores de vehículos eléctricos involucra un reto en la modernización de las redes de distribución. Al ser de capacidad limitada y de tiempo prolongado de actualización y/o modernización se tienen que optar por nuevas técnicas donde la principal meta es la calidad del servicio entregado ante escenarios de fallas y sobrecargas en la red de distribución. En la presente tesis se aplican métodos de inyección de potencia reactiva a una red de distribución de 13 nodos de la IEEE. Los cargadores de vehículos eléctricos y sistemas de baterías ahora actuarán para compensar la red. Mediante un VSC (*Voltage Source Converter*) la señal CD se convierte a CA, se filtra y finalmente se inyecta a la red mediante los parámetros dados por el operador de la red en ese momento. A lo largo de la presente tesis se muestra el comportamiento satisfactorio de un método el cual permite usar los cargadores de vehículos eléctricos hacia la red (V2G) para compensar perfiles de voltaje bajo escenarios de falla y de sobrecarga en una red de distribución a nivel de simulación. Como primera etapa se simula un VSC trifásico y posteriormente se implementan flujos de potencia en SIMULINK para observar el comportamiento en los escenarios del sistema nominal, con falla y sobrecarga y controlado. Por otra parte un prototipo a escala es implementado para mostrar que es factible la conversión de CD a CA mediante un VSC de medio puente implementando MOSFETs. Con los resultados propuestos se abre al debate futuro de la implementación a una escala de distribución para el uso de Buses de CD para la mejora continua de la calidad del servicio eléctrico.

PALABRAS CLAVE

Sistemas fotovoltaicos, cargadores de vehículos eléctricos, modernización sistemas de distribución, calidad de servicio, fallas y sobrecargas, sistema de distribución de 13 nodos IEEE, VSC, compensaciones de voltaje, VSC de medio puente, MOSFETs, flujos de potencia,

ÍNDICE

1	INTRODUCCIÓN	11
1.1	Estado del Arte	11
1.2	Definición del Problema.....	11
1.3	Hipótesis	12
1.4	Objetivo	13
1.5	Método.....	13
1.6	Resultados esperados.....	13
2	FUNDAMENTOS.....	14
2.1	Inversor de Medio Puente.....	15
2.2	Modulación SPWM	19
2.3	Filtro Paso Bajas.....	25
2.4	Transformada de Clarke y transformada de Park.....	26
i)	Transformada de Clarke Directa.....	26
ii)	Transformada de Clarke Inversa.....	28
iii)	Transformada de Park Directa	28
iv)	Transformada de Park Inversa	29
2.5	Inversores Trifásicos.....	30
2.6	Controladores Automáticos	35
i)	Acción de Control Proporcional (P).....	36
ii)	Acción de Control Integral (I)	36
iii)	Acción de control proporcional-integral (PI).....	37
3	SIMULACIÓN DE UN CONVERTIDOR ELECTRÓNICO DE POTENCIA DEL TIPO VSC	40
3.1	Simulación VSC Monofásica	40
3.2	Simulación VSC Trifásico.....	51
4	PUESTA EN MARCHA DEL PROTOTIPO	63
5	SIMULACIÓN DEL SISTEMA DE DISTRIBUCIÓN DE 13 NODOS	75
5.1	Descripción.....	75
5.2	Simulación en Estado Estable.....	80
i)	Caso base: Modelo sin convertidores, sin falla ni sobrecarga.....	81

ii)	Caso fallado: Modelo sin convertidor, con falla y sobrecarga.....	82
iii)	Caso controlado fallado: Modelo con convertidor, con falla y sobrecarga	84
5.3 Simulación en estado dinámico		88
i)	Caso base: Modelo sin convertidores y sin falla ni sobrecarga.....	89
ii)	Caso fallado: Modelo sin convertidor, con falla y sobrecarga.....	90
iii)	Caso fallado: Modelo con convertidor, con falla y sobrecarga	95
6	PROTOTIPADO DE UN CONVERTIDOR ELECTRÓNICO DE POTENCIA DEL TIPO VSC	101
7	CONCLUSIONES	110
8	REFERENCIAS	112

Tabla 1 Interruptores asociados a la fase de salida del inversor trifásico.....	30
Tabla 2. Parámetros de Simulación del Inversor de Medio Puente Monofásico.....	41
Tabla 3 Mediciones de la onda de voltaje en la carga a la salida del Inversor de Medio Puente con una carga de 20.7Ω conectado a un BUS de 31.7 V CD	50
Tabla 4 Parámetros de Simulación del Inversor de Medio Puente Trifásico	51
Tabla 5 Resultados obtenidos de voltaje y corriente para el inversor de voltaje trifásico ...	56
Tabla 6 Valores obtenidos del prototipo del VSC monofásico con carga de 7.5Ω con su correspondiente figura	67
Tabla 7 Valores obtenidos del prototipo del VSC monofásico con carga de 20.7Ω con su correspondiente figura	71
Tabla 8 Tipos de nodos y sus variables en un sistema eléctrico.....	76
Tabla 9 Descripción Nodal del Sistema de Prueba de 13 Nodos IEEE.....	76
Tabla 10 Niveles de Voltaje en Condiciones iniciales	78
Tabla 11 Valores iniciales de las cargas en el sistema	79
Tabla 12 Descripción de las líneas de distribución	80
Tabla 13 Corrida de flujos de potencia para el Caso 1	81
Tabla 14 Corrida de flujos de potencia para el Caso 2.....	82
Tabla 15 Diferencia angular entre el Caso 1 y Caso 2	83
Tabla 16 Corrida de flujos de potencia para el Caso 3.....	85
Tabla 17 Diferencia angular entre el Caso 1 y Caso 3	86
Tabla 18 Diagrama de Puertos para la controlCARD	103
Tabla 19 Valores ingresados para la configuración del puerto ePWM de la DSP en SIMULINK.....	105
Tabla 20 Señales correspondientes a puerto CON4 de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit.....	109
Tabla 21 Parámetros permitidos por parte de CREE para la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit.....	109

Figura 1 Región de potencia y operación disponible para cargadores (plano P-Q)	12
Figura 2 Inversor de CD a CA.....	15
Figura 3 Inversor de Medio Puente	15
Figura 4 Voltaje instantáneo cuando S_1 se encuentra cerrado	16
Figura 5 Voltaje instantáneo cuando S_2 se encuentra cerrado	16
Figura 6 Corriente de carga altamente inductiva.....	17
Figura 7 Diagrama de tiempos para una comparación entre señal portadora triangular y una referencia constante.	20
Figura 8 Comparación de una señal sinusoidal (señal de referencia) con una triangular (señal portadora) para la generación de apertura y cierre de los interruptores y su voltaje en la salida del inversor de medio puente.	22
Figura 9 Implementación de SPWM mediante bloques en SIMULINK.....	23
Figura 10 Comportamiento SPWM con frecuencia de señal portadora diente de sierra de 250 Hz	24
Figura 11 Inversor trifásico de medio puente.....	30
Figura 12 Diagrama de tiempos para apertura y cierre de cada interruptor de un inversor trifásico de medio puente.....	31
Figura 13 Topología del Inversor Trifásico de Medio Puente.....	33
Figura 14 Salida previa al filtro para un inversor trifásico.....	34
Figura 15 Salida después del filtro de un inversor trifásico	35
Figura 16 Diagrama de bloques de un sistema de control.....	36
Figura 17 PI implementado	37
Figura 18 Implementación de la transformada PMU en Simulink.....	38
Figura 19 Señales de voltaje trifásicos en PU tomadas de la medición en Simulink antes de la transformada PMU	38
Figura 20 Magnitud de la señal de voltaje después de una transformación PMU	39
Figura 21 Inversor Monofásico Simulado en Simulink	41
Figura 22 Etapas en el Inversor Simulado.....	43
Figura 23 Comparación SPWM con frecuencia de diente de Sierra a 10 kHz y onda sinusoidal de amplitud de 3.3 V con 60 Hz.....	45
Figura 24 Modulación SPWM con una frecuencia de 2 kHz.....	46
Figura 25 Comportamiento de voltaje y corriente en la carga con una frecuencia de diente de sierra de 2 kHz y una carga conectada de 20.7 Ω	46
Figura 26 PWM (roja) Complemento PWM (azul).....	47
Figura 27 Voltaje de salida de los MOSFET.....	47
Figura 28 Comportamiento de Voltaje (azul) y Corriente [rojo] en la carga conectada a la salida del inversor a un valor CD de 31.7 V y una carga conectada de 20.7 Ω	48
Figura 29 Zoom al comportamiento de Voltaje (azul) y Corriente (rojo) en la carga conectada a la salida del inversor a un valor CD de 31.7 V y una carga conectada de 20.7 Ω	49
Figura 30 Comportamiento de Voltaje (azul) y Corriente [rojo] en la carga conectada a la salida del inversor a un valor CD de 15 V y una carga conectada de 20.7 Ω	49

Figura 31 Zoom al comportamiento de Voltaje (azul) y Corriente (rojo) en la carga conectada a la salida del inversor a un valor CD de 15 V y una carga conectada de 20.7 Ω	50
Figura 32 Inversor Trifásico Simulado en Simulink	51
Figura 33 Comparación SPWM con frecuencia de diente de Sierra a 10 kHz y tres ondas sinusoidales de amplitud de 1.65 V con 60 Hz.	53
Figura 34 Diagrama de tiempos para el cierre y apertura de interruptores MOSFET	54
Figura 35 Corriente y voltaje a la salida del inversor trifásico con un valor de BUS CD de 31.7 V	55
Figura 36 Voltaje entre fases a la salida del VSC trifásico	56
Figura 37 Filtro Paso Bajas Pasivo a implementar	57
Figura 38 Implementación de la función de transferencia en el ambiente de simulación de Simulink	59
Figura 39 Filtro paso bajas con ruido de 5504.76 rad/s(frecuencia de corte)	60
Figura 40 Filtro paso bajas con ruido de 10000 rad/s	60
Figura 41 Filtro paso bajas con ruido de 20000 rad/s	61
Figura 42 Transformada de Clarke para el voltaje entre fases del inversor trifásico obtenido	62
Figura 43 Transformada de Clarke de corriente a la salida del inversor trifásico	62
Figura 44 Prototipo de inversor monofásico de voltaje. De izquierda a derecha: DSP, KIT MOSFET, Filtro Paso Bajas y Carga Resistiva	63
Figura 45 Señal de control SPWM a partir de la DSP	64
Figura 46 Acercamiento de la Señal de control SPWM a partir de la DSP	64
Figura 47 Tiempo muerto entre los dos estados para no causar corto circuito en el prototipo	65
Figura 48 Otra Señal de control SPWM a partir de la DSP	65
Figura 49 Otro Acercamiento de la Señal de control SPWM a partir de la DSP	66
Figura 50 Otro Tiempo muerto entre los dos estados para no causar corto circuito en el prototipo	66
Figura 51 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 31.7 V	67
Figura 52 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 25 V	68
Figura 53 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 20 V	68
Figura 54 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 15 V	69
Figura 55 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 10 V	69
Figura 56 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 5 V	70
Figura 57 Voltaje y corriente obtenidos en una carga de 7.5 Ω con un BUS CD de 3 V	70
Figura 58 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 31.7 V	71
Figura 59 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 25 V	72
Figura 60 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 20 V	72
Figura 61 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 15 V	73
Figura 62 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 10 V	73
Figura 63 Voltaje y corriente obtenidos en una carga de 20.7 Ω con un BUS CD de 5 V	74

Figura 64 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 3 V ..	74
Figura 65 Prueba de Alimentador de 13 Nodos de la IEEE	75
Figura 66 Sistema de 13 Nodos de la IEEE en Simulink	77
Figura 67 Potencia activa a un segundo de simulación para el sistema de distribución para cada uno de los casos.....	87
Figura 68 Resultados arrojados por Simulink para la Potencia Reactiva en el nodo 671 para cada uno de los casos en el nodo de falla	88
Figura 69 Perfil de voltaje para el Caso 1	89
Figura 70 Potencia reactiva para el Caso 1	90
Figura 71 Comportamiento de voltaje en cada uno de los nodos del sistema de distribución para una falla trifásica y sobrecarga sin compensación de potencia reactiva.....	91
Figura 72 Potencia reactiva de cada nodo para el caso 2	92
Figura 73 Perfil de voltaje y potencia reactiva para una falla trifásica en el nodo 632_2....	93
Figura 74 Perfiles de voltaje y potencia reactiva en el nodo 632_2 al con sobrecarga aplicada sin compensación de reactivos	94
Figura 75 Perfiles de voltaje y potencia reactiva para el nodo 632_2 con falla trifásica y sobrecarga sin compensador de potencia reactiva.....	95
Figura 76 Voltaje a partir de los PMU's para los 13 nodos del sistema de distribución simulado para el Caso 3.....	96
Figura 77 Potencia Reactiva para la Red de Distribución de 13 Nodos para el Caso 3 en cada uno de los nodos	97
Figura 78 Comportamiento de la Falla Trifásica con el controlador en el nodo 632_2 para voltaje y potencia reactiva	98
Figura 79 Comportamiento de voltaje y de potencia reactiva en el nodo 632_2 cuando una sobrecarga es aplicada compensada con controlador	99
Figura 80 Voltaje y potencia reactiva en el nodo 632_2 con falla y sobrecarga compensado mediante controlador	100
Figura 81 Arquitectura de DSP TMS320F2833x de Texas Instruments.....	102
Figura 82 Paquetería externa para configuración de la DPS en SIMULINK.....	104
Figura 83 implementación del SPWM en Simulink mediante ePWM de la DSP	105
Figura 84 Arquitectura de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit.....	107
Figura 85 Topología propuesta por parte de CREE para implementación del inversor.....	108
Figura 86 Disposición real del dispositivo KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit	108
Figura 87 Diagrama de conexión completo de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit	109

1 INTRODUCCIÓN

1.1 Estado del Arte

El crecimiento de la población y la demanda de servicios y productos se ha disparado, por lo que una mayor demanda energética tiene que ser abastecida. Esto presenta un problema al medio ambiente y la cantidad de recursos disponibles para la generación de energía. Para 2018 y 2019 la producción de energía por tecnología renovable se disparó 14 % para la energía solar y 12 % para la eólica [1]. El aumento de demanda de vehículos eléctricos ha propiciado el aumento en problemáticas tales como la sobrecarga, perfiles de bajo voltaje, aumento de pérdidas y picos de demanda más severos en un sistema de distribución por la integración de centros de carga para dichos vehículos [2]. Sin embargo, una oportunidad para la compensación de eventos no controlados tales como fallas en el sistema de distribución y sobrecargas abruptas puede ser implementado gracias a la electrónica de potencia y a sistemas de control inteligentes. A través de la energía almacenada en las baterías de los propios vehículos eléctricos que se encuentran conectados a la red de distribución mediante cargador de vehículos eléctricos esta energía puede ser utilizada para mitigar los eventos previamente mencionados [3].

Elementos electromecánicos tales como bancos de capacitores y cambiadores de taps bajo carga (*On-load Tap Changers* OLTCs) en transformadores son utilizados para las compensaciones por déficit de potencia reactiva y bajo voltaje; [4] [5], sin embargo, su capacidad de respuesta es más lenta con respecto a sistemas basados en convertidores electrónicos tales como un *Voltage Source Inverter* (VSC por sus siglas en inglés), el cual puede ser instalado en la red de distribución. En [4], se propone un marco de control híbrido para mejorar los perfiles de voltaje en una Red de Distribución altamente desbalanceada mediante la coordinación de inyección de potencia reactiva de varios cargadores de vehículos eléctricos. Fijando el valor de potencia a compensar y monitoreando el voltaje mediante una unidad de medición fasorial (PMU por sus siglas en inglés), el VSC (el cual obtiene la energía del BUS CD) inyectará la potencia reactiva solicitada. El marco propuesto está dirigido al incremento de flexibilidad, estabilidad y confiabilidad de las redes eléctricas modernas.

1.2 Definición del Problema

El avance tecnológico en módulos fotovoltaicos y convertidores electrónicos ha facilitado el uso masivo de ellos para la generación de energía en usuarios finales de la energía eléctrica, lo cual ha diversificado la matriz energética de muchos países, a lo que México no es ajeno; a su vez esto ha impactado en su gran mayoría a las redes eléctricas de distribución y transmisión. De tal manera que con su advenimiento, se empiezan a presentar problemas de regulación de voltaje en las redes de distribución, a pesar del esfuerzo hecho por los sistemas de regulación como el realizado por transformadores de subestaciones reductoras y de maniobras, los cuales permiten cierta regulación de voltaje por medio de los cambiadores de taps bajo carga (OLTC del inglés, *on-load tap changer*); sin embargo, su lenta velocidad de

respuesta, superior a 1s, no siempre es la mejor y se tienen periodos de tiempo en los que no se garantiza la calidad del servicio de energía dentro de los parámetros del Código de Red.

El caso de estudio de la presente es usar el bus CD (baterías de la estación de carga de los vehículos eléctricos) como una fuente para poder compensar los eventos presentados. EL inversor entregará potencia hacia la red de distribución (V2G *Vehicle to Grid*) y no demandará nada de la red de distribución hacia el cargador. A partir de la Figura 1 se trabajará en las regiones II y III, donde la batería o BUS CD está inyectando potencia reactiva hacia la Red de Distribución.

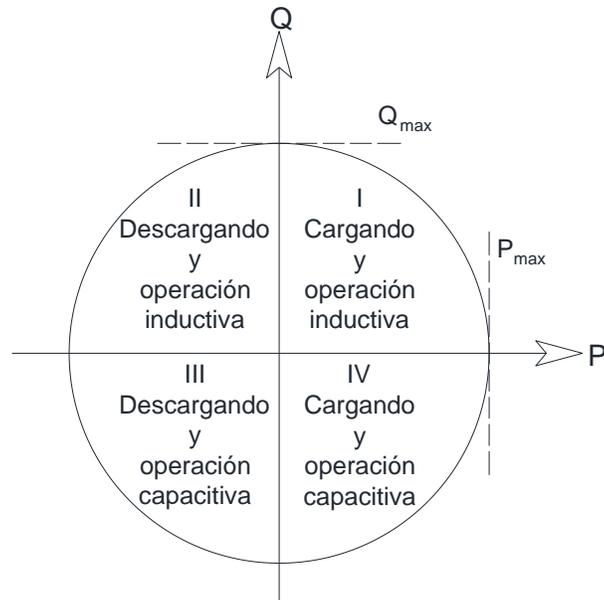


Figura 1 Región de potencia y operación disponible para cargadores (plano P-Q)

La presente Tesis se enfocará en el estudio, diseño e implementación de un inversor VSI de medio puente. Se tendrá un bus con valor fijo CD en la entrada de este para convertir una señal de voltaje CD a una señal de voltaje CA con características de amplitud y frecuencia definidas. Este tipo de inversores implementan transistores como interruptores, así como señales de comunicación para la apertura y cierre de los interruptores.

1.3 Hipótesis

Con la ayuda de los convertidores electrónicos de potencia, en específico con un VSC (de sus siglas en inglés ‘Voltage Source Converter’), se plantea una propuesta para convertir de CD a CA energía eléctrica generada o almacenada para poder obtener potencia reactiva, la cual mejorará a través de su inyección la regulación de voltaje en una red de distribución.

1.4 Objetivo

- General

Realizar una metodología basada en convertidores electrónicos de potencia del tipo VSC que permita la integración de sistemas fotovoltaicos y/o vehículos eléctricos, con el fin de mantener una regulación de voltaje permisible en redes de distribución.

- Específico

Desarrollar simulaciones las cuales muestren de manera gráfica el comportamiento de convertidores electrónicos de potencia tipo VSC, los cuales obtienen su energía a partir de un BUS CD ideal para posteriormente ser integrado a un sistema de control a lazo cerrado el cual dictamine la cantidad de potencia reactiva a inyectar. Finalmente, todo este sistema será sometido a una simulación de una Red de Distribución donde se analizará su comportamiento bajo escenarios donde se pondrá a prueba bajo condiciones de falla y sobrecarga.

1.5 Método

El método propuesto se divide en varias etapas:

1. El primero consiste en realizar una implementación por medio de software de simulación (Matlab Simulink) para desglosar el comportamiento completo de un VSC conectado a una red.
2. Como segunda instancia, se implementa de manera física el sistema a escala para una sola fase; en esta etapa los parámetros de simulación y los reales son comparados.
3. En la etapa final, se integran a nivel de simulación convertidores electrónicos en una red de distribución para su estudio, procediendo a observar y analizar su impacto para lograr la regulación de voltaje.

1.6 Resultados esperados

Se espera obtener una metodología basada en convertidores electrónicos de potencia del tipo VSC que permita la integración de sistemas fotovoltaicos y/o vehículos eléctricos, con el fin de mantener una regulación de voltaje permisible en redes de distribución.

2 FUNDAMENTOS

Para generar voltaje en CA a partir de un voltaje CD, se implementará un VSC. Este dispositivo es capaz de generar voltaje polifásico o monofásico a partir de una fuente ininterrumpida CD [3] [6] [7] [8]. La configuración y componentes del VSC permiten que la frecuencia, amplitud y fase de la onda sinusoidal generada sea controlada para poder tener fines específicos tales como: control de velocidad en motores, fuentes ininterrumpidas de voltaje (UPS: *Unintirrupted Power Supply*), Sistemas de transmisión CA flexibles, entre otros [7].

La construcción del VSC está conformado por varias etapas individuales, las cuales en conjunto logran el objetivo de la inversión de una señal CD a una CA. A grandes rasgos son: una fuente de Corriente Directa, un circuito basado en interruptores de potencia y un filtro de salida [3] [6].

- Fuente CD: Suministrada por módulos solares, baterías de vehículos eléctricos, generadores CD, entre otros.
- Circuito basado en interruptores de potencia: Implementado con base en MOSFET's, o ICGT's
- Filtro de salida: Activo o pasivo de tipo pasa bajas para frecuencias de red de 50 a 60 Hz.

Para efectuar la conversión de una señal en Corriente Directa (CD) a Corriente Alterna (CA), el dispositivo conocido como Inversor es implementado. La potencia CD puede provenir de una fuente, batería o bus. La salida en terminales tiene que ser una onda sinusoidal de voltaje y de corriente con una frecuencia, amplitud y fase predeterminadas para conectarla a algún dispositivo o a la red sin ocasionar ningún tipo de problemas.

Los inversores se pueden clasificar en [7]:

- *Voltage Fed Inverter (VFI)*: También conocido como *VSI (voltage source inverter)*, la cual se caracteriza por tener una entrada de voltaje constante
- *Current Fed Inverter (CFI)*: Se caracteriza por tener una entrada de corriente constante
- *Variable DC linked inverter*: Se implementa cuando la entrada de voltaje al inversor es variable y controlable.
- *Resonant-pulse invertir*. El cual se caracteriza por tener circuitos resonantes en su topología.

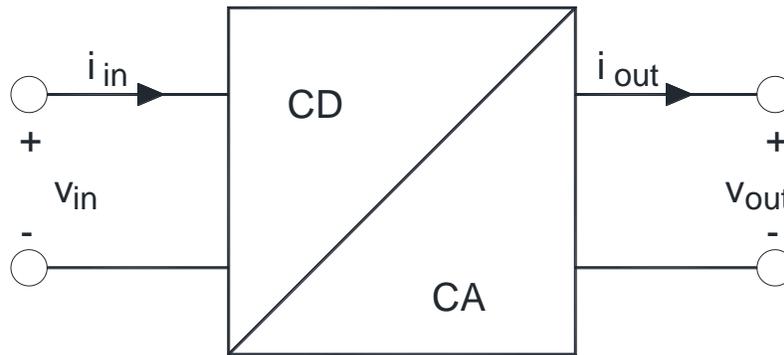


Figura 2 Inversor de CD a CA

A su vez, los VSI se clasifican en [6] [7]:

- Inversor de Puente Completo
- Inversor de Medio Puente

2.1 Inversor de Medio Puente

El número de interruptores implementado en esta topología es de 2 por fase; se necesitarán de capacitores para dividir la entrada CD en dos partes iguales los cuales tendrán que ser del mismo valor [7].

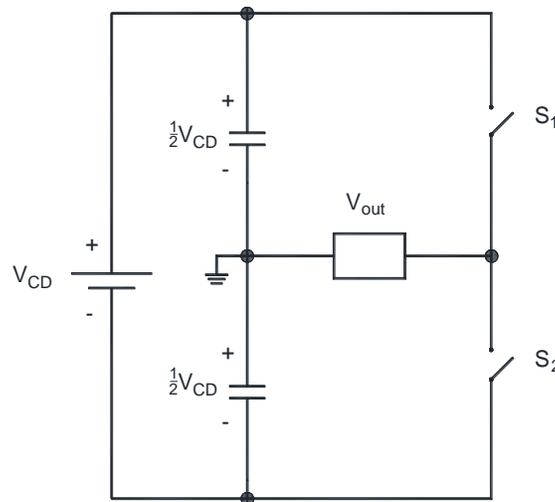


Figura 3 Inversor de Medio Puente

El principio de operación del inversor de medio puente puede ser explicado como dos circuitos *chopper* [6] (Figura 3). Se supone un intervalo de tiempo periódico T_0 , donde ambos interruptores (S_1 y S_2) abren y cierran con el mismo intervalo de tiempo y no pueden tener el mismo estado entre ellos. Únicamente cuando el interruptor S_1 está cerrado en un tiempo $T_0/2$, el voltaje instantáneo V_{out} a través de la carga será $\frac{1}{2} V_{CD}$ (Figura 4). Si únicamente el

interruptor S_2 esta cerrado durante un tiempo $T_0/2$ el voltaje instantáneo a través de la carga tendrá un valor de $-\frac{1}{2}V_{CD}$ (Figura 5). El circuito lógico de control de cierre y apertura de interruptores tiene que ser tal que S_1 y S_2 no estén cerrados al mismo tiempo para evitar corto circuito [6].

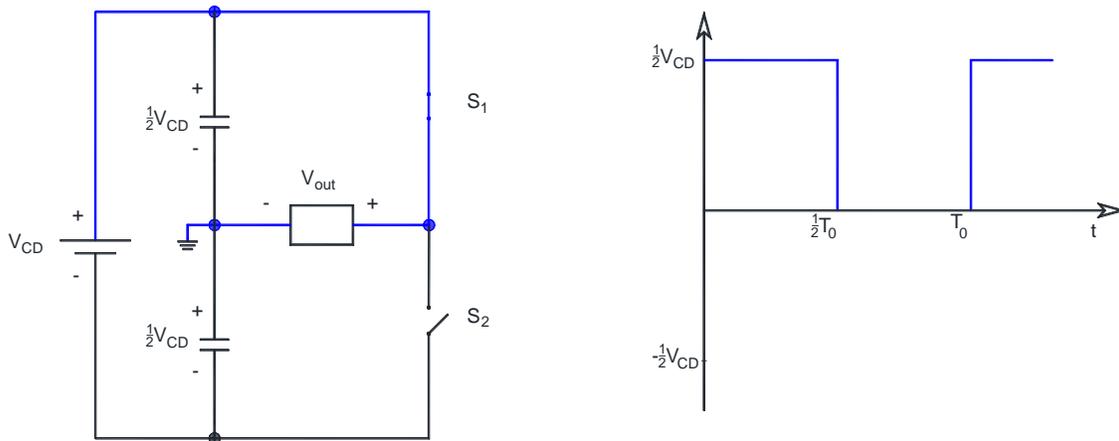


Figura 4 Voltaje instantáneo cuando S_1 se encuentra cerrado

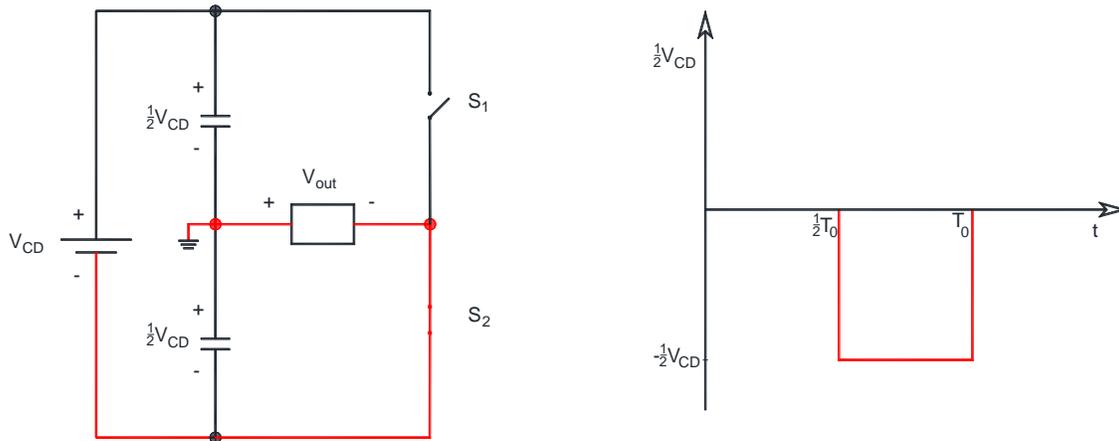


Figura 5 Voltaje instantáneo cuando S_2 se encuentra cerrado

El voltaje RMS en la salida para una señal cuadrada puede ser encontrado con la expresión:

$$V_{out} = \sqrt{\frac{2}{T_0} \int_0^{T_0/2} \frac{V_{CD}^2}{4} dt} = \frac{V_{CD}}{2} \quad (1)$$

El voltaje instantáneo en la salida puede ser expresado mediante la serie de Fourier como:

$$v_0 = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos(n\omega t) + b_n \sen(n\omega t)) \quad (2)$$

Debido a la simetría a lo largo del eje x, a_0 y a_n son cero. Se obtiene b_n como:

$$b_n = \frac{1}{\pi} \left[\int_{-\frac{\pi}{2}}^0 \frac{-V_{CD}}{2} \sen(n\omega t) d(\omega t) + \int_0^{\frac{\pi}{2}} \frac{V_{CD}}{2} \sen(n\omega t) d(\omega t) \right] = \frac{2V_{CD}}{n\pi} \quad (3)$$

la cual resulta en una salida instantánea de voltaje de salida v_0 :

$$v_0 = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_{CD}}{n\pi} \sen(n\omega t) \quad (4)$$

$$v_0 = 0; \text{ para } n = 2,4,6, \dots$$

donde $\omega = 2\pi f_0$ es la frecuencia de salida del voltaje expresada en radianes sobre segundo. Debido a la simetría en el eje x en la onda de voltaje, los armónicos pares estarán ausentes.

Para cargas inductivas, la corriente en la carga no podrá cambiar inmediatamente con la salida de voltaje. Si S_1 esta abierto en el tiempo $T_0/2$, la corriente en la carga continuará fluyendo a través de ella y en la parte baja de la fuente CD hasta que la corriente llegué a cero. De igual manera cuando S_2 este abierto en el tiempo $T_0/2$, la corriente circulará a través la carga y de la parte superior del inversor. Cuando esto ocurre, la energía es conducida de vuelta hacia la fuente CD.

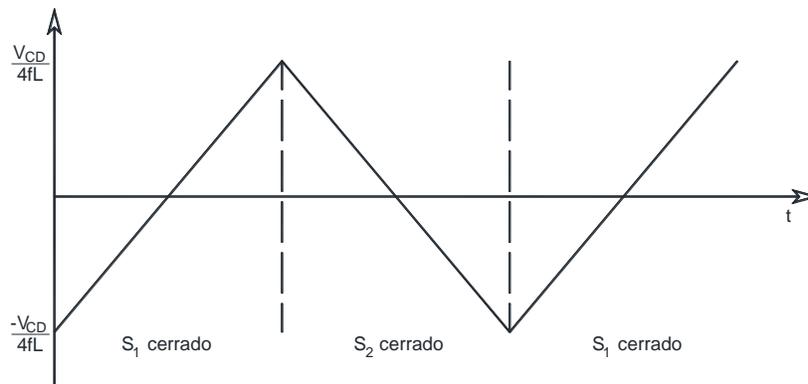


Figura 6 Corriente de carga altamente inductiva

Para la implementación de los interruptores se utilizan transistores, los cuales pueden ser reemplazados por cualquier elemento que realice la apertura y cierre. El tiempo de apagado o de apertura tiene que ser considerado, esto es para cuando se tengan corrientes por cargas inductivas no hagan corto circuito al momento del cierre de otro interruptor en el circuito inversor. El tiempo máximo de conducción de un elemento de switcheo debe ser:

$$t_{n(max)} = \frac{T_0}{2} - t_d \quad (5)$$

Donde t_d es el tiempo de apertura del elemento de switcheo. Todos los dispositivos prácticos requieren de cierto tiempo de apertura y de cierre, la lógica de control para los interruptores debe tomar esto en consideración.

Para una carga resistiva e inductiva (RL), la corriente de carga instantánea i_o puede ser obtenida dividiendo el voltaje instantáneo entre la impedancia total de la carga ($Z = R + jn\omega L$) [6]:

$$i_o = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_{CD}}{n\pi\sqrt{R^2 + (n\omega L)^2}} \text{sen}(n\omega t - \theta_n) \quad (6)$$

Donde $\theta_n = \text{angtan}(n\omega L/R)$.

Si I_{01} es la corriente fundamental en la carga, la potencia fundamental de salida (para $n=1$) es [6]:

$$P_{01} = V_{01}I_{01}\cos\theta_1 = I_{01}^2 R = \left[\frac{2V_{CD}}{\sqrt{2}\pi\sqrt{R^2 + (\omega L)^2}} \right]^2 R \quad (7)$$

Asumiendo un inversor sin pérdidas, la potencia promedio absorbida por la carga debe ser igual a la suministrada por la fuente de CD. De esta manera tendremos [6]:

$$\int_0^T v_{CD}(t)i_{CD}(t)dt = \int_0^T v_o(t)i_o(t)dt \quad (8)$$

Debida a la naturaleza casi puramente sinusoidal de la onda de corriente i_o para cargas inductivas, solamente se considerará la componente fundamental de la salida la cual provee la potencia a la carga. Ya que el voltaje de entrada al inversor es de CD se considerará $v_{CD}(t) = V_{CD}$.

$$\int_0^T V_{CD}i_{CD}(t)dt = \int_0^T v_o(t)i_o(t)dt \quad (9)$$

$$= \int_0^T i_{CD}(t)dt = \frac{1}{V_{CD}} \int_0^T \sqrt{2}V_{01}\text{sen}(\omega t)\sqrt{2}I_o\text{sen}(\omega t - \theta_1)dt \quad (10)$$

Donde:

V_{01} : Es el voltaje RMS fundamental en la salida

I_o : Es la corriente fundamental RMS en la carga

θ_1 : Es el ángulo de carga a la frecuencia fundamental

Finalmente, la corriente suministrada por la fuente I_{CD} se simplifica como:

$$I_{CD} = \frac{V_{01}}{V_{CD}} I_0 \cos(\theta_1) \quad (11)$$

La secuencia para los interruptores debe cumplir con lo siguiente:

1. Generar una señal cuadrada de voltaje v_{g1} a una frecuencia de salida f_0 con un ciclo de trabajo del 50%. La señal de voltaje v_{g2} debe ser su complemento.
2. La señal v_{g1} manejará el interruptor S_1 mediante un circuito de compuerta aislado mientras que v_{g2} manejará el interruptor S_2 sin un circuito de compuerta aislado.

2.2 Modulación SPWM

Las señales de control de apertura y cierre necesitarán de un algoritmo de control las cuales no podrán tener cerradas a la vez los interruptores de una misma rama en el inversor. Para lograr esto se ejecuta una comparación entre una referencia y una señal portadora cuyos pulsos generados darán paso a un voltaje RMS en la salida del inversor igual al área bajo la curva de los pulsos en la salida del inversor [6] [9].

El área de cada pulso corresponderá aproximadamente al área bajo la curva de la onda sinusoidal entre los puntos medios adyacentes de los periodos de las señales de apertura [6].

Para apoyo, en la Figura 7 se muestra el comportamiento de una comparación entre una señal portadora triangular y una referencia constante (UPWM, Modulación uniforme de ancho de pulso). Las señales de apertura o cierre serán generadas en un interruptor g_x para obtener un voltaje de salida equivalente a un pulso sincronizado con la señal de control.

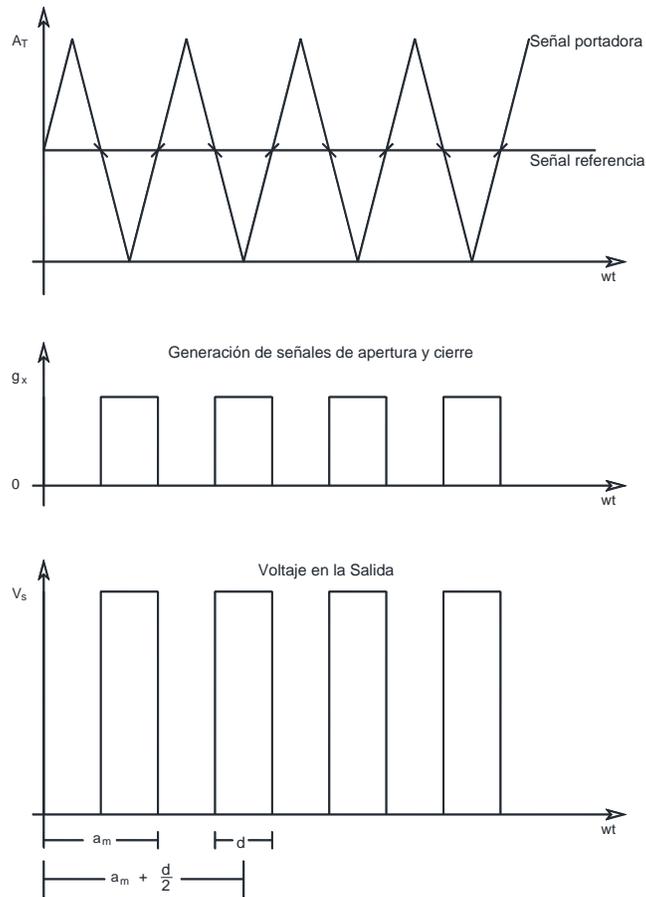


Figura 7 Diagrama de tiempos para una comparación entre señal portadora triangular y una referencia constante.

A partir de la Figura 7 se obtiene una UPWM (Modulación uniforme de ancho de pulso), donde se tendrán un total de pulsos cada medio ciclo de una referencia cambiante cada π rad:

$$P = \frac{f_c}{2f_0} \quad (12)$$

Donde:

f_c : Es la frecuencia de la señal portadora

f_0 : Es la frecuencia de la señal de referencia

El valor RMS se expresa mediante la ecuación:

$$V_0 = \sqrt{\left[\frac{2P}{2\pi} \int_{(\frac{\pi}{P}-\delta)/2}^{(\frac{\pi}{P}+\delta)/2} V_s^2 d(\omega t) \right]} = V_s \sqrt{\frac{P\delta}{\pi}} \quad (13)$$

Ya que la señal deseada en la salida del inversor es una señal sinusoidal, una señal de referencia sinusoidal con la frecuencia deseada será tomada como referencia [9]. Para este tipo de modulación, en lugar de mantener todos los anchos de pulso de una duración constante estos irán variando conforme se haga la comparación de una señal de alta frecuencia portadora y la referencia sinusoidal (Figura 8).

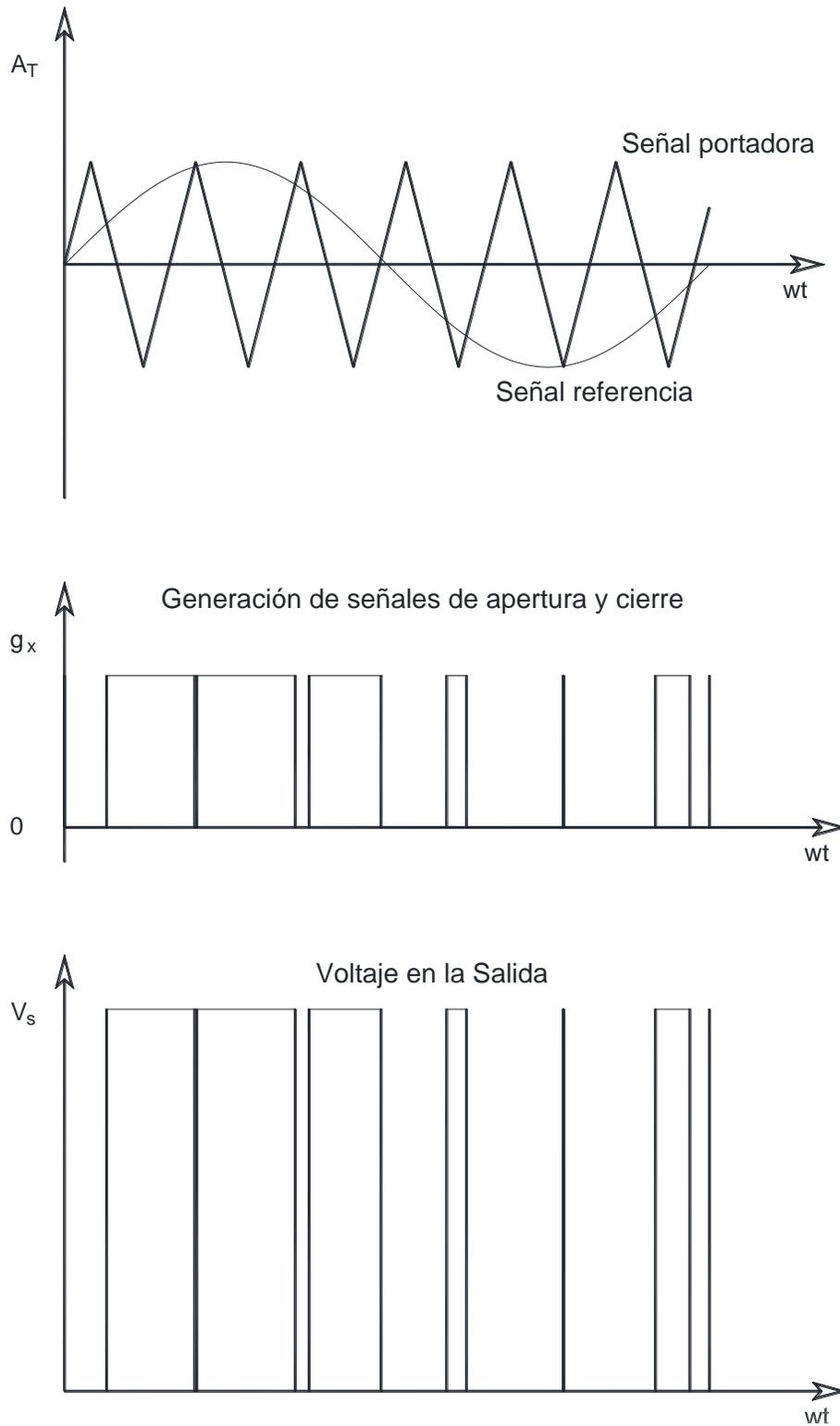


Figura 8 Comparación de una señal sinusoidal (señal de referencia) con una triangular (señal portadora) para la generación de apertura y cierre de los interruptores y su voltaje en la salida del inversor de medio puente.

Para la generación de las señales de apertura y de cierre se utilizará una Modulación Sinusoidal de Ancho de Pulso. Si se trata de un sistema monofásico, se necesitará de una señal de referencia sinusoidal. Para sistemas trifásicos, tres señales de referencia sinusoidales desfasadas 120° serán necesarias para cada una de las fases (*a*, *b* y *c*).

Una señal portadora diente de sierra será comparada con la señal de referencia para generar la señal de apertura de cada uno de los interruptores involucrados. Dicha comparación dará como resultado la señal de apertura y cierre de cada una de las ramas del inversor.

Se producirá una condición lógica donde cuando la señal de referencia sinusoidal sea mayor a la señal portadora diente de sierra se emitirá un estado lógico igual a “1”, y “0” para el caso contrario [9]:

$$\text{señal}_{portadora} \leq \text{señal}_{referencia} = 1$$

$$\text{señal}_{portadora} > \text{señal}_{referencia} = 0$$

El voltaje RMS de salida puede ser controlado mediante la variación del índice de modulación *M*, el cual se define como la tasa entre la amplitud de la señal portadora triangular y el valor de la onda sinusoidal de referencia [6].

$$M = \frac{A_{sinusoidal}}{A_{triangular}} \quad (14)$$

Si δ_m es el ancho del pulso enésimo, la ecuación para el USPM puede ser modificada para encontrar el promedio del voltaje RMS al sumar las áreas promedio bajo cada pulso generado:

$$V_0 = V_s \sqrt{\left[\sum_{m=1}^{2P} \frac{\delta_m}{\pi} \right]} \quad (15)$$

Para implementar esta comparación mediante bloques en el ambiente de sistema de simulación de SIMULINK se usan los bloques descritos en la Figura 9, donde la señal SPWM ingresará a los interruptores.

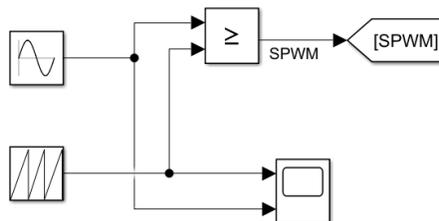


Figura 9 Implementación de SPWM mediante bloques en SIMULINK

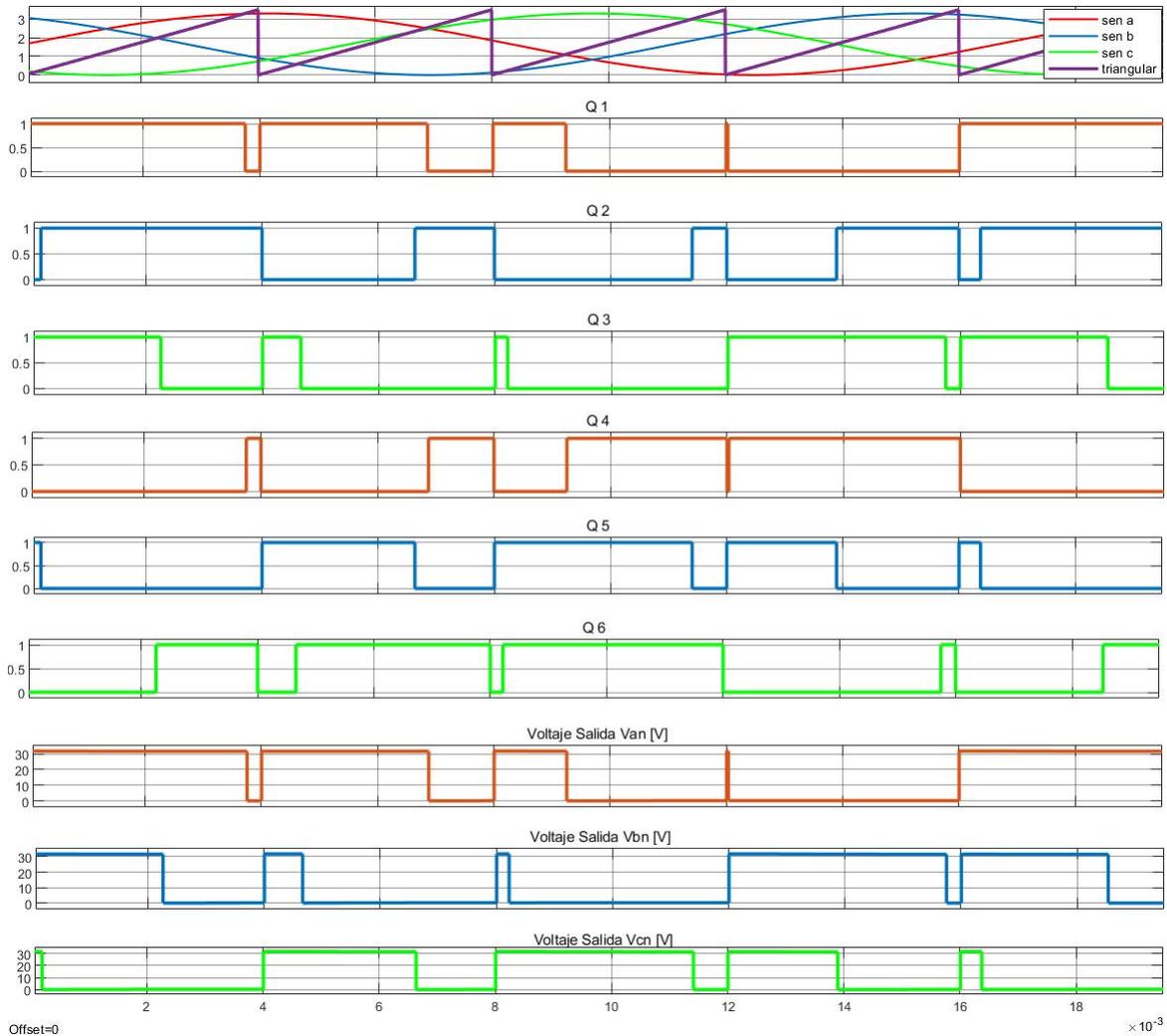


Figura 10 Comportamiento SPWM con frecuencia de señal portadora diente de sierra de 250 Hz

En la Figura 10 se aprecian tres señales sinusoidales de 60 Hz cada una desfasadas 120° . La amplitud de la señal es relativamente pequeña ya que se puede generar a partir de un dispositivo electrónico de baja potencia. La frecuencia de la señal portadora para fines ilustrativos se ha puesto a 250 Hz. Las señales generadas “Q 1 - 6” son los valores lógicos “Q 1 - 6” los cuales darán apertura o cierre a cada una de las ramas del inversor trifásico. Cabe destacar que la señal Q 1 es el complemento de la señal Q 4, la Q 2 de la Q 5 y la Q 3 de la Q 6, ya que se encuentran en la misma rama del inversor.

Para que los armónicos presentados en la salida de cada una de las tres fases sean iguales en magnitud y frecuencia para todas y no tener casos con armónicos específicos para cada una de ellas, se tiene que elegir una frecuencia normalizada en la señal portadora múltiplo de 3 e impar [6].

Por ejemplo, para la novena armónica de la fase *a*:

$$v_{aN9}(t) = \hat{v}_9 \text{sen}(9\omega t) \quad (16)$$

En la fase *b* se presentará:

$$v_{bN9}(t) = \hat{v}_9 \text{sen}(9(\omega t - 120^\circ)) = \hat{v}_9 \text{sen}(9\omega t - 1080^\circ) = \hat{v}_9 \text{sen}(9\omega t) \quad (17)$$

Y en la fase *c*:

$$v_{cN9}(t) = \hat{v}_9 \text{sen}(9(\omega t + 120^\circ)) = \hat{v}_9 \text{sen}(9\omega t + 1080^\circ) = \hat{v}_9 \text{sen}(9\omega t) \quad (18)$$

2.3 Filtro Paso Bajas

Para excluir ciertas frecuencias de una señal se usan filtros de distintos tipos. En la tecnología moderna se han implementado para un sinnúmero de aplicaciones tales como, telecomunicaciones, audio, calidad de imagen [10] y en este caso en específico eléctrica de potencia.

En la actualidad existen dos tipos de filtros.

- Pasivos, se conforman por elementos inductivos y capacitivos (elementos eléctricos pasivos). No se necesitan energizar por una fuente externa y fue la primera tecnología implementada con el fin de discriminar frecuencias no deseadas.
- Activos, son fabricados con elementos más recientes tales como transistores y amplificadores operacionales. Suprimen la necesidad de utilizar elementos inductivos y son mucho más compactos. Al tratarse de electrónica se necesita de una fuente externa las cuales pueden energizarlos para su correcto funcionamiento.

Los distintos tipos de filtros son:

- Paso Bajas
- Paso Altas
- Paso Banda
- Rechazo de Banda
- Paso todo

Al implementarse elementos pasivos, se tendrá un elemento inductivo de gran tamaño físico, el cual puede presentar dificultades al momento de implementarlo en lugares limitados de espacio, sin embargo, el desempeño del mismo presenta buenos resultados y no se necesitará de una fuente externa [10]. Este tipo de filtros se oponen a cambios de voltaje y de corriente ya que sus elementos almacenan energía en forma de campo eléctrico (capacitores) y de campo magnético (inductores).

La función de transferencia de manera general en el dominio 's' (Laplace) es:

$$H(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \dots + a_1 s + a_0}{b_n s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0} \quad (19)$$

Donde el orden del denominador dará el resultado del filtro resultante después del modelado del sistema físico [10].

Resolviendo las ecuaciones del numerador y denominador resultará en los ceros y polos del filtro respectivamente.

$$ceros = a_m s^m + a_{m-1} s^{m-1} + \dots + a_1 s + a_0 = 0 \quad (20)$$

$$polos = b_n s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0 = 0 \quad (21)$$

Cada polo proveerá de -20 dB/decada y cada cero $+20 \text{ dB/decada}$ [10].

Se necesita tener una función de transferencia que tenga una pendiente negativa al momento de filtrar la señal, por lo que se necesitará tener un grado superior en los polos respecto a los ceros.

Al tener una función de transferencia en su forma canónica, por inspección se pueden obtener los valores de la frecuencia de corte y el factor de calidad (F_0 y Q respectivamente).

- Frecuencia de Corte (F_0) es el límite en la respuesta en el dominio frecuencial de un sistema en el cual la energía que circula a través de él comienza a atenuarse. El valor de caída que lo define será de 3 dB.
- Factor de Calidad (Q) es un indicador de la relación entre la energía reactiva almacenada y la disipada en el ciclo de una señal. Un factor alto indicará una tasa baja de pérdida de energía en relación con la almacenada en el circuito resonante.

La función de transferencia en términos del factor de calidad y frecuencia de corte es:

$$H(s) = \frac{H_0}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (22)$$

Donde:

H_0 es la ganancia en la banda de paso

ω_0 es la frecuencia de corte en rad/s

Las redes eléctricas en Norteamérica utilizan una frecuencia de 60 Hz, lo cual en el ámbito eléctrico es bajo comparado con las frecuencias de operación en telecomunicaciones, por lo que la señal de baja frecuencia será la primordial para el filtro en esta aplicación.

2.4 Transformada de Clarke y transformada de Park

i) Transformada de Clarke Directa

Transformación matemática también conocida como transformada $\alpha\beta$ la cual permite transformar un sistema de tres dimensiones de corrientes o voltajes en un sistema con una sola dimensión representado por las magnitudes x_α y x_β usando un marco de referencia de

plano cartesiano (referencia estacionaria). Esta transformada permite disminuir la complejidad del sistema de ecuaciones trifásicas a uno monofásico [11].

Algunas de las aplicaciones de la transformada de Clarke involucran el estudio de flujos de potencia trifásicos, el control de un VSC con conexión a la red y estudio y control vectorial de motores trifásicos [11]- [8].

Como se muestra en la siguiente ecuación, el sistema trifásico y simétrico puede ser descrito por un fasor en coordenadas polares:

$$\vec{X} = \frac{2}{3} [\vec{X}_a e^{j0^\circ} + \vec{X}_b e^{j120^\circ} + \vec{X}_c e^{j240^\circ}] \quad (23)$$

Donde \vec{X} será el vector monofásico que representa al sistema trifásico, \vec{X}_a , \vec{X}_b y \vec{X}_c corresponden a las fases del sistema trifásico. Ya que se trata de un sistema trifásico y simétrico, en esta representación fasorial se satisface la expresión:

$$\vec{X}_a + \vec{X}_b + \vec{X}_c \triangleq 0 \quad (24)$$

La transformada de Clarke mapea el fasor resultante \vec{X} del sistema tridimensional al sistema cartesiano (conocido como marco de referencia $\alpha\beta$). A su vez, el vector \vec{X} puede ser descompuesto en componentes del eje real e imaginario:

$$\vec{X} = \vec{X}_\alpha + j\vec{X}_\beta \quad (25)$$

Se obtiene de la definición para el sistema trifásico y simétrico:

$$\vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} [\vec{X}_a e^{j0^\circ} + \vec{X}_b e^{j120^\circ} + \vec{X}_c e^{j240^\circ}] \quad (26)$$

Descomponiendo en parte real y parte imaginaria:

$$\begin{aligned} \vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} [\vec{X}_a (\cos(0^\circ) + \text{sen}(0^\circ)) + \vec{X}_b (\cos(120^\circ) + \text{sen}(120^\circ)) \\ + \vec{X}_c (\cos(240^\circ) + \text{sen}(240^\circ))] \end{aligned} \quad (27)$$

$$\vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} \left[\vec{X}_a - \frac{1}{2}\vec{X}_b + j\frac{\sqrt{3}}{2}\vec{X}_b - \frac{1}{2}\vec{X}_c - j\frac{\sqrt{3}}{2}\vec{X}_c \right] \quad (28)$$

Separando en parte real e imaginaria:

$$\vec{X}_\alpha = R\{\vec{X}_\alpha + j\vec{X}_\beta\} = \frac{2}{3} \left[\vec{X}_a - \frac{1}{2}\vec{X}_b - \frac{1}{2}\vec{X}_c \right] \quad (29)$$

$$\vec{X}_\beta = I\{\vec{X}_\alpha + j\vec{X}_\beta\} = \frac{2}{3} \left[\frac{\sqrt{3}}{2}\vec{X}_b - \frac{\sqrt{3}}{2}\vec{X}_c \right] \quad (30)$$

Representando matricialmente [11]- [8]:

$$\begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} \vec{X}_a \\ \vec{X}_b \\ \vec{X}_c \end{bmatrix} \quad (31)$$

ii) Transformada de Clarke Inversa

Por medio de las siguientes ecuaciones se obtiene la transformada de Clarke inversa:

$$\vec{X}_a = R\{[\vec{X}_\alpha + j\vec{X}_\beta]e^{-j0^\circ}\} \quad (32)$$

$$\vec{X}_b = R\{[\vec{X}_\alpha + j\vec{X}_\beta]e^{-j120^\circ}\} \quad (33)$$

$$\vec{X}_c = R\{[\vec{X}_\alpha + j\vec{X}_\beta]e^{-j240^\circ}\} \quad (34)$$

Mediante la propiedad de Euler:

$$\vec{X}_a = R\{[\vec{X}_\alpha + j\vec{X}_\beta](\cos(0^\circ) + j\text{sen}(0^\circ))\} = \vec{X}_\alpha \quad (35)$$

$$\vec{X}_b = R\{[\vec{X}_\alpha + j\vec{X}_\beta](\cos(120^\circ) + j\text{sen}(120^\circ))\} = -\frac{1}{2}\vec{X}_\alpha + \frac{\sqrt{3}}{2}\vec{X}_\beta \quad (36)$$

$$\vec{X}_c = R\{[\vec{X}_\alpha + j\vec{X}_\beta](\cos(240^\circ) + j\text{sen}(240^\circ))\} = -\frac{1}{2}\vec{X}_\alpha - \frac{\sqrt{3}}{2}\vec{X}_\beta \quad (37)$$

Expresadas matricialmente [11]- [8]:

$$\begin{bmatrix} \vec{X}_a \\ \vec{X}_b \\ \vec{X}_c \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} \quad (38)$$

iii) Transformada de Park Directa

Esta transformación matemática se obtiene mediante la rotación a frecuencia angular del sistema trifásico del plano cartesiano, operando en un marco de referencia rotatorio. La principal diferencia de la transformada de Park respecto a la de Clarke es que la transformada de Clarke se opera mediante un fasor rotatorio en la transformada de Park el que rota es el sistema cartesiano [11]- [8].

Esta transformada permite mapear el sistema de dos dimensiones de magnitudes sinusoidales en el marco $\alpha\beta$ a un sistema de dos magnitudes constantes \vec{X}_d y \vec{X}_q .

A partir de la representación del sistema con la transformada de Clarke se puede mapear el sistema al marco de referencia rotatorio.

$$\vec{X} = \vec{X}_\alpha + j\vec{X}_\beta \quad (39)$$

$$\vec{X} = (\vec{X}_\alpha + j\vec{X}_\beta)e^{j\theta} \quad (40)$$

Donde θ contiene la información respecto a la fase del sistema trifásico. Igualando las dos expresiones anteriores se obtiene:

$$\vec{X} = \vec{X}_\alpha + j\vec{X}_\beta = (\vec{X}_\alpha + j\vec{X}_\beta)e^{j\theta} \quad (41)$$

$$\vec{X}_d + j\vec{X}_q = e^{-j\theta}(\vec{X}_\alpha + j\vec{X}_\beta) \quad (42)$$

Mediante identidad de Euler:

$$\vec{X}_d + j\vec{X}_q = (\cos(\theta) - j\text{sen}(\theta))(\vec{X}_\alpha + j\vec{X}_\beta) \quad (43)$$

$$\vec{X}_d + j\vec{X}_q = \vec{X}_\alpha \cos(\theta) - j\vec{X}_\alpha \text{sen}(\theta) + j\vec{X}_\beta \cos(\theta) + \vec{X}_\beta \text{sen}(\theta) \quad (44)$$

Descomponiendo en parte real e imaginaria resulta:

$$\vec{X}_d = R\{\vec{X}\} = \vec{X}_\alpha \cos(\theta) + \vec{X}_\beta \text{sen}(\theta) \quad (45)$$

$$\vec{X}_q = I\{\vec{X}\} = -\vec{X}_\alpha \text{sen}(\theta) + \vec{X}_\beta \cos(\theta) \quad (46)$$

De manera matricial [11]- [8].

$$\begin{bmatrix} \vec{X}_d \\ \vec{X}_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \text{sen}(\theta) \\ -\text{sen}(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} \quad (47)$$

iv) Transformada de Park Inversa

A partir de la definición:

$$\vec{X} = (\vec{X}_d + j\vec{X}_q)e^{j\theta} \quad (48)$$

Utilizando la identidad de Euler:

$$\vec{X}_\alpha + j\vec{X}_\beta = (\vec{X}_d + j\vec{X}_q)e^{j\theta} \quad (49)$$

$$\vec{X}_\alpha + j\vec{X}_\beta = (\vec{X}_d + j\vec{X}_q)(\cos(\theta) + j\text{sen}(\theta)) \quad (50)$$

Resolviendo la ecuación:

$$\vec{X}_\alpha + j\vec{X}_\beta = \vec{X}_d \cos(\theta) + j\vec{X}_d \sin(\theta) + j\vec{X}_q \cos(\theta) - \vec{X}_q \sin(\theta) \quad (51)$$

Descomponiendo en parte real e imaginaria:

$$\vec{X}_\alpha = R\{\vec{X}\} = \vec{X}_d \cos(\theta) - \vec{X}_q \sin(\theta) \quad (52)$$

$$\vec{X}_\beta = I\{\vec{X}\} = \vec{X}_d \sin(\theta) + \vec{X}_q \cos(\theta) \quad (53)$$

De manera matricial [11]- [8]:

$$\begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) \\ \sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} \vec{X}_d \\ \vec{X}_q \end{bmatrix} \quad (54)$$

2.5 Inversores Trifásicos

Los inversores trifásicos son los que tienen aplicaciones en altas demanda de potencia. Tres inversores de medio puente pueden ser conectados en paralelo para formar un inversor trifásico [2] [7] [6].

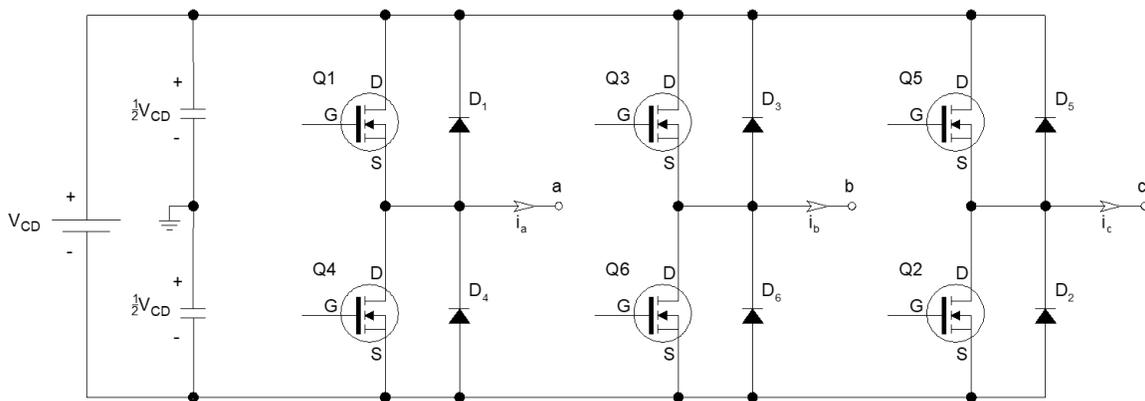


Figura 11 Inversor trifásico de medio puente

La Figura 11 muestra tres inversores de medio puente los cuales tendrán que dar como resultado una onda sinusoidal trifásica balanceada en su salida. Se necesitarán de dos capacitores de las mismas características conectados en serie que a su vez estarán en paralelo con cada una de las tres ramas de interruptores.

Tabla 1 Interruptores asociados a la fase de salida del inversor trifásico

Transistor involucrado	Fase
Q1, Q4	a
Q3, Q6	b
Q5, Q2	c

Tal como se muestra en la Tabla 1 se necesitarán de dos interruptores para dar en su salida un voltaje de fase. El análisis de cómo será el voltaje en la salida de cada una de estas fases puede ser descrito de igual manera que en la Figura 14 y Figura 15 [6].

En la Figura 12 se muestra el comportamiento de las señales de apertura y cierre a partir de una modulación SPWM con una frecuencia de señal portadora diente de sierra de 10 kHz, con una amplitud de 3.5 V. Por otra parte, las tres señales sinusoidales de referencia serán de 3.3 V de amplitud, 60 Hz de frecuencia y desfasadas entre ellas 120°. Tal como lo ilustra la Tabla 1 los colores rojo, verde y azul corresponderán a las fases a, b y c respectivamente en la Figura 12.

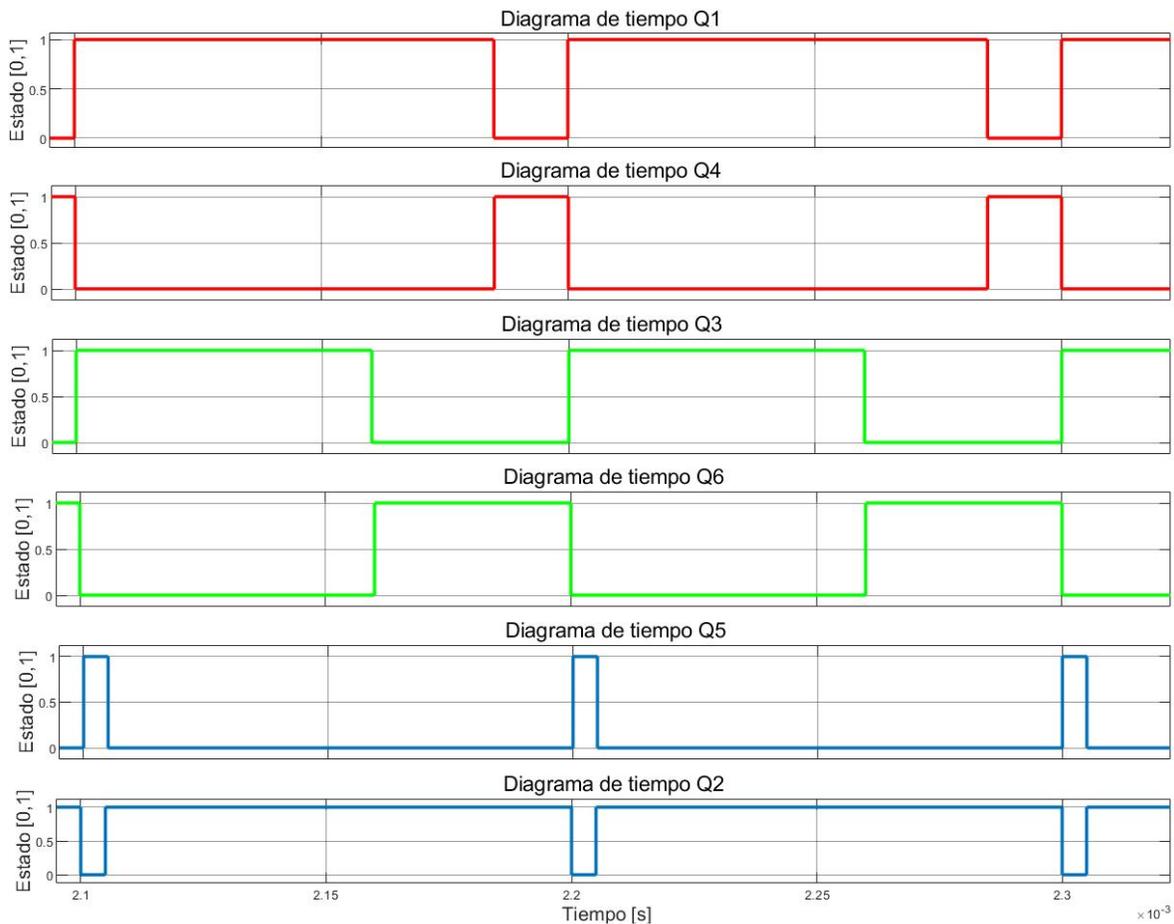


Figura 12 Diagrama de tiempos para apertura y cierre de cada interruptor de un inversor trifásico de medio puente

A la salida del inversor se encontrará una carga trifásica balanceada conectada en Y. Posteriormente, esta salida se conectará a un transformador trifásico con devanado secundario conectado en Δ para eliminar armónicos ($n=3,6,9, \dots$) [12].

El VSC trifásico de la Figura 11 proveerá flujo de potencia activa y reactiva entre el Bus CD y el sistema CA trifásico. El sistema CA puede ser pasivo (cargas RLC) o activos (máquinas síncronas o redes de distribución).

Las ecuaciones para el voltaje RMS de la señal cuadrada en las terminales correspondientes de cada inversor de medio puente para cada una de las fases a , b y c son:

$$v_a = M_a \frac{V_{CD}}{2} \quad (55)$$

$$v_b = M_b \frac{V_{CD}}{2} \quad (56)$$

$$v_c = M_c \frac{V_{CD}}{2} \quad (57)$$

Donde M_a , M_b y M_c es la tasa de la amplitud de la señal portadora y la señal de referencia (triangular y sinusoidal respectivamente), los valores de M se encuentran en $[0,1]$ [6]. Estas últimas ecuaciones describen la relación de a señal de modulación y los voltajes de fase a la salida del inversor, donde las señales de referencia tienen que cumplir con las siguientes condiciones para dar una señal trifásica balanceada:

$$m_a = \widehat{m}_a \text{sen}[\varepsilon(t)] \quad (58)$$

$$m_b = \widehat{m}_b \text{sen}[\varepsilon(t) + 120^\circ] \quad (59)$$

$$m_c = \widehat{m}_c \text{sen}[\varepsilon(t) - 120^\circ] \quad (60)$$

Donde $\varepsilon(t)$ contiene la información de frecuencia y ángulo de fase del sistema trifásico a generar.

Aplicando la transformada de Clarke para obtener el marco de referencia $\alpha\beta$ se simplifican las ecuaciones de salida de fase del inversor de la siguiente manera:

$$v_\alpha = M_\alpha \frac{V_{CD}}{2} \quad (61)$$

$$v_\beta = M_\beta \frac{V_{CD}}{2} \quad (62)$$

Lo cual indica que los componentes α y β del voltaje en la salida son proporcionales a los componentes α y β de la señal de modulación. La potencia real del inversor trifásico se puede expresar en términos de cantidades mapeadas en el marco $\alpha\beta$.

$$P_t = \frac{3}{2} [v_\alpha i_\alpha + v_\beta i_\beta] \quad (63)$$

Por otra parte, la potencia reactiva del inversor trifásico en marco de referencia $\alpha\beta$:

$$Q_t = \frac{3}{2} [-v_\alpha i_\beta + v_\beta i_\alpha] \quad (64)$$

Las variables a controlar en el marco de referencia $\alpha\beta$ son señales sinusoidales al igual que las señales a , b y c de salida del VSC. Los sistemas de control lineales se diseñan con un ancho de banda que rechaza las señales de ruido de alta frecuencia. Con esta configuración, resulta difícil para que el control PI pueda seguir adecuadamente las señales de referencia sinusoidales. Para solventar esto, las variables a controlar en el marco de referencia dq son señales constantes fácilmente reguladas por el controlador lineal PI.

Aplicando la transformada de Park, los voltajes en la salida del VSC trifásico en el marco de referencia dq se expresan mediante las siguientes ecuaciones:

$$v_d = M_d \frac{V_{CD}}{2} \quad (65)$$

$$v_q = M_q \frac{V_{CD}}{2} \quad (66)$$

A la salida del VSC la potencia real puede ser expresada en términos de cantidades mapeadas en el marco dq.

$$P_S = \frac{3}{2} [v_d i_d + v_q i_q] \quad (67)$$

Por otra parte, la potencia reactiva del inversor trifásico en marco de referencia dq:

$$Q_S = \frac{3}{2} [-v_d i_q + v_q i_d] \quad (68)$$

Mediante las ecuaciones de potencia activa reactiva (P_S y Q_S) se podrá monitorear en una sola señal las tres señales de potencia activa y reactiva del sistema eléctrico de potencia a estudiar y de igual manera se podrá hacer un proceso inverso donde se obtengan los resultados deseados para llegar a cierta referencia.

Finalmente, la topología general del inversor trifásico de medio puente se muestra en la Figura 13.



Figura 13 Topología del Inversor Trifásico de Medio Puente

El comportamiento del inversor trifásico de manera general se aprecia en la Figura 14 y Figura 15.

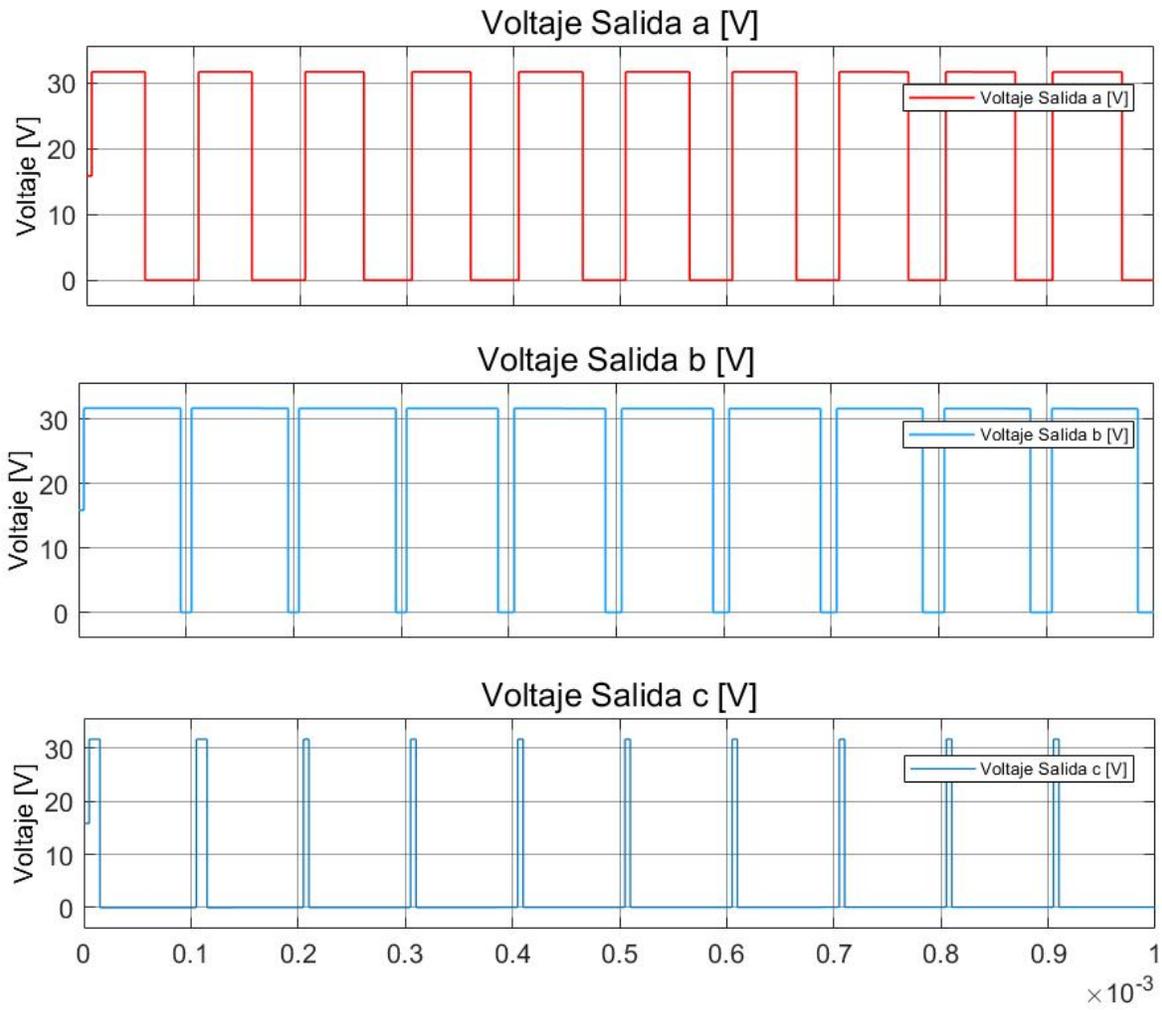
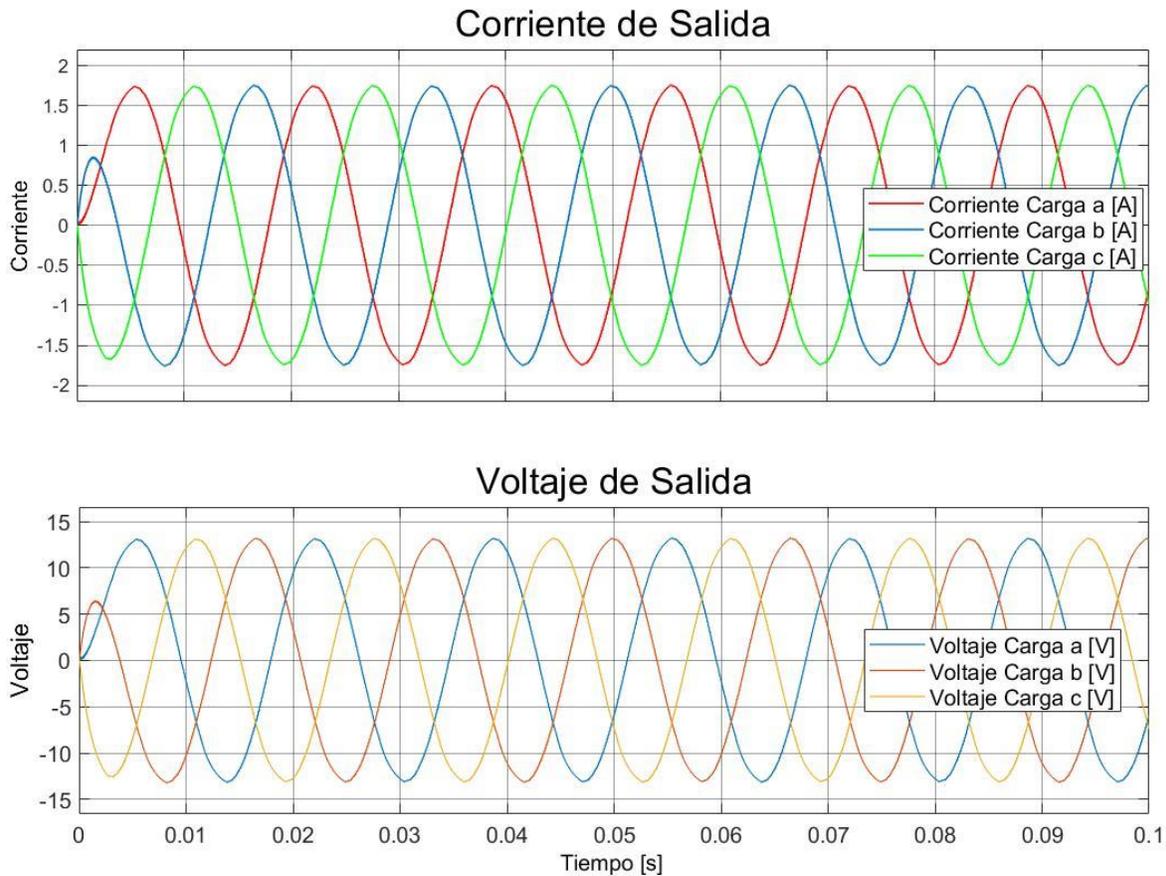


Figura 14 Salida previa al filtro para un inversor trifásico



Offset=0

Figura 15 Salida después del filtro de un inversor trifásico

La Figura 14 muestra la salida sin filtrar directamente de cada una de las ramas del inversor trifásico para una referencia de fase a neutro. Estas señales coincidirán en tiempo con la apertura y cierre de los MOSFET (señales de control generadas por el SPWM) pero diferirán en magnitud ya que se está completando el circuito con la fuente de alimentación CD y los capacitores que funcionan como divisores de voltaje.

En la Figura 15 se aprecia que la señal cuadrada resultante ha sido filtrada por un paso bajas, ahora la señal se muestra de manera “suave” y sinusoidal, la cual es la que nos funciona para conectarnos directamente a una red eléctrica.

En los próximos capítulos se profundiza en la simulación del sistema en su manera integral e introduciéndolo a una red eléctrica de distribución.

2.6 Controladores Automáticos

Un controlador automático es aquel dispositivo que compara el valor real de la salida de una planta con la entrada de referencia (valor deseado) determina una desviación y produce una señal de control que reduce la desviación a cero o a un valor relativamente despreciable [13].

- Acción de control: Manera en la cual el controlador automático genera la señal de control

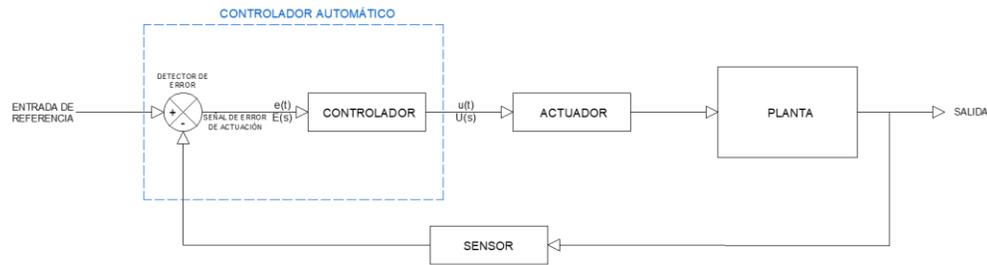


Figura 16 Diagrama de bloques de un sistema de control

La clasificación de los controles industriales se identifica como [13]:

- De dos posiciones o controladores on-off
- Controladores proporcionales (P)
- Controladores integrales (I)
- Controladores proporcionales-integrales (PI)
- Controladores proporcionales-derivativos (PD)
- Controladores proporcionales-integrales-derivativos (PID)

Está en el alcance la presente Tesis un controlador tipo PI, por lo que el análisis introductorio de los controladores que no sean de este tipo serán excluidos. Para el análisis se puede plantear el dominio del tiempo (t) o el dominio de Laplace (s).

i) Acción de Control Proporcional (P)

Consiste en el producto entre una señal de error y una ganancia proporcional para buscar que el error en estado estacionario se aproxime a cero [13].

La relación entre la salida del controlador $u(t)$ y la señal de error $e(t)$ es:

$$u(t) = K_p e(t) \quad (69)$$

por el método de Laplace:

$$\frac{U(s)}{E(s)} = K_p \quad (70)$$

Donde K_p es la ganancia proporcional.

En esencia, un controlador proporcional será un amplificador de señal con ganancia ajustable.

ii) Acción de Control Integral (I)

Tiene como propósito eliminar el error en estado estacionario los cuales no pueden ser corregidos por el control proporcional. El controlador Integral integra la señal de error en el tiempo la cual es una función de promediar o sumar por un tiempo determinado [13].

El valor de salida del controlador $u(t)$ se cambia a una razón proporcional a la señal de error:

$$\frac{du(t)}{dt} = K_i e(t) \quad (71)$$

$$u(t) = K_i \int_0^t e(t) dt \quad (72)$$

Donde K_i es una constante ajustable. La función de transferencia del controlador integral es:

$$\frac{U(s)}{E(s)} = K_i \frac{1}{s} \quad (73)$$

iii) Acción de control proporcional-integral (PI)

Con el propósito de obtener una respuesta estable del sistema sin error estacionario, se combinan los controladores Proporcional e Integral [13].

Se define mediante:

$$u(t) = K_p e(t) + \frac{K_p}{T_i} \int_0^t e(t) dt \quad (74)$$

Y su función de transferencia del controlador es:

$$\frac{U(s)}{E(s)} = K_p \left(1 + \frac{1}{T_i s} \right) \quad (75)$$

Donde T_i es denominado tiempo integral.

Para nuestro caso de estudio un controlador Proporcional-Integral (PI) será implementado (Figura 17).

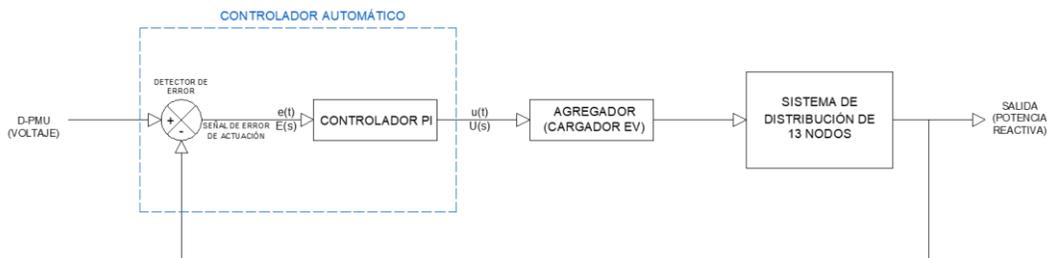


Figura 17 PI implementado

Como entrada al sistema de control se tendrá una medición del voltaje en por unidad (PU) del nodo de control correspondiente (Nodo 633 de la Figura 66). Al tratarse de un sistema trifásico para lograr obtener un valor único para las tres de las fases se tiene que implementar una transformada PMU.

La Medida de Unidad de Fasor (PMU por sus siglas en inglés *Phasor Measurement Unit*) usa la magnitud, fase y la componente de secuencia positiva de una señal de corriente o voltaje trifásica balanceada o desbalanceada la cual puede contener armónicos. El bloque de Simulink correspondiente toma como entrada la lectura de la señal trifásica en PU y regresará un solo valor para las tres fases involucradas en el nodo.

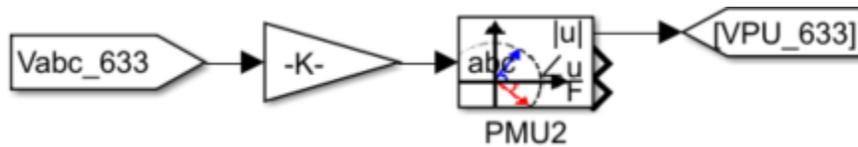


Figura 18 Implementación de la transformada PMU en Simulink

Tal como se observa en la Figura 18 se tiene una señal proveniente de las mediciones directas del nodo 633 de un sistema, se multiplica por una constante para obtener su valor RMS y su voltaje fase-neutro y valor en PU.

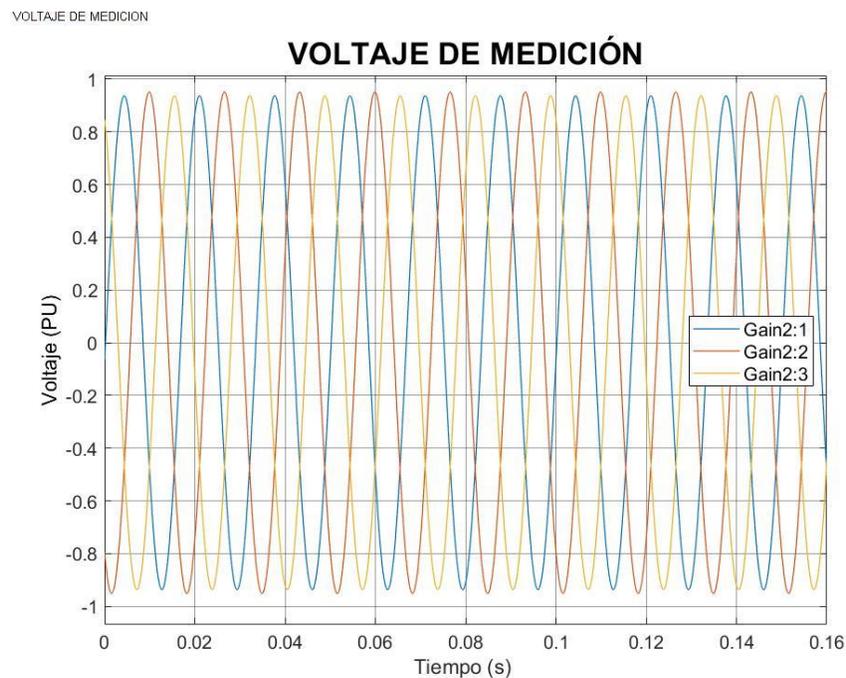


Figura 19 Señales de voltaje trifásicos en PU tomadas de la medición en Simulink antes de la transformada PMU

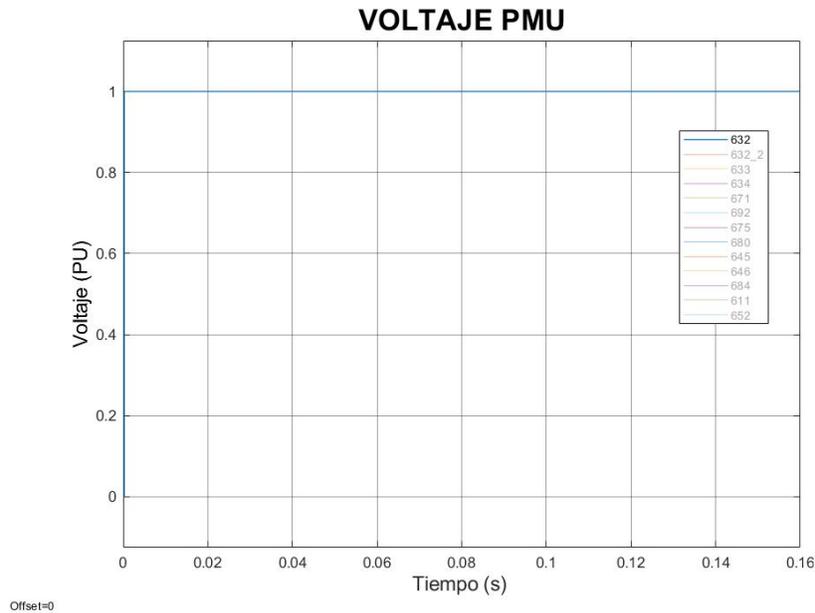


Figura 20 Magnitud de la señal de voltaje después de una transformación PMU

En la Figura 19 se tiene la señal de voltaje trifásica en PU tal como se observaría en un osciloscopio. Esta señal es cuantificada directamente del nodo de interés. Se puede apreciar un ligero desbalance entre las fases. Al pasar por el bloque de transformación PMU, se obtiene la resultante en una sola componente (Figura 20) de tal manera que ingrese directamente al controlador PI como medida entrada. Al fijar una referencia en estado ideal de 1 PU, el controlador buscará compensar siempre a este valor.

Para culminar la acción de control, la señal obtenida del controlador PI se fija como referencia a la potencia reactiva a la entrada del cargador de vehículos eléctricos.

3 SIMULACIÓN DE UN CONVERTIDOR ELECTRÓNICO DE POTENCIA DEL TIPO VSC

3.1 Simulación VSC Monofásica

Una vez planteados los fundamentos, se procede a simular el prototipo físico en la plataforma de Simulink. La simulación se apegará lo más posible al modelo implementado, considerando los valores de los parámetros en la medida más cercana posible. Se apoya en el software de simulación Matlab Simulink en su versión R2020b.

La Figura 21 muestra el Inversor de Medio Puente a implementar. Los valores de salida de CA generados dependerán de la magnitud de CD que se aplique. Los parámetros de simulación se muestran en la Tabla 2.

Los valores de simulación para la entrada (voltaje en el BUS de CD) son:

- 31.7 V
- 15 V

Estos valores fueron elegidos gracias a los valores que puede entregar la fuente real implementada en el prototipo. Las gráficas correspondientes a los resultados de simulación se muestran en las figuras; Figura 28 y Figura 30.

Como limitaciones se tienen varios aspectos:

- Los semiconductores MOSFET's y compuerta NOT se tratan de modelos ideales cuyos comportamientos son instantáneos no teniendo ningún estado entre el encendido y apagado. En el prototipo real esto no será posible y se tendrán que considerar pérdidas por calentamiento y distorsión en la onda sinusoidal de salida.
- El encendido y apagado deberán tener una ventana de tiempo la cual garantice que se apague completamente el interruptor para evitar cortos circuitos y proteger la integridad de los circuitos y fuente.
- El prototipo físico deberá tener componentes de alta fidelidad en la parte de modulación SPWM para poder reducir la distorsión armónica del mismo.

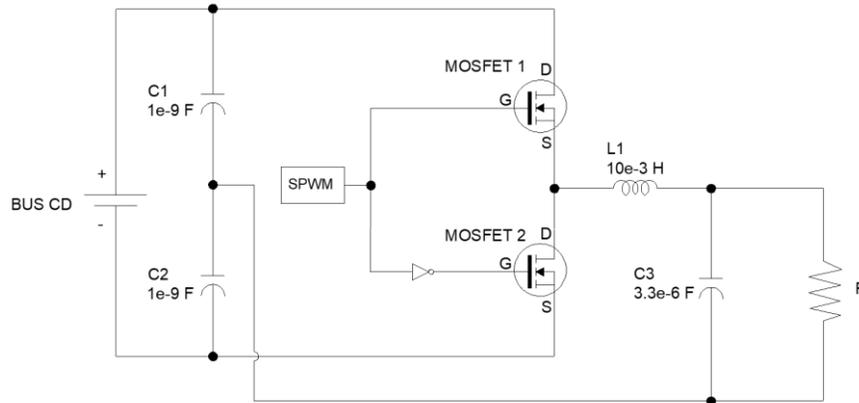


Figura 21 Inversor Monofásico Simulado en Simulink

Tabla 2. Parámetros de Simulación del Inversor de Medio Punte Monofásico

Parámetros de Simulación en MATLAB SIMULINK (VSC 1Φ)	
POWERGUI	
Simulation Type	Discrete
Sample time (s)	5e-6
SPWM	
Frecuencia de Comparación (rad)	120 π
Amplitud Señal comparación (V)	1.65
Amplitud Señal portadora (V)	1.75
Frecuencia de salida de la onda triangular (kHz)	10
MOSFET	
FET resistance Ron (Ω)	0.1
Internal diode inductance Lon (H)	0
Internal diode resistance Rd (Ω)	0.01
Internal diode forward voltaje Vf (V)	0
Snubber resistance Rs (Ω)	1e5
Snubber capacitance Cs	Inf
DC Voltage Source	
Amplitude (V)	31.7
Series RLC Branch	
Inductance (H)	10e-3
Series RLC Branch (Capacitores en serie conectados en paralelo a la fuente)	
Resistance (Ω)	1e-10
Capacitance (F)	1000 e-6
Series RLC Branch (Capacitor de filtrado)	
Resistance (Ω)	1e-10
Capacitance (F)	3.3 e-6
Series RLC Branch (Carga)	
Resistance (Ω)	20.7

Donde:

Simulation Type

Tiempo de simulación que Simulink utilizará para ejecutar el modelo

- Sample time

Tiempo de muestreo ejecutado por Simulink para desplegar resultados

- FET resistance R_{on}

Resistencia interna del MOSFET

- Internal diode inductance L_{on}

Inductancia interna del diodo antiparalelo

- Internal diode resistance R_d

Resistencia interna del diodo antiparalelo

- Internal diode forward voltage V_f

Voltaje del diodo cuando se encuentra en polarización directa

- Snubber resistance R_s

Valor de la resistencia en el circuito Snubber

- Snubber capacitance C_s

Capacitancia en el circuito Snubber

- Amplitude

Nivel de la señal de CD suministrada por la fuente

- Resistance

Valores en las resistencias

- Capacitance

Valores en las capacitancias

- Inductance

Valores en las inductancias

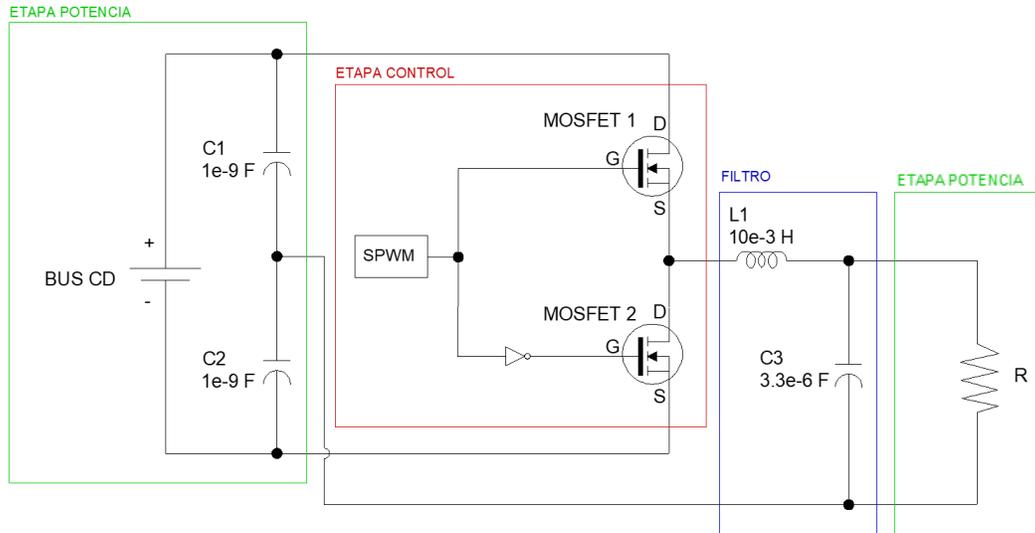


Figura 22 Etapas en el Inversor Simulado

El inversor simulado se muestra en la Figura 22, el cual cuenta con las siguientes etapas:

1. Etapa Control

Es la sección donde se encuentran las señales que permitirán la apertura o cierre de los interruptores MOSFET. Esta parte se simula mediante los componentes mostrados en la Figura 22 donde podemos apreciar que las compuertas de los MOSFET van conectadas a las salidas de las señales de control.

Las señales de control constan de una señal SPWM y otra señal en complemento de la original para permitir el paso de corriente para generación de una señal alterna.

2. Filtro

Encargada de limitar el paso únicamente a la frecuencia baja de la señal de salida en la resistencia R en la Figura 22. Se trata de un filtro tipo paso bajas para frecuencias de 876.11 Hz. Gracias a una buena implementación de frecuencia para la señal diente de sierra y el filtro paso bajas se obtendrá un resultado en las ondas de voltaje y de corriente más suaves.

3. Etapa Potencia

Conformado por el BUS CD, los capacitores de referencia y la carga final son los encargados de transportar la energía y darles una referencia para tener una lectura de onda de corriente y voltaje.

Mediante las etapas de control se logra la apertura y cierre de interruptores MOSFET, permitiendo cerrar el circuito y transportar la corriente a través de una de las ramas del inversor. Los valores nominales de los componentes deben ser mayores a los que se someterá en condiciones normales de operación. En el ambiente de simulación esto no tiene tanto impacto ya que no existe riesgo físico. Se denotan los componentes en la Figura 22.

Otro componente de vital importancia en el proceso de inversión es el SPWM. El SPWM es un algoritmo de comparación para modular. En el presente caso se tiene una señal sinusoidal de 60 Hz con una amplitud de $3.3 / 2$ ya que es la amplitud de salida de la DSP. Estos valores son previamente programados cargados a la DSP. Posteriormente, se hace comparación con una señal de alta frecuencia tipo diente de sierra (señal roja en la Figura 23). Se escoge una alta frecuencia para tener mejores resultados, esto simulará un proceso de comparación más corto y se tendrán más comparaciones en el tiempo dando una señal más suave. Si el valor de la señal triangular está por encima de la señal sinusoidal de muestra se mandará un uno (1), en caso de ser menor se mandará un cero (0). El resultado será un tren de pulsos con ancho no uniforme a lo largo del tiempo, esta señal (señal azul “Salida SPWM” en la Figura 23) es la señal que llegará a la compuerta de los MOSFET para realizar la apertura o cierre de estos. La implementación en diagrama de bloques se muestra en la Figura 22 y los resultados de comparación se muestran en la Figura 23.

En la Figura 24 podemos apreciar un acercamiento de la comparación SPWM con menor frecuencia de modulación (2 kHz de frecuencia en la señal diente de sierra). Podemos interpretar el flujo de la señal de izquierda a derecha. La señal triangular de 2 kHz de frecuencia es superpuesta con la señal sinusoidal de 60 Hz. Los valores de la salida SPWM serán uno (1) cuando la señal triangular sea inferior a la sinusoidal. En las primeras sierras de la simulación, en la Figura 24, se percibe que hay muy pocos casos donde la señal triangular es menor a la onda sinusoidal, dando como resultado un ancho de pulso muy estrecho en la salida (señal de salida SPWM de la Figura 24). Conforme va llegando la señal sinusoidal a su cresta, la mayoría del tiempo la señal triangular de alta frecuencia se encuentra por debajo de la sinusoidal en la comparación, resultando en un ancho de pulso más grueso lo que se traduce a un periodo de cierre más prolongado en el MOSFET.

Se utilizará un solo SPWM para el inversor de medio puente, sin embargo, para el MOSFET 1 y MOSFET 2 de la Figura 22 se tendrán señales en complemento. Mientras que para el MOSFET 1 se tenga un cero (0) para el MOSFET 2 se tendrá un uno (1), así se asegura que no se tenga ningún corto circuito en las ramas del inversor y se tenga una señal periódica. El comportamiento de la señal de salida del SPWM en complemento se muestra en la Figura 26. Cabe destacar que no se tiene ningún periodo de tiempo muerto. Más adelante se abordarán las problemáticas que esto implica.

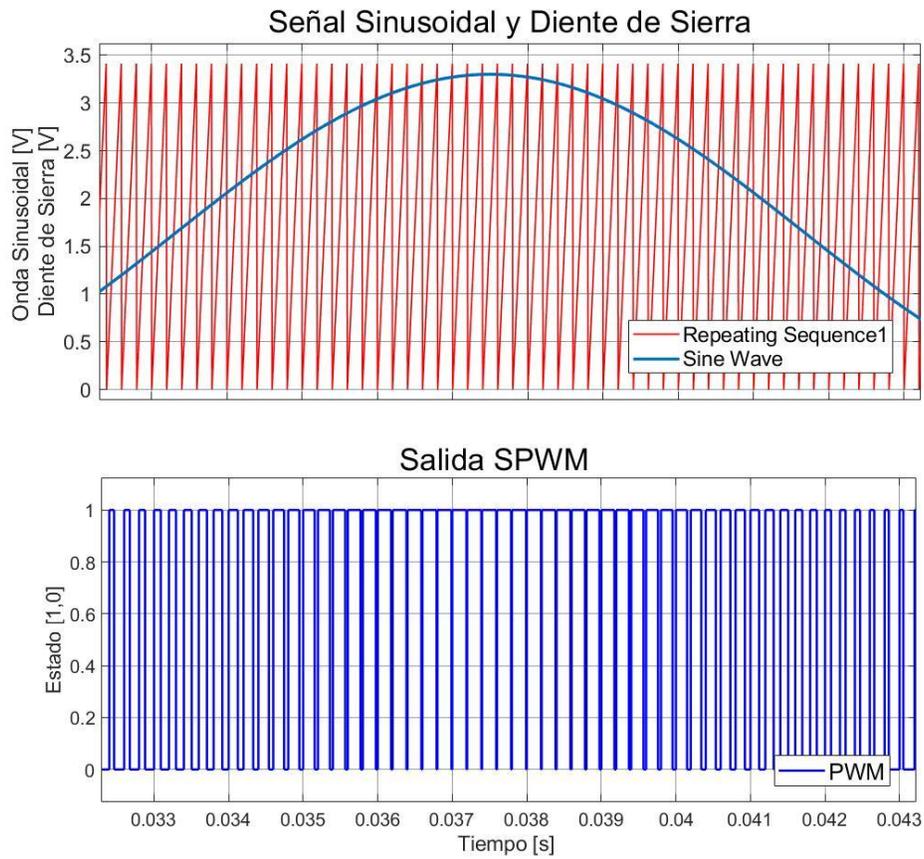


Figura 23 Comparación SPWM con frecuencia de diente de Sierra a 10 kHz y onda sinusoidal de amplitud de 3.3 V con 60 Hz.

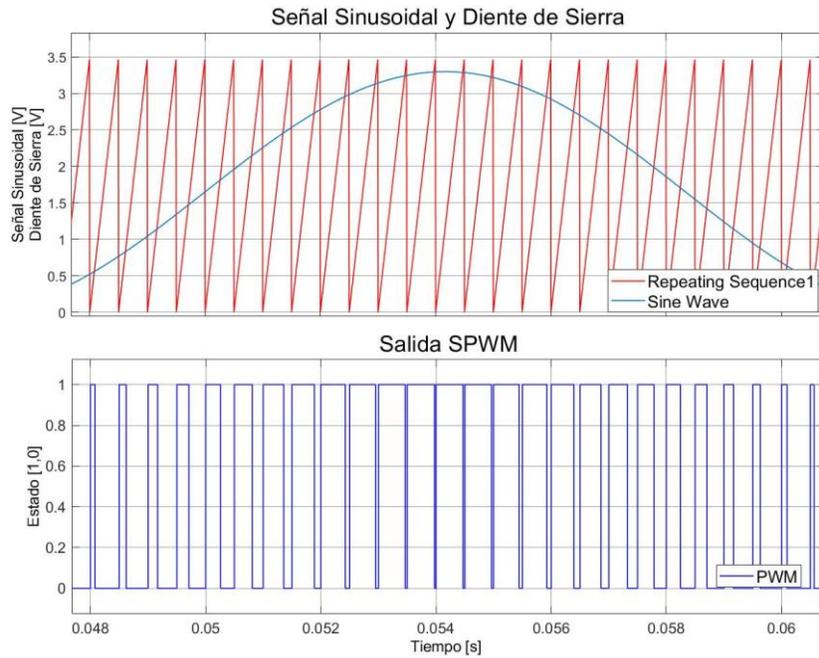


Figura 24 Modulación SPWM con una frecuencia de 2 kHz

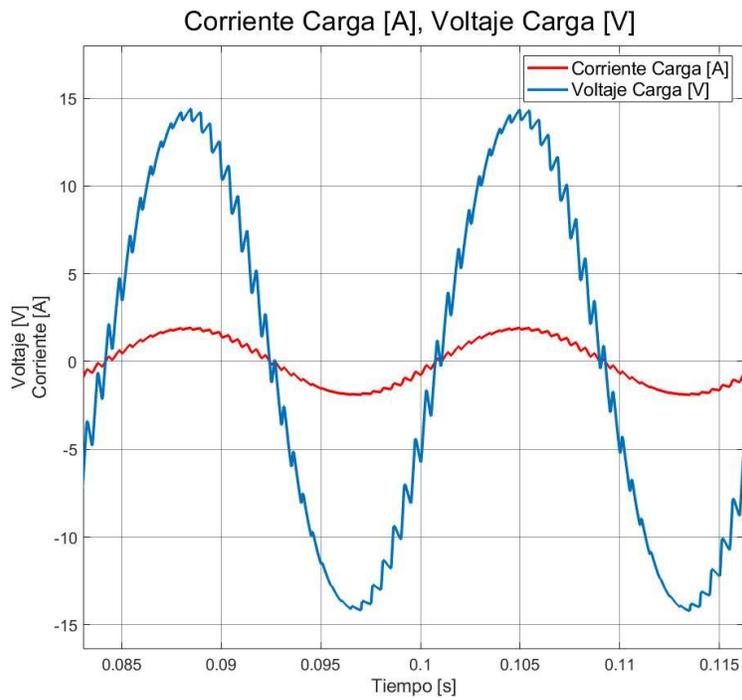


Figura 25 Comportamiento de voltaje y corriente en la carga con una frecuencia de diente de sierra de 2 kHz y una carga conectada de 20.7Ω

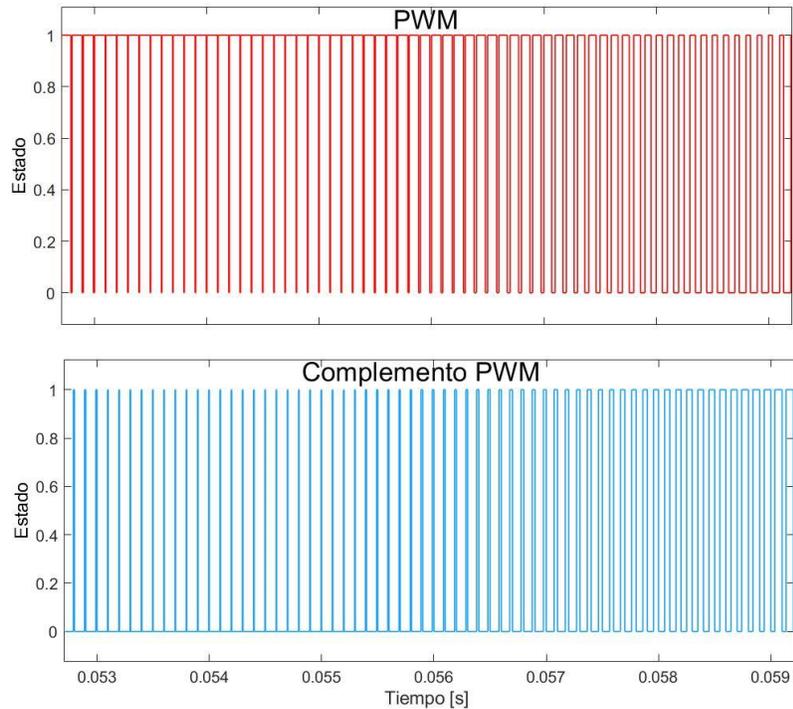


Figura 26 PWM (roja) Complemento PWM (azul)

En la salida de cada uno de los MOSFET se tendrá una señal cuadrada cuyo valor promedio será el que se encargue de generar una onda sinusoidal. La salida de voltaje entre los MOSFETs del Inversor de Medio Punte a través de modulación SPWM se muestra en la Figura 27.

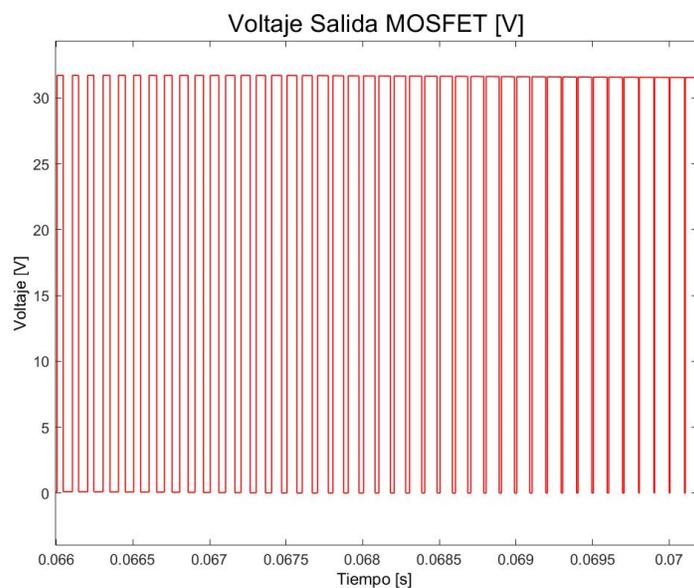


Figura 27 Voltaje de salida de los MOSFET.

Posterior a filtros y en la carga final, con un voltaje de BUS CD de 30 V, se tendrá una señal con armónicos y no muy suave (Figura 25). Para mitigar estos efectos, como se ha mencionado previamente, la solución es aumentar la frecuencia de la señal diente de sierra. Finalmente, ajustando la frecuencia de la señal diente de sierra y después del filtro paso bajos se obtiene el voltaje CA mostrado en la Figura 29. Hay que destacar que mientras mayor sea el valor de voltaje en el BUS CD se tendrán mayores amplitudes en la onda sinusoidal en la salida del inversor de medio puente. Para 31.7 VCD se tendrán 14 Vp de salida (Figura 28) y con 15 VCD se tendrán 6.5 Vp (Figura 30).

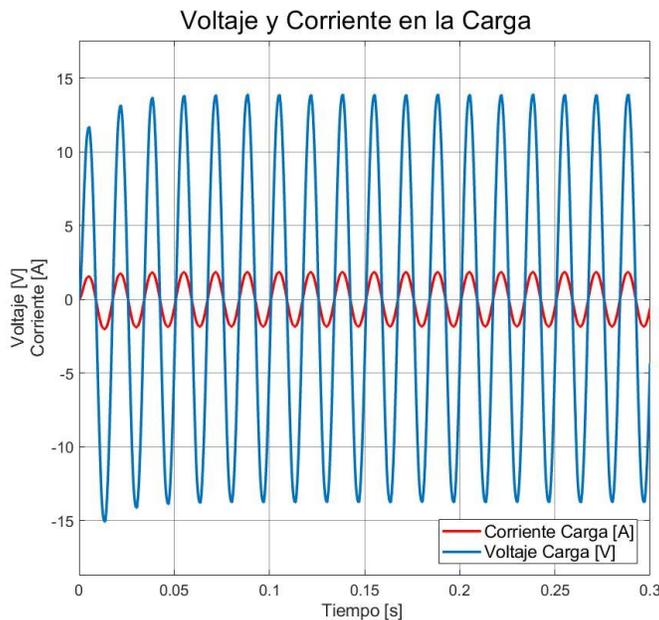


Figura 28 Comportamiento de Voltaje (azul) y Corriente [rojo] en la carga conectada a la salida del inversor a un valor CD de 31.7 V y una carga conectada de 20.7 Ω

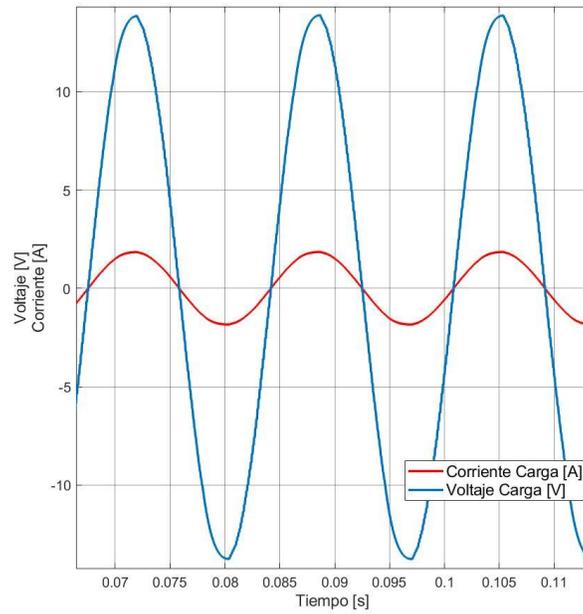


Figura 29 Zoom al comportamiento de Voltaje (azul) y Corriente (rojo) en la carga conectada a la salida del inversor a un valor CD de 31.7 V y una carga conectada de 20.7Ω

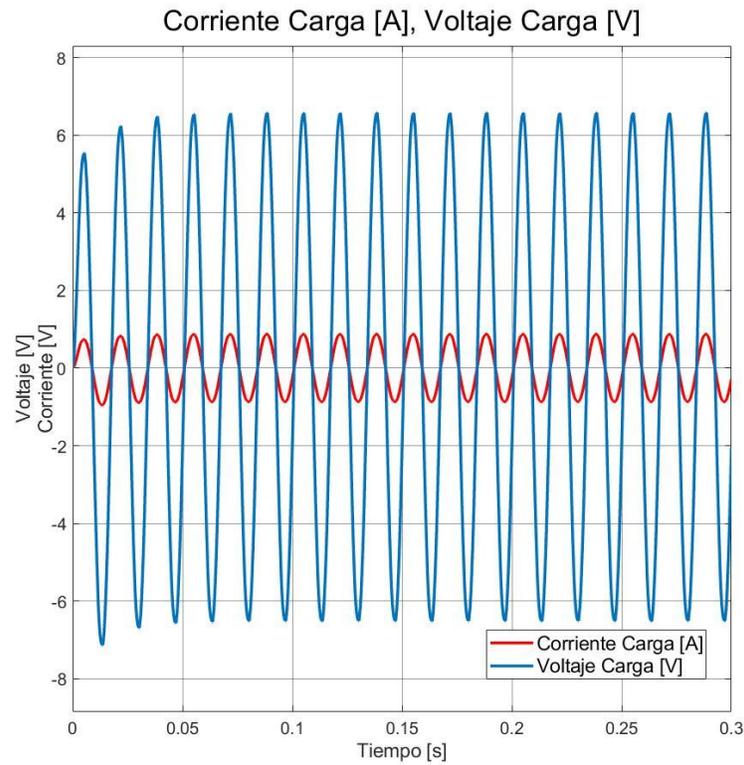


Figura 30 Comportamiento de Voltaje (azul) y Corriente [rojo] en la carga conectada a la salida del inversor a un valor CD de 15 V y una carga conectada de 20.7Ω

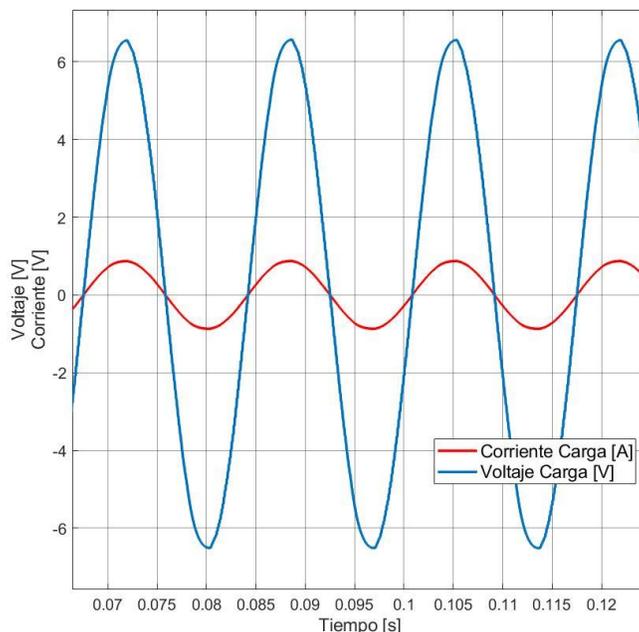


Figura 31 Zoom al comportamiento de Voltaje (azul) y Corriente (rojo) en la carga conectada a la salida del inversor a un valor CD de 15 V y una carga conectada de 20.7Ω

Tabla 3 Mediciones de la onda de voltaje en la carga a la salida del Inversor de Medio Punte con una carga de 20.7Ω conectado a un BUS de 31.7 V CD

Parámetro	Valor
Máximo	13.85 V
Mínimo	-13.85 V
Pico a Pico	27.7 V
RMS	9.79 V
Frecuencia	60.080 Hz
Máximo	0.669 A
Mínimo	-0.669 A
Pico a Pico	1.337 A
RMS	0.473 A

Como primera etapa se tienen los procesos de control de apertura y cierre de interruptores. Una señal “muestra” sinusoidal con la misma frecuencia de la que se quiere obtener a la salida del medio inversor es implementada. Esta señal será sometida a un comparador con la señal de diente de sierra a frecuencia de 10 kHz; como se ha podido observar en la Figura 23 y Figura 25, la distorsión armónica puede ser reducida mediante una frecuencia de señal de diente de sierra más alta.

La salida del SPWM irá directamente a las compuertas de los MOSFET, los cuales son los encargados de abrir o cerrar los circuitos para la generación de la corriente alterna. Por

topología de Inversor de Medio Puesto se deberá tener una referencia central entre los dos capacitores en la etapa de potencia (Figura 22) la cual invertirá la polaridad de la salida.

En la Figura 26 se muestran dos señales las cuales corresponden a cada una de las entradas de las compuertas de los transistores MOSFET. Es de vital importancia observar que para esta simulación no se tienen tiempos muertos. Las señales son complementos de cada una y de manera instantánea se niega el estado en cualquier punto de tiempo de donde se vean.

Posteriormente, se puede observar un filtro paso bajas (Figura 22), la cual ayuda a la señal de salida en la carga a ser lo más cercana a una señal sinusoidal. Este filtro tendrá la misma referencia que la carga entre los dos capacitores conectados en serie que a su vez están en paralelo del bus CD. La señal de salida directamente en la fuente de los transistores MOSFET se puede apreciar en la Figura 27.

Finalmente, en la Figura 28 y Figura 29 se muestra el comportamiento de la onda de voltaje y onda de corriente. Al tratarse de una carga puramente resistiva no existe desfaseamiento entre ambas ondas. La frecuencia es de 60.080 Hz y se obtienen valores RMS para voltaje y corriente de 9.79 V y 0.473 A respectivamente para un valor CD de 31.7 V. Una prueba adicional con un voltaje de 15 V CD aplicado es visible en las figuras Figura 30 y Figura 31.

3.2 Simulación VSC Trifásico

Para esta simulación se crearán condiciones para obtener una señal de salida trifásica balanceada, por lo que las cargas, filtros y señales moduladoras serán las mismas para las tres fases. El inversor trifásico constará de tres inversores monofásicos con señales de referencia para su simulación SPWM desfasadas 120° entre sí con la misma frecuencia y amplitud.

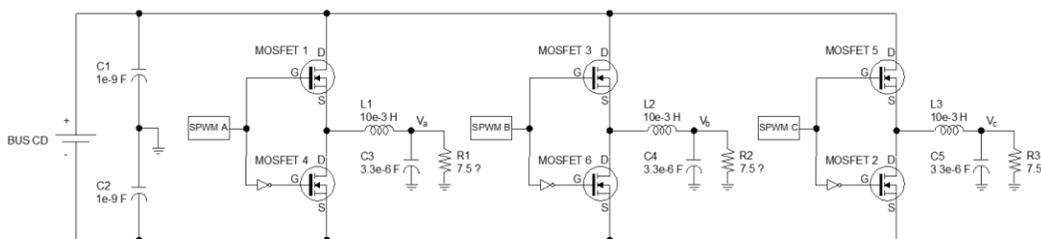


Figura 32 Inversor Trifásico Simulado en Simulink

Los valores implementados para la presente simulación se muestran en la Tabla 4. Cabe resaltar que para las tres fases los valores de las capacitancias e inductancias correspondientes a los filtros y la carga resistiva conectada en Y es la misma para las tres.

Tabla 4 Parámetros de Simulación del Inversor de Medio Puesto Trifásico

Parámetros de Simulación en MATLAB SIMULINK (VSC 3Φ)	
POWERGUI	
Tiempo de Simulación (Simulation Type)	Discrete
Tiempo de Muestra (Sample time) (s)	5e-6
SPWM	

Parámetros de Simulación en MATLAB SIMULINK (VSC 3Φ)	
Frecuencia de Comparación Fase A, B, C (rad)	120π
Fase de Comparación Fase A (rad)	0π
Fase de Comparación Fase B (rad)	$2\pi/3$
Fase de Comparación Fase C (rad)	$-2\pi/3$
Amplitud Señal comparación A, B, C (V)	1.65
Amplitud Señal portadora (V)	1.75
Frecuencia de salida de la onda triangular (kHz)	10
MOSFET	
Resistencia Ron del FET (FET resistance Ron) (Ω)	0.1
Inductancia interna del diodo Lon (Internal diode inductance Lon) (H)	0
Resistencia interna del diodo Rd (Internal diode resistance Rd) (Ω)	0.01
Voltaje interno de polarización del diodo Vf (Internal diode forward voltage Vf) (V)	0
Resistencia Snubber Rs (Snubber resistance Rs) (Ω)	1e5
Capacitancia Snubber Cs (Snubber capacitance Cs)	Inf
Fuente de voltaje CD o BUS CD (DC Voltage Source)	
Amplitud (Amplitude) (V)	31.7
Carga derivada en serie RLC (Series RLC Branch)	
Inductancia (Inductance) (H)	10e-3
Capacitores en serie conectados en paralelo a la fuente (Series RLC Branch)	
Resistencia (Resistance) (Ω)	1e-10
Capacitancia (Capacitance) (F)	1000 e-6
Capacitor de filtrado (Series RLC Branch)	
Resistencia (Resistance) (Ω)	1e-10
Capacitancia (Capacitance) (F)	3.3 e-6
Carga (Series RLC Branch)	
Resistencia (Resistance) (Ω)	7.5

Es redundante explicar nuevamente paso a paso del proceso que se lleva a cabo para la inversión de una señal trifásica explicada previamente la monofásica, por lo que se mostrará de manera secuencial las figuras con los resultados de todo el algoritmo de conversión CD a CA.

Tal como se aprecia en la Figura 33, la comparación con el diente de sierra de 10 kHz ahora se hace con tres señales sinusoidales idénticas en frecuencia y amplitud, pero con distinta fase. El resultado de estos SPWMs dará la señal de apertura y cierre a los interruptores de cada uno de los ramales del inversor trifásico. Donde un diagrama de tiempos con los interruptores que asocian a cada una de las fases correspondientes (Tabla 1) son mostrados (Figura 34).

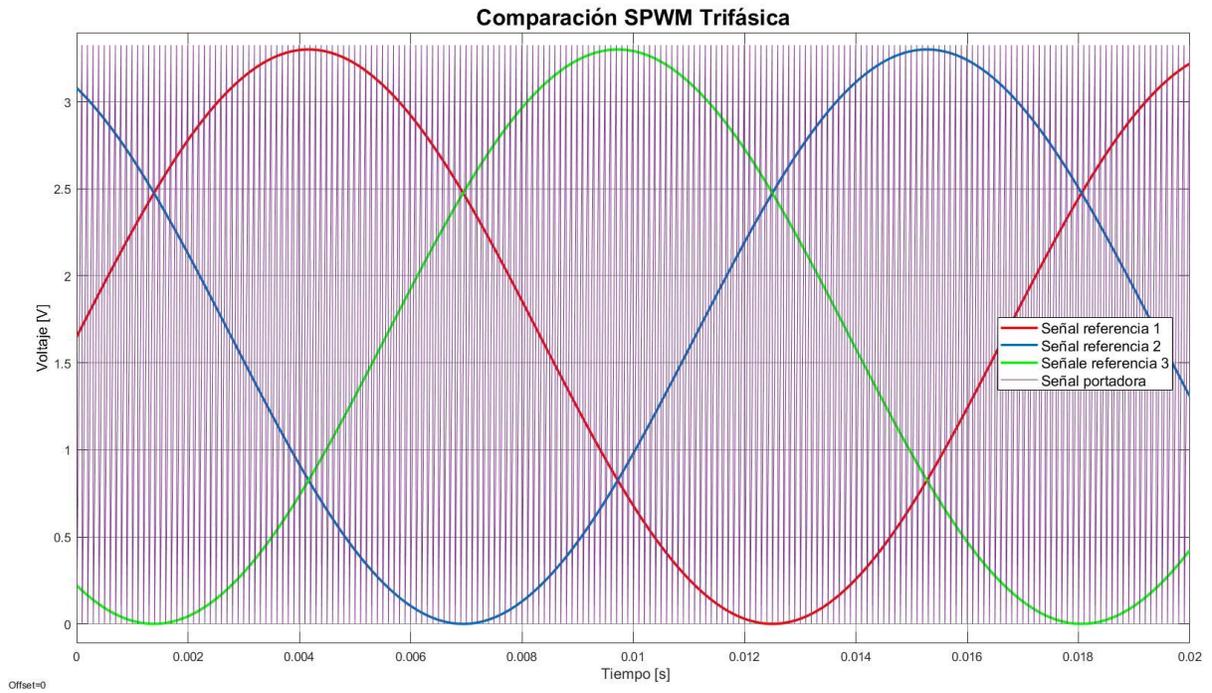


Figura 33 Comparación SPWM con frecuencia de diente de Sierra a 10 kHz y tres ondas sinusoidales de amplitud de 1.65 V con 60 Hz.

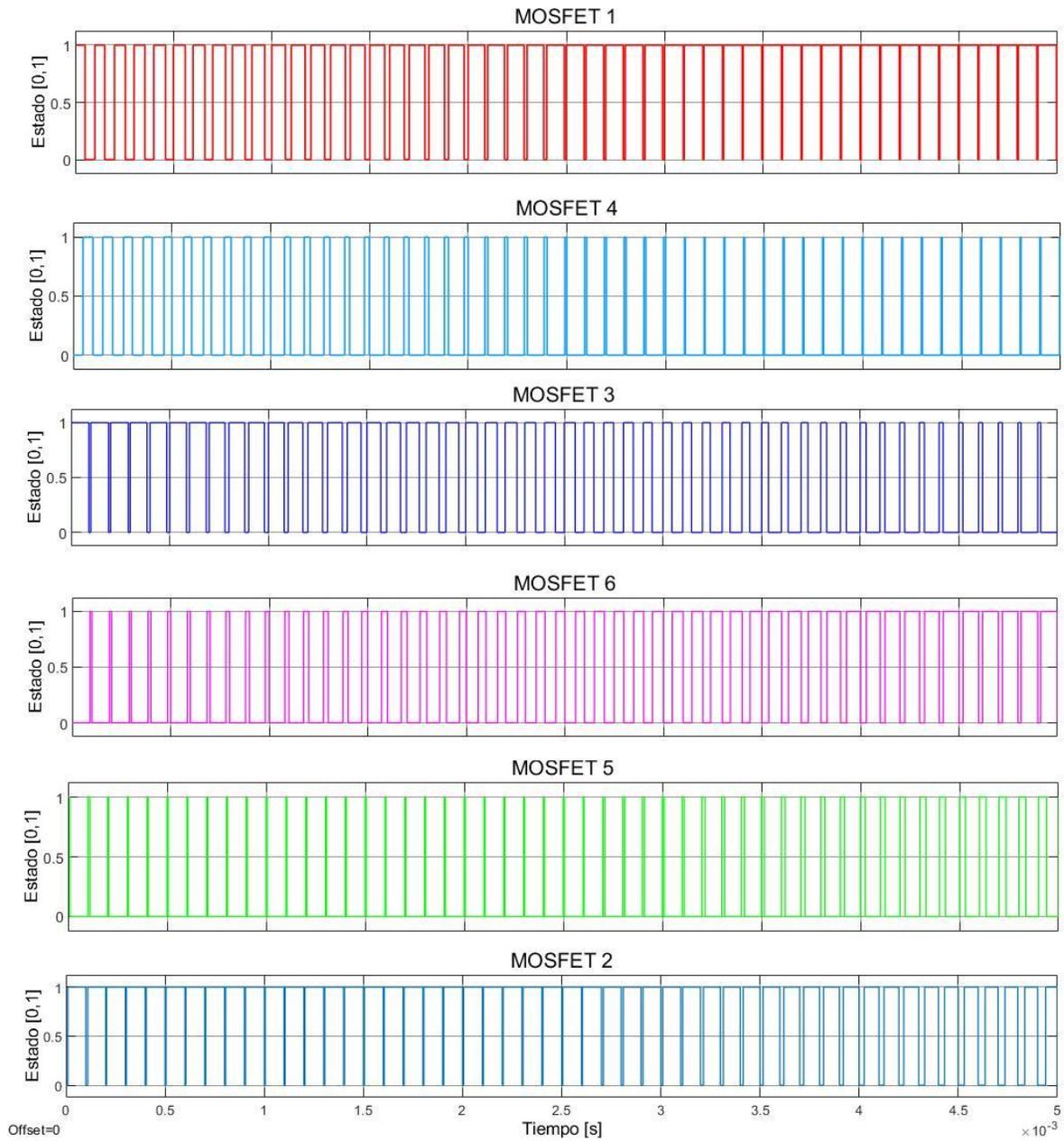


Figura 34 Diagrama de tiempos para el cierre y apertura de interruptores MOSFET

Posteriormente, una etapa de filtrado para bajas frecuencias (paso bajas) es aplicado para “limpiar la señal” y obtener una señal sinusoidal suave. Con un valor de la fuente de 31.7 V CD se obtienen las corrientes y voltajes mostrados en la Figura 35.

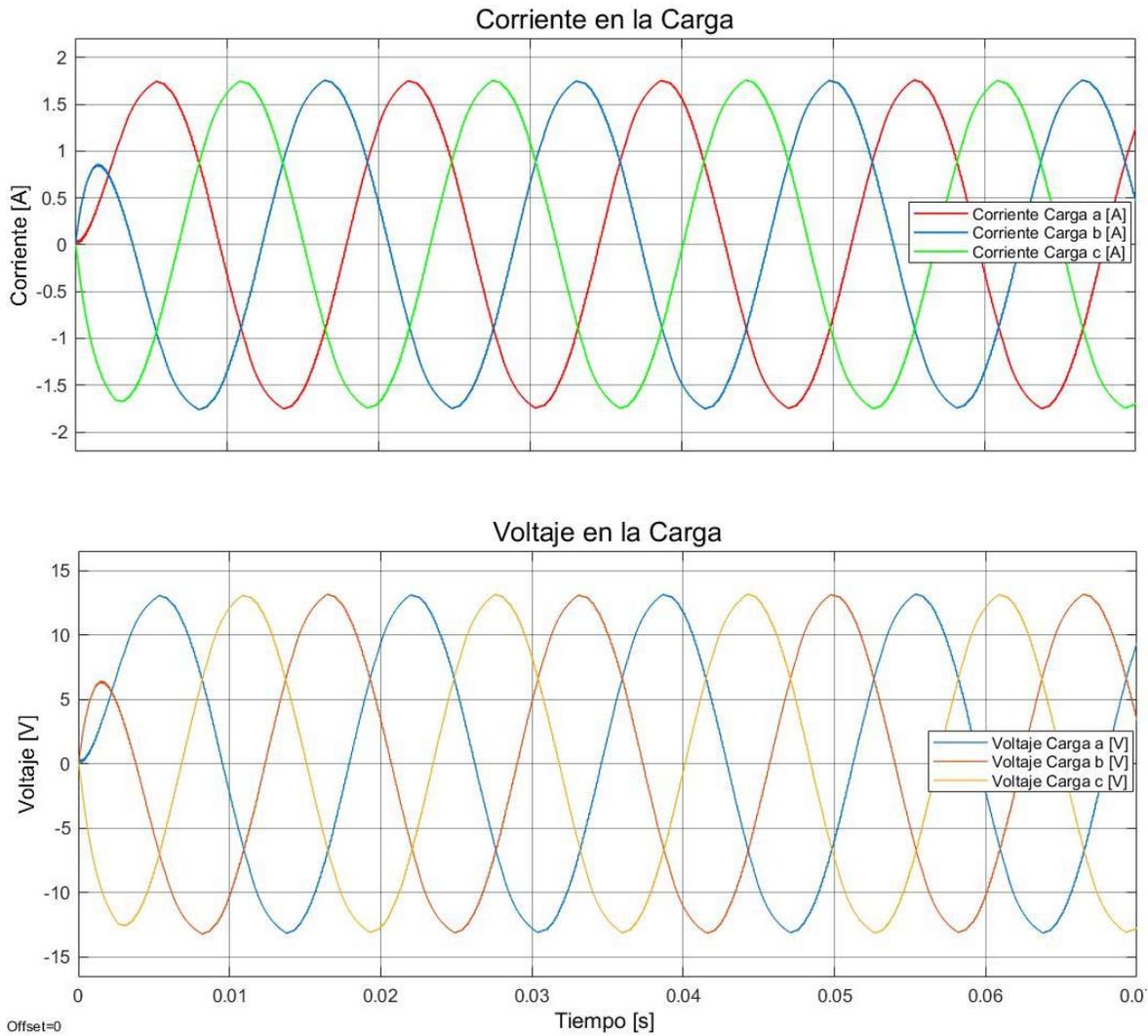


Figura 35 Corriente y voltaje a la salida del inversor trifásico con un valor de BUS CD de 31.7 V

En la Figura 35 se obtienen los voltajes de cada una de las fases a, b y c respecto a la referencia y la corriente en la carga resistiva a la salida del inversor Figura 32.

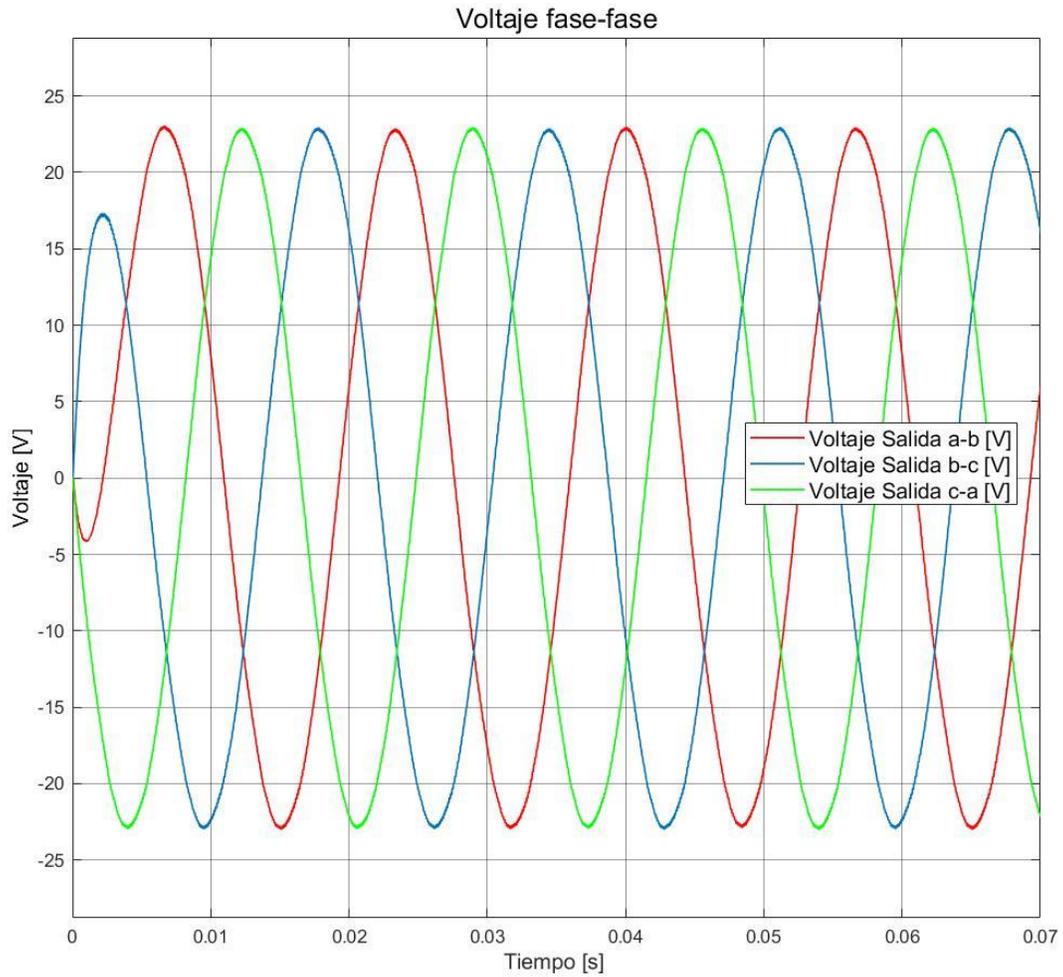


Figura 36 Voltaje entre fases a la salida del VSC trifásico

Los resultados obtenidos en la simulación se muestran en la Tabla 5

Tabla 5 Resultados obtenidos de voltaje y corriente para el inversor de voltaje trifásico

Parámetro	Valor
VOLTAJE (Fase a Neutro)	
Máximo (Fase A, B y C)	13.03 V
Mínimo (Fase A, B y C)	-13.03 V
Pico a Pico (Fase A, B y C)	26.06 V
RMS (Fase A, B y C)	9.21 V
Frecuencia (Fase A, B y C)	60.077 Hz
VOLTAJE (Fase a Fase)	
Máximo (Fase A-B)	22.82 V
Máximo (Fase B-C)	22.82 V
Máximo (Fase C-A)	22.82 V
Mínimo (Fase A-B)	-22.82 V
Mínimo (Fase B-C)	-22.82 V

Parámetro	Valor
Mínimo (Fase C-A)	-22.82 V
Pico a Pico (Fase A-B)	45.64 V
Pico a Pico (Fase B-C)	45.64 V
Pico a Pico (Fase C-A)	45.64 V
RMS (Fase A-B)	16.14 V
RMS (Fase B-C)	16.14 V
RMS (Fase C-A)	16.14 V
Frecuencia	60.075 Hz
CORRIENTE	
Máximo (Fase A, B y C)	1.755 A
Mínimo (Fase A, B y C)	-1.755 A
Pico a Pico (Fase A, B y C)	3.51 A
RMS (Fase A, B y C)	1.24 A
Frecuencia (Fase A, B y C)	60.077 Hz

Para la disminución de armónicos a la salida del VSC se aplicará un filtro paso bajas pasivo con elementos inductivos y capacitivos. Al tratarse de un ambiente de simulación, el ruido presente será casi nulo, sin embargo, en el prototipo real será necesario este elemento por ruido térmico en los semiconductores y DSP.

El sistema físico a modelar es el siguiente:

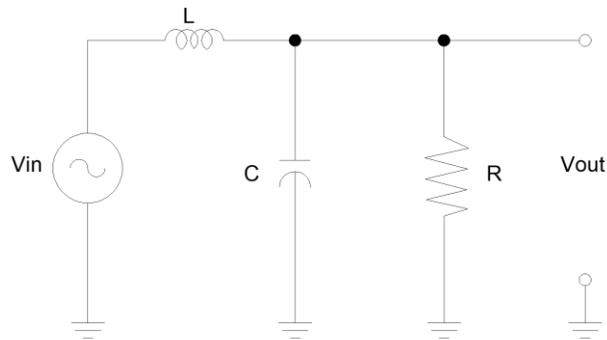


Figura 37 Filtro Paso Bajas Pasivo a implementar

Asumiendo que se tienen elementos inductivos y capacitivos puros, para las impedancias se tendrá:

$$Z_L = j\omega L \quad (76)$$

$$Z_C = \frac{1}{j\omega C} \quad (77)$$

$$Z_R = R \quad (78)$$

$$s = j\omega \quad (79)$$

Al modelar la tensión de salida en la Figura 37, nos percatamos que el voltaje en el Capacitor y en la Resistencia es la misma por estar en una conexión en paralelo.

$$V_{in} = V_L + V_C \quad (80)$$

Realizando un divisor de voltaje en el punto de salida del circuito ($V_C = V_R$).

$$V_{out} = V_{in} \left(\frac{Z_C}{Z_L + Z_C} \right) \quad (81)$$

En términos de ganancia.

$$\frac{V_{out}}{V_{in}} = \frac{Z_C}{Z_L + Z_C} \quad (82)$$

$$\frac{V_{out}}{V_{in}} = \frac{1/sC}{sL + 1/sC} \quad (83)$$

Simplificando:

$$\frac{V_{out}}{V_{in}} = \frac{1/sC}{sL + 1/sC} \left(\frac{sC}{sC} \right) \quad (84)$$

$$= \frac{1}{s^2LC + 1} \quad (85)$$

Finalmente podemos observar que se tendrá un filtro de segundo grado con un cero y dos polos el cual nos dará una pendiente de -40 dB/decada con una ganancia unitaria.

Sustituyendo valores de los componentes reales:

$$L = 10 \text{ mH}$$

$$C = 3.3 \mu\text{F}$$

$$H(s) = \frac{1}{s^2(10 \text{ mH})(3.3 \mu\text{F}) + 1} = \frac{1}{3.3 \times 10^{-8} s^2 + 1} \left(\frac{1/3.3 \times 10^{-8}}{1/3.3 \times 10^{-8}} \right) \quad (86)$$

$$= \frac{30303030.3}{s^2 + 30303030.3} \quad (87)$$

Por inspección podemos determinar que la frecuencia de corte del filtro resultará:

$$f_0 = \frac{\sqrt{30303030.3}}{2\pi} = 876.11 \text{ [Hz]} \quad (88)$$

Para una observación del filtro en acción se implementa una simulación en Simulink, donde se tendrán dos señales sinusoidales que se superponen previamente al bloque de función de transferencia.

La denominada señal sana es aquella que se encuentra en un estado ideal, una señal puramente sinusoidal, mientras que el ruido es una señal de menor magnitud de distinta frecuencia. Los valores de las señales son:

- Señal Sana: 127 Vrms y 120π rad/s
- Ruido: 35.35 Vrms
 - 5504.76 rad/s
 - 10000 rad/s
 - 20000 rad/s

Donde mientras más grande sea la frecuencia se espera una mejor atenuación del filtro. La implementación de la función de transferencia a manera de bloque es visible en la Figura 38.

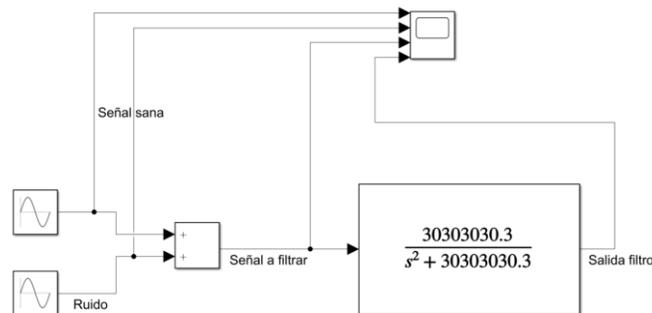


Figura 38 Implementación de la función de transferencia en el ambiente de simulación de Simulink

Los resultados gráficos se muestran en las figuras Figura 39, Figura 40 y Figura 41.

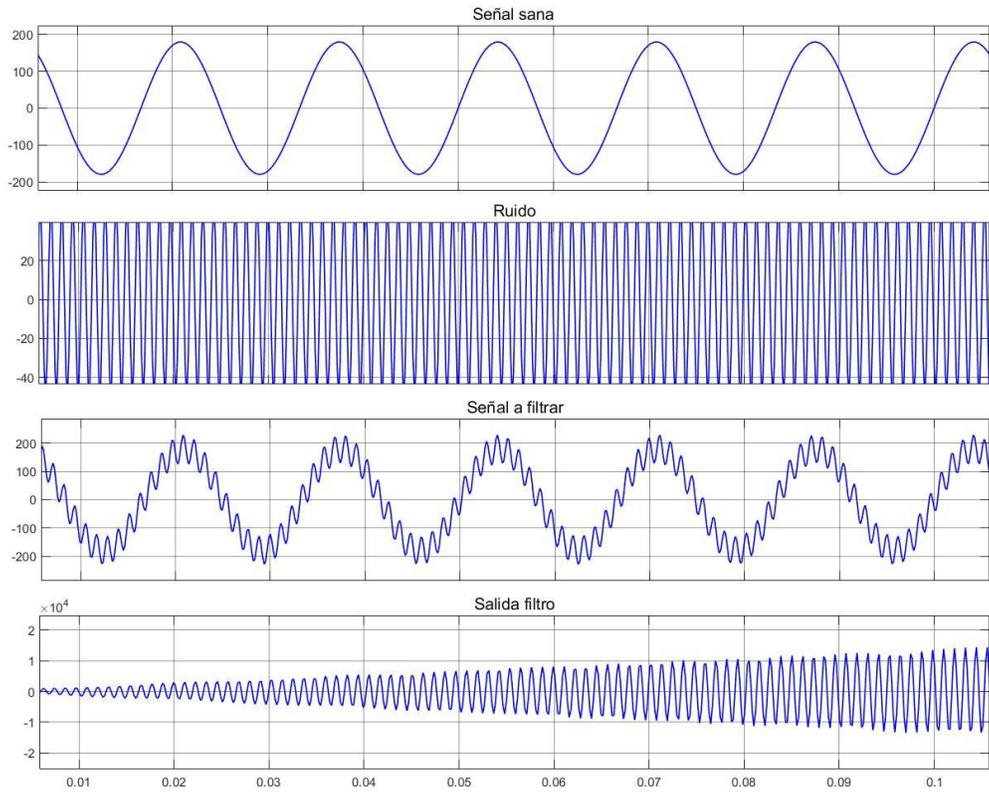


Figura 39 Filtro paso bajas con ruido de 5504.76 rad/s(frecuencia de corte)

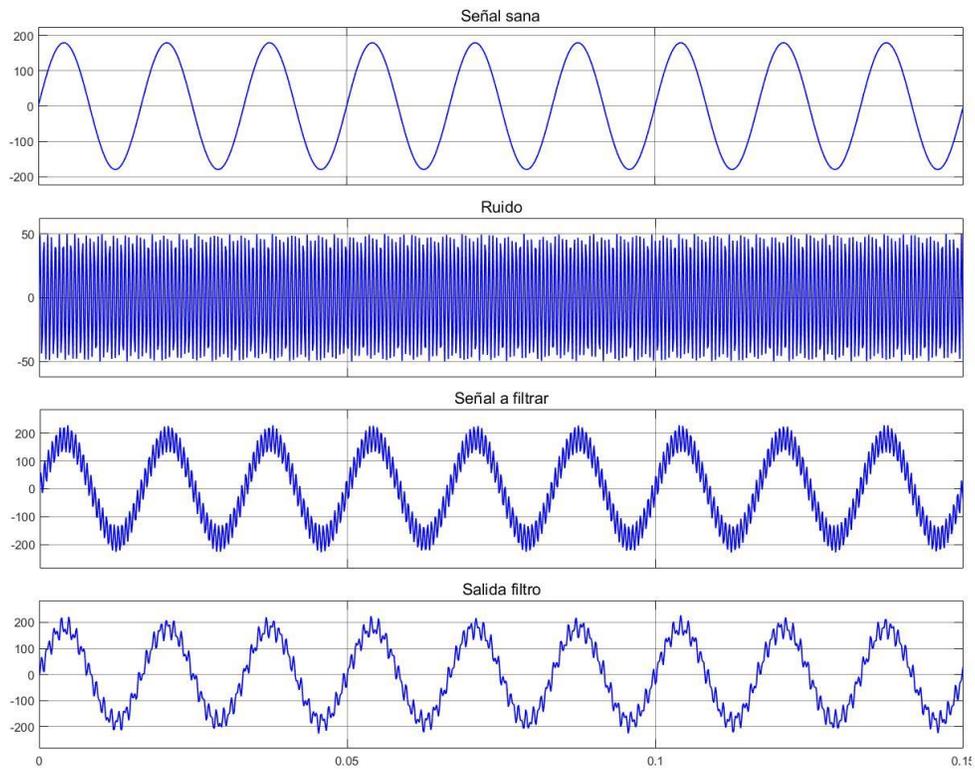


Figura 40 Filtro paso bajas con ruido de 10000 rad/s

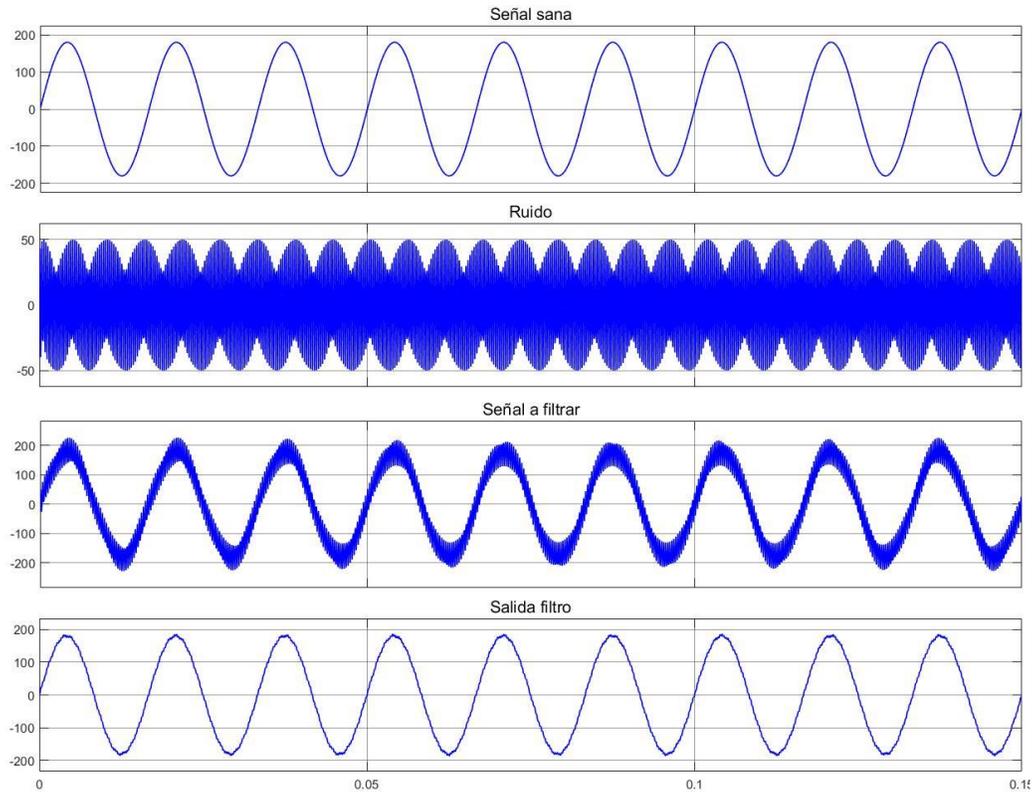


Figura 41 Filtro paso bajas con ruido de 20000 rad/s

Se puede apreciar en la Figura 39 que al aplicar la frecuencia de corte se tiene un comportamiento errático debido al factor de calidad del propio filtro. En las siguientes corridas de simulación con 10k rad/s y 20k rad/s (Figura 40 y Figura 41, respectivamente) el filtro funciona mucho mejor ya que la impedancia por la frecuencia es absorbida por el propio filtro.

Para simplificar las señales trifásicas a una sola señal la cual puede ser interpretada para un sistema de control a lazo cerrado, se ejecutarán las transformadas de Clarke y Park. Mediante las ecuaciones mostradas en la sección Transformada de Clarke Directa se obtiene una transformada con un solo valor que representará el de las tres fases en voltaje y corriente. En el caso de la Figura 42 se consideran los voltajes entre fases entregados, donde podemos denotar que al tratarse de un sistema trifásico balanceado el valor correspondiente a x_α será el mismo obtenido tanto para la señal sinusoidal RMS y la transformada de Clarke (16.14 V). De misma manera ocurre para el valor de corriente de 1.24 A en cada una de las fases y la transformada de Clarke de corriente en la Figura 43.

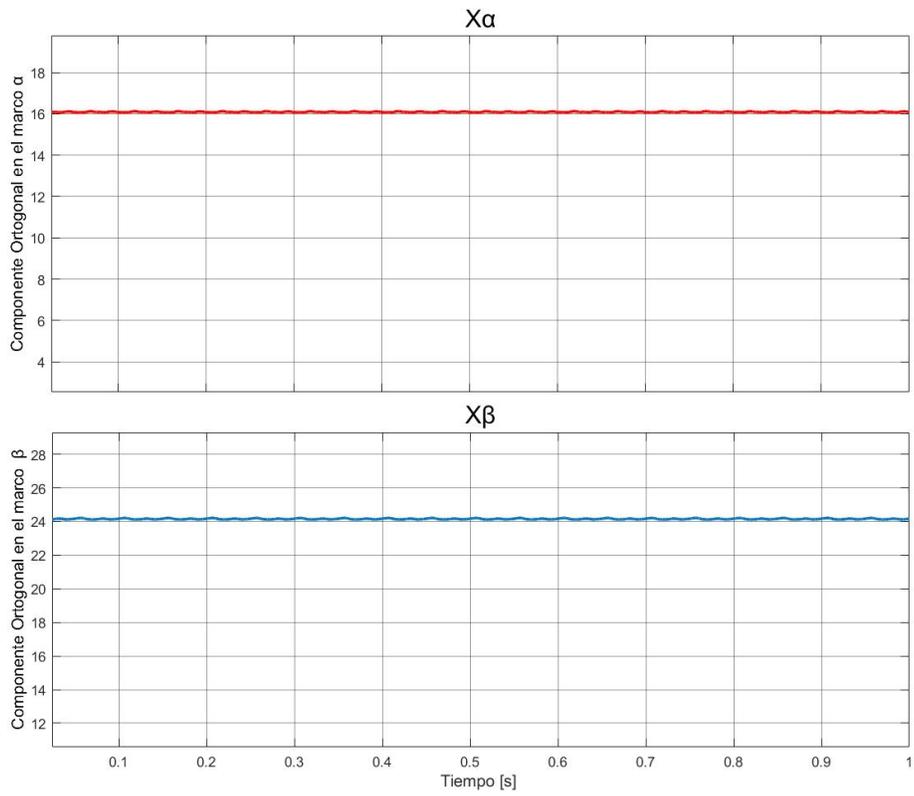


Figura 42 Transformada de Clarke para el voltaje entre fases del inversor trifásico obtenido

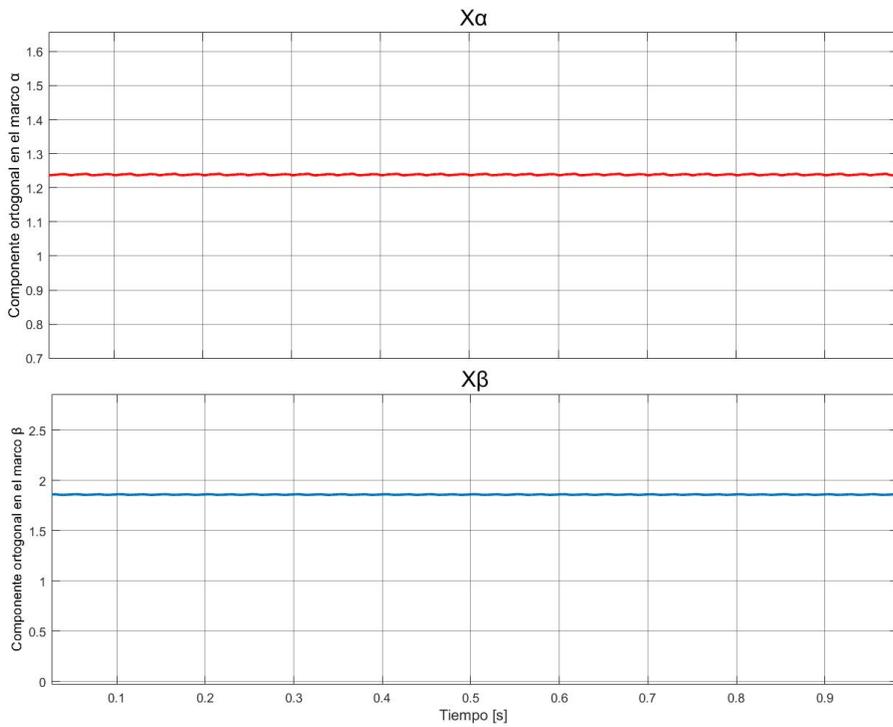


Figura 43 Transformada de Clarke de corriente a la salida del inversor trifásico

4 PUESTA EN MARCHA DEL PROTOTIPO

Una vez introducidos los elementos necesarios para el prototipo, este capítulo tiene como objetivo la construcción y puesta en marcha de un inversor de CD a CA monofásico. El presente capítulo se limita únicamente al armado físico y explicación de las conexiones, dejando a un lado la configuración de software y la descripción de los componentes.

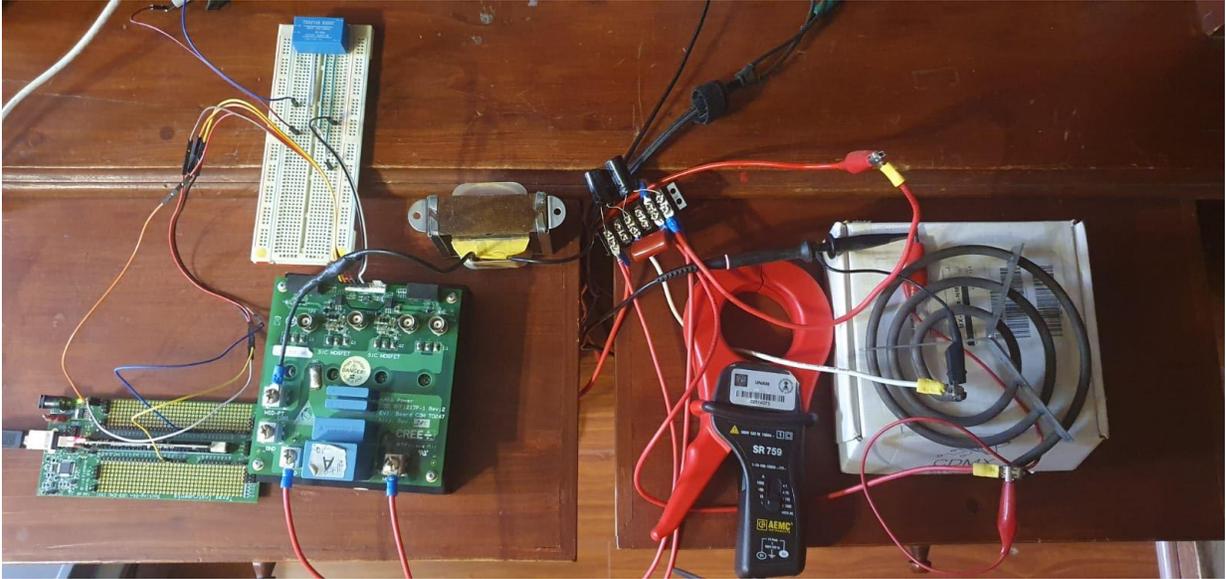


Figura 44 Prototipo de inversor monofásico de voltaje. De izquierda a derecha: DSP, KIT MOSFET, Filtro Paso Bajas y Carga Resistiva

A la salida de la DPS se obtienen las señales de control para la apertura y cierre de los interruptores MOSFET (Figura 45, Figura 46, Figura 48 y Figura 49). Como se ha explicado antes, estas señales tienen que ser complemento. Adicionalmente, al tratarse de un prototipo real se tiene que tomar en cuenta que el tiempo de respuesta de la apertura y cierre demorará un poco (no será un cambio ideal de estado), por lo que un tiempo muerto donde ninguno de los interruptores está cerrado es considerado (Figura 47 y Figura 50).

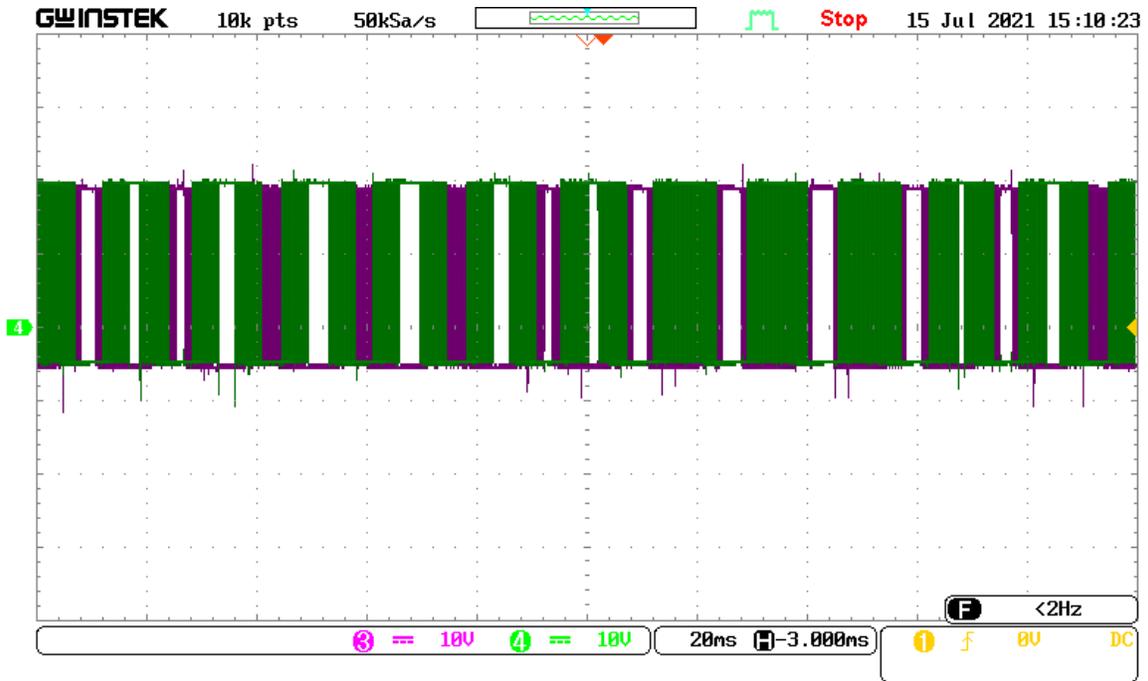


Figura 45 Señal de control SPWM a partir de la DSP

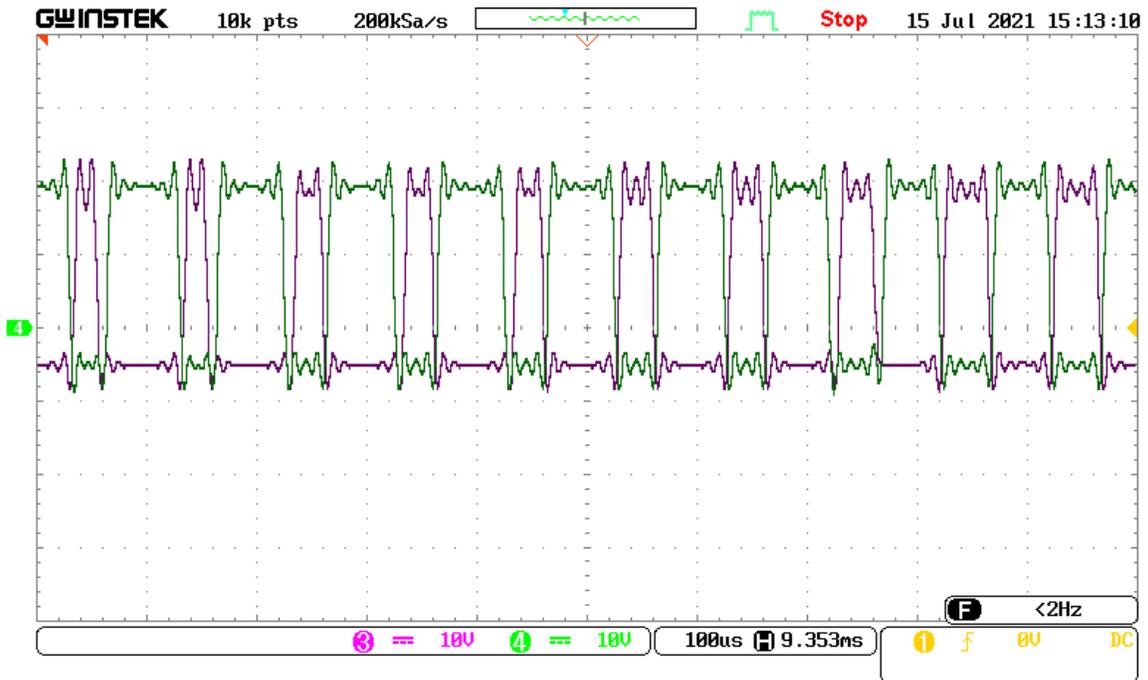


Figura 46 Acercamiento de la Señal de control SPWM a partir de la DSP

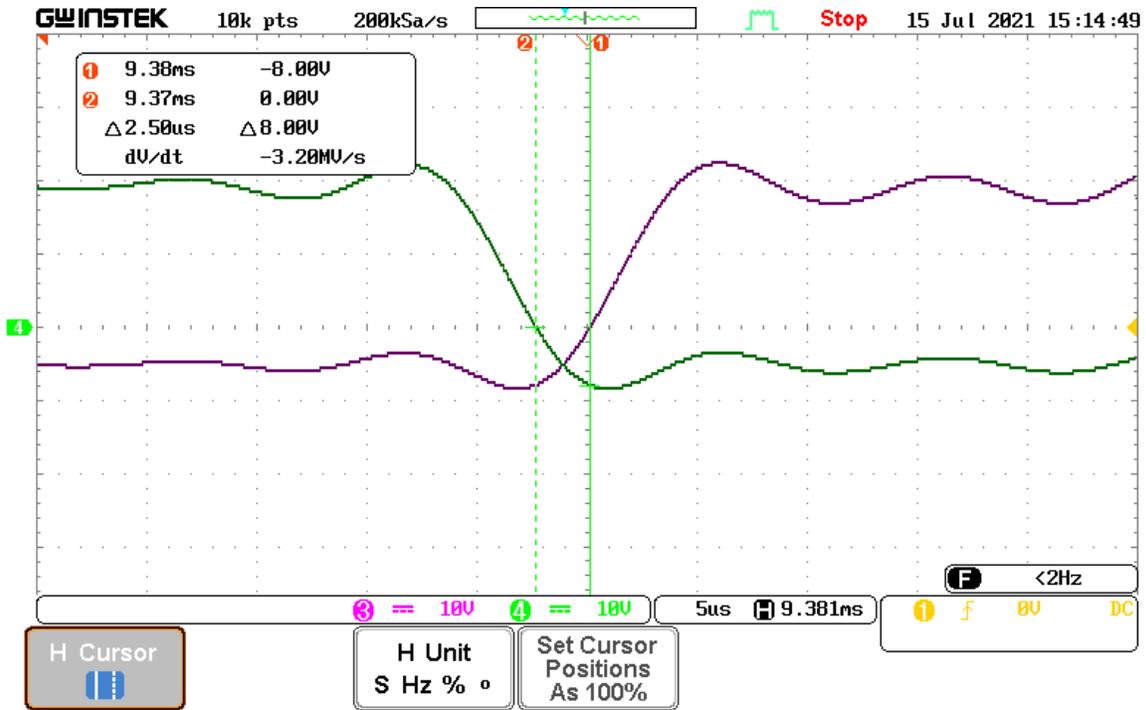


Figura 47 Tiempo muerto entre los dos estados para no causar corto circuito en el prototipo

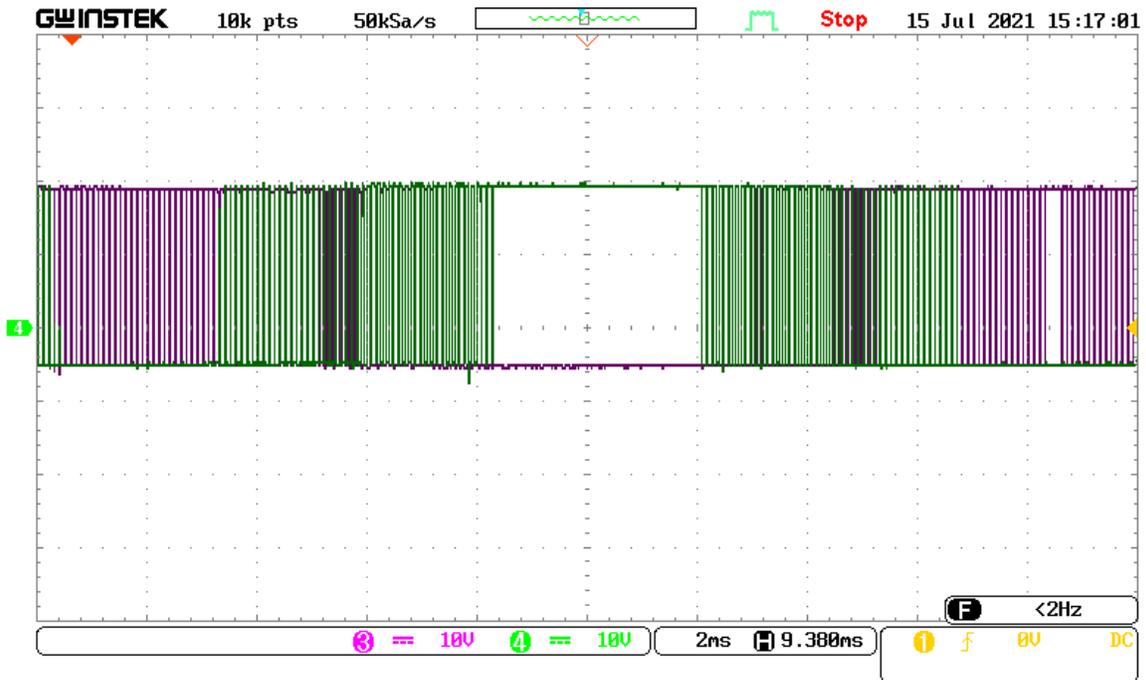


Figura 48 Otra Señal de control SPWM a partir de la DSP

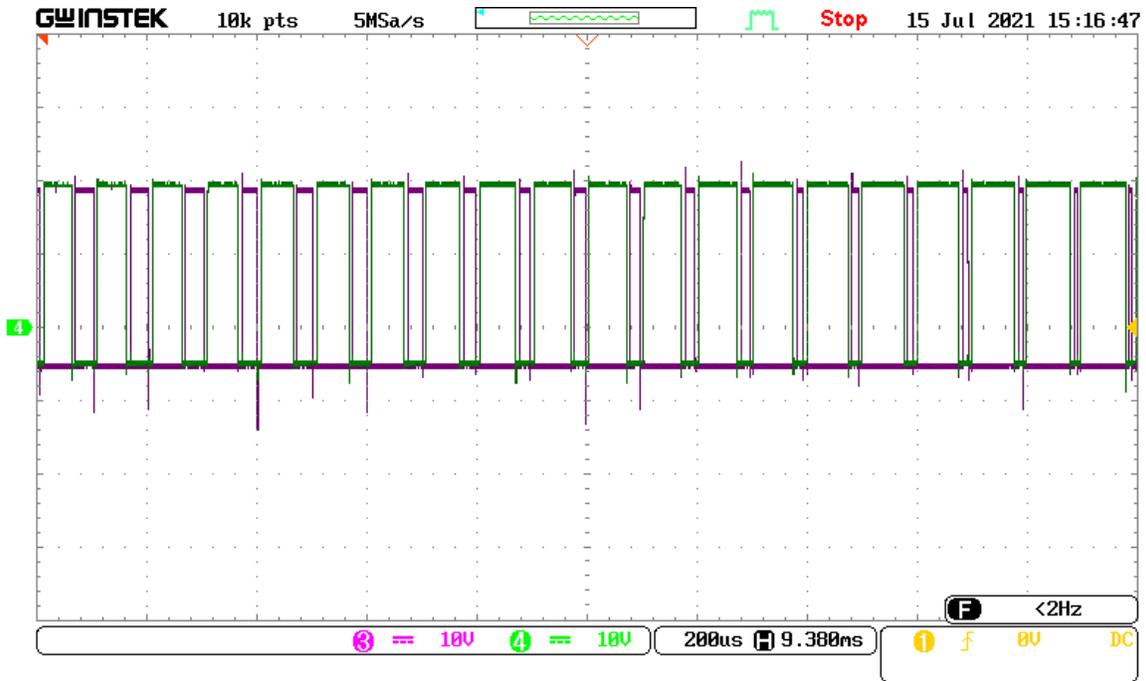


Figura 49 Otro Acercamiento de la Señal de control SPWM a partir de la DSP



Figura 50 Otro Tiempo muerto entre los dos estados para no causar corto circuito en el prototipo

Para una carga resistiva de 7.5Ω se va variando el valor del BUS CD como lo indica la Tabla 6.

Tabla 6 Valores obtenidos del prototipo del VSC monofásico con carga de 7.5Ω con su correspondiente figura

Voltaje CD (V)	Voltaje CA (RMS)	Corriente CA (RMS)	Frecuencia (Hz)	Figura
31.7	7.41	1.08	59.98	Figura 51
25	5.82	850×10^{-3}	59.99	Figura 52
20	4.64	674×10^{-3}	59.99	Figura 53
15	3.46	504×10^{-3}	59.99	Figura 54
10	2.31	339×10^{-3}	59.98	Figura 55
5	1.15	168×10^{-3}	59.98	Figura 56
3	696×10^{-3}	100×10^{-3}	59.99	Figura 57

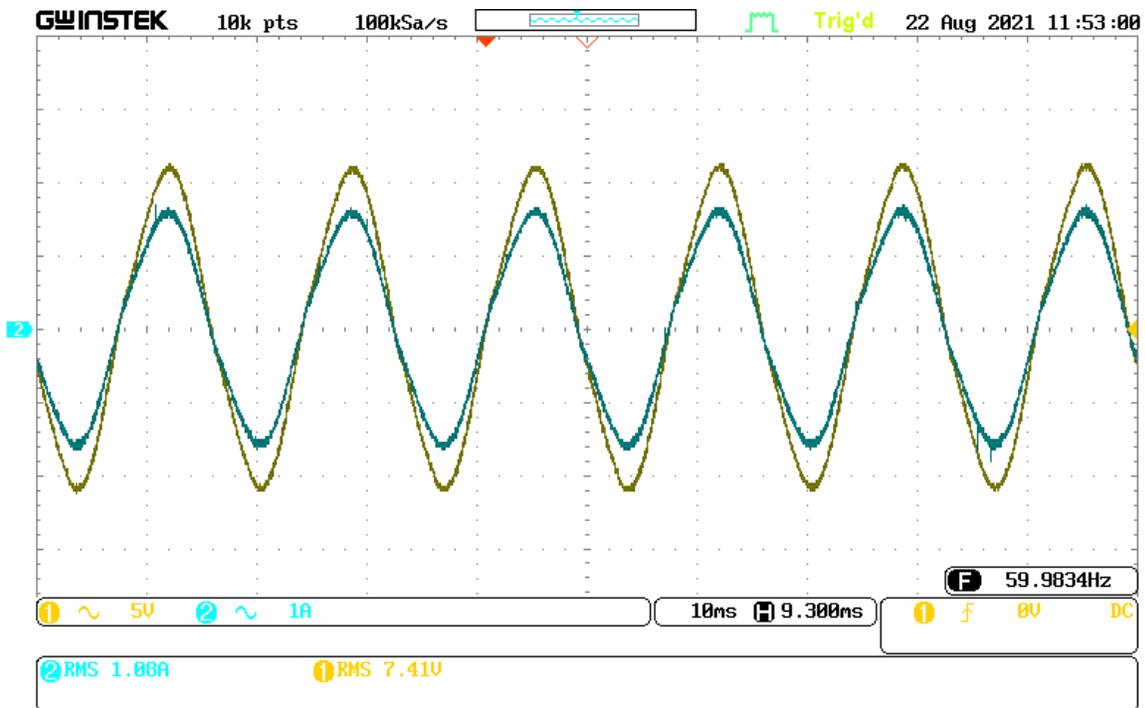


Figura 51 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 31.7 V



Figura 52 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 25 V

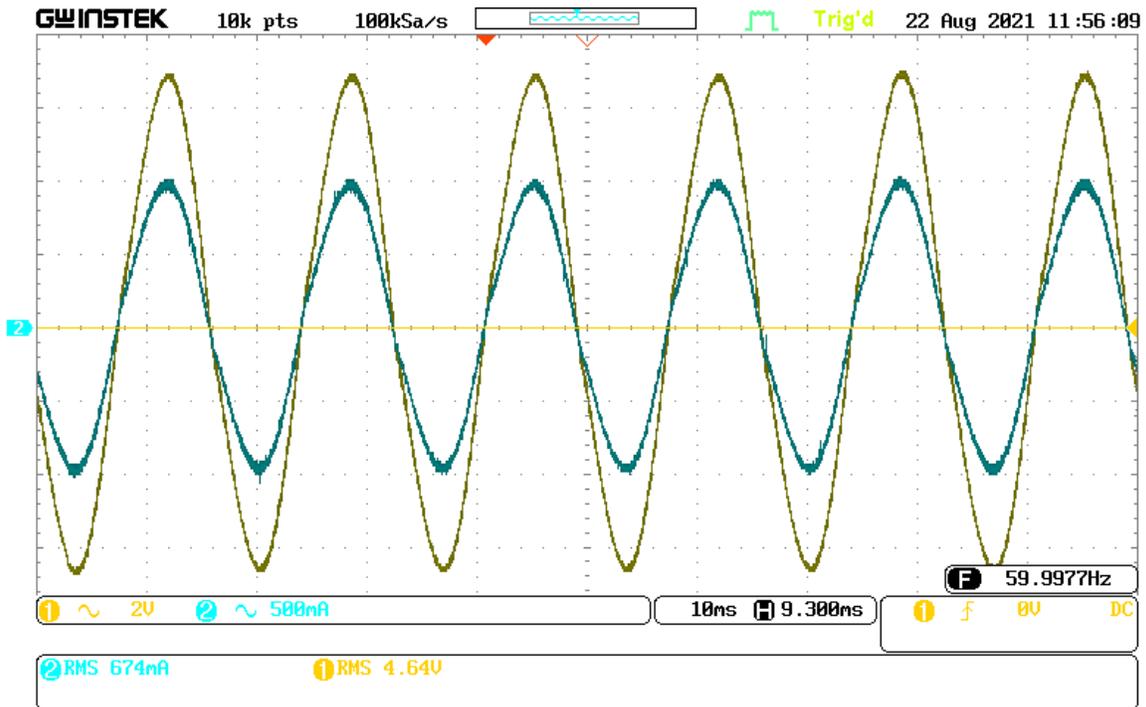


Figura 53 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 20 V

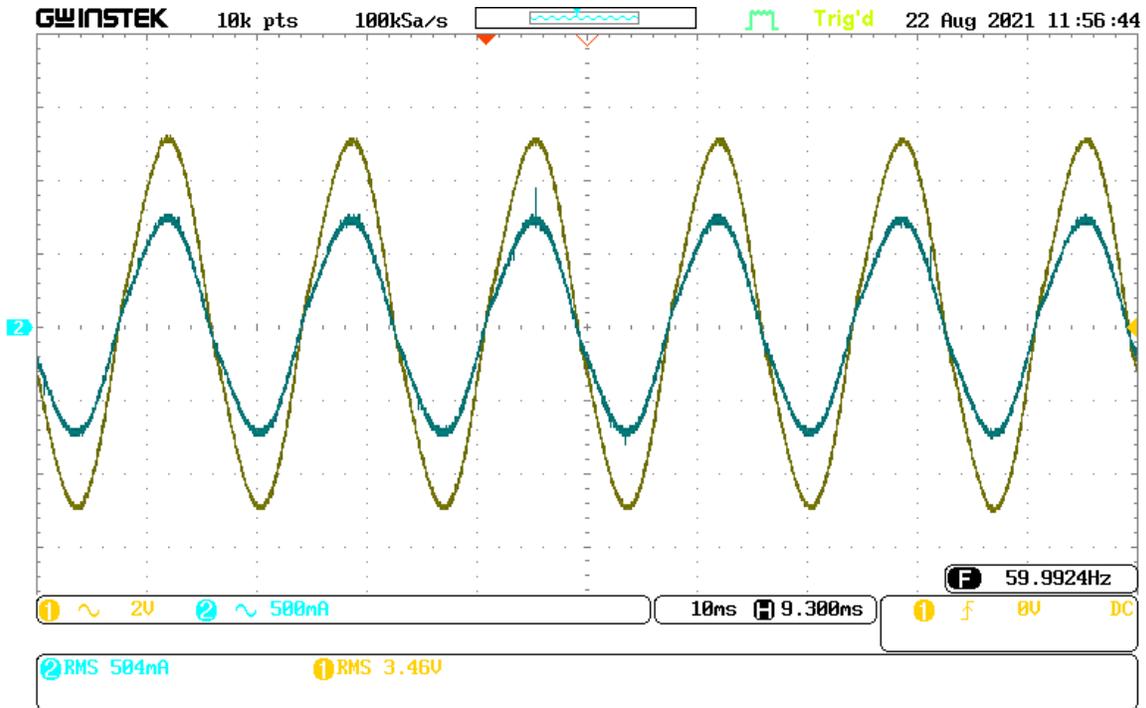


Figura 54 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 15 V

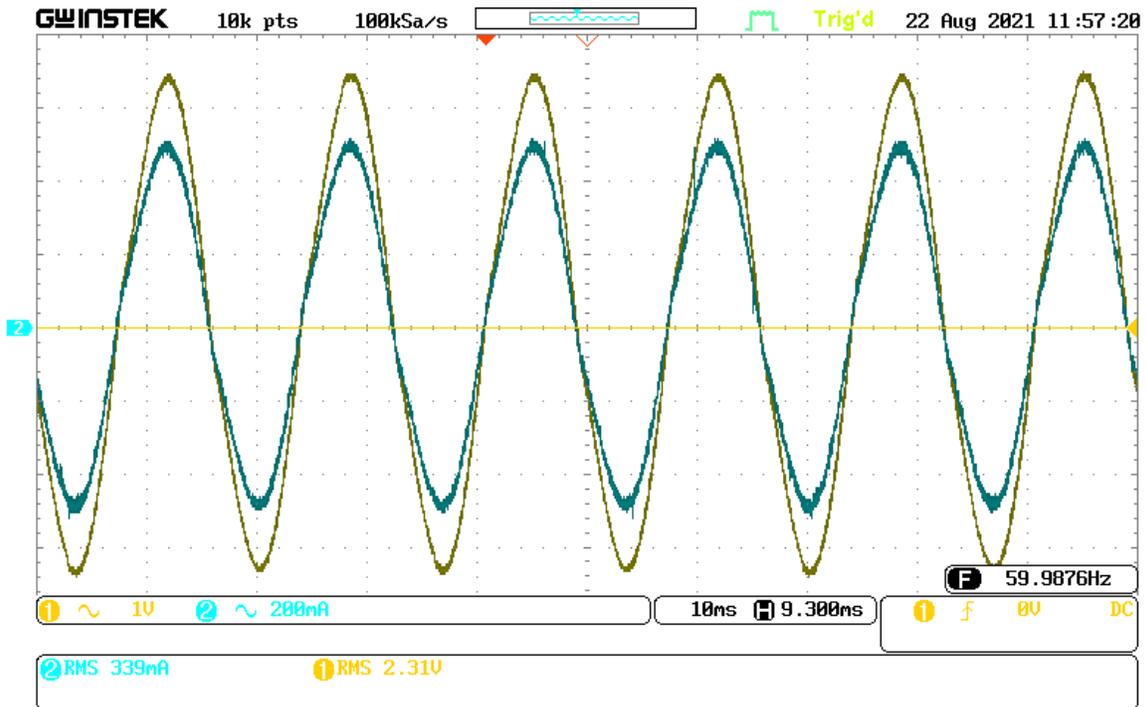


Figura 55 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 10 V

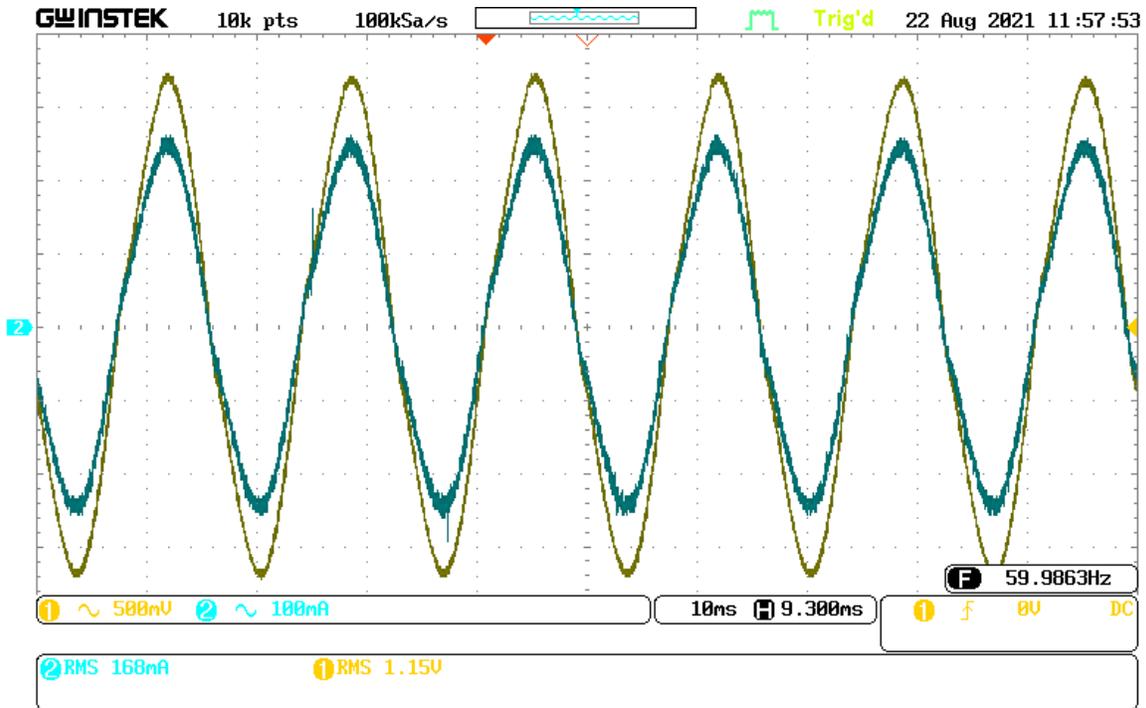


Figura 56 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 5 V

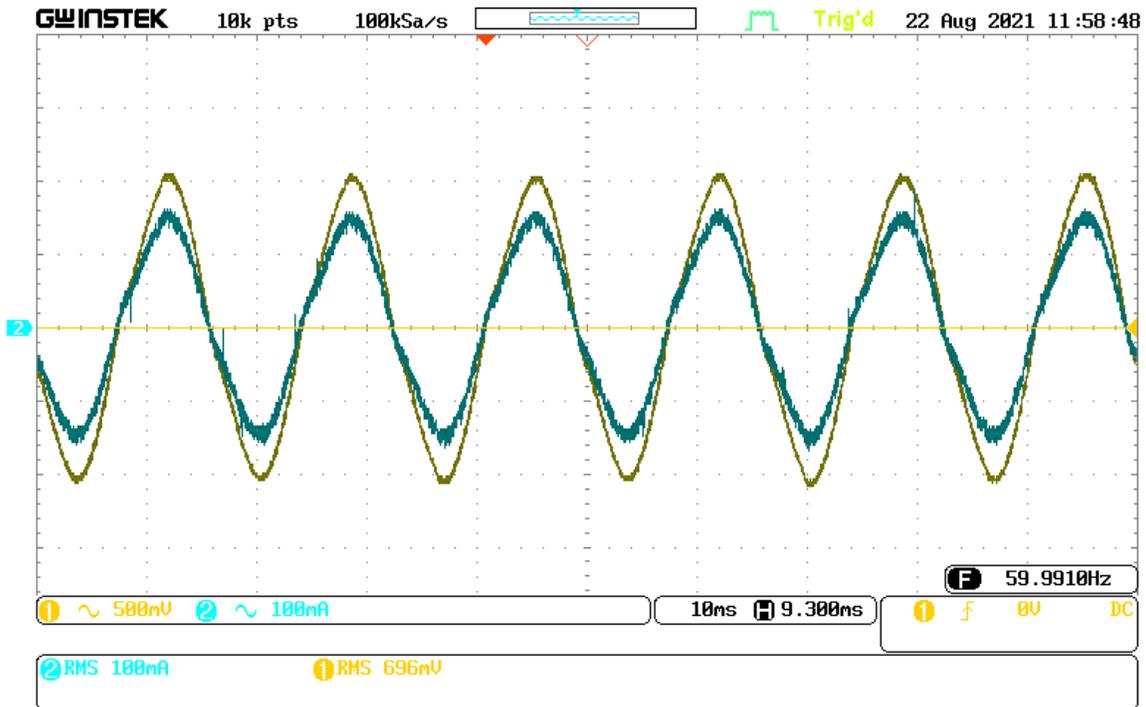


Figura 57 Voltaje y corriente obtenidos en una carga de 7.5Ω con un BUS CD de 3 V

De igual manera, para una carga resistiva de 20.7Ω se obtienen los resultados mostrados en

Tabla 7 Valores obtenidos del prototipo del VSC monofásico con carga de 20.7Ω con su correspondiente figura

Voltaje CD (V)	Voltaje CA (RMS)	Corriente CA (RMS)	Frecuencia (Hz)	Figura
31.7	8.71	426×10^{-3}	59.99	Figura 58
25	6.85	332×10^{-3}	59.98	Figura 59
20	5.48	265×10^{-3}	59.99	Figura 60
15	4.15	200×10^{-3}	59.98	Figura 61
10	2.76	13×10^{-3}	59.98	Figura 62
5	1.36	67.3×10^{-3}	59.97	Figura 63
3	808×10^{-3}	40.9×10^{-3}	59.98	Figura 64

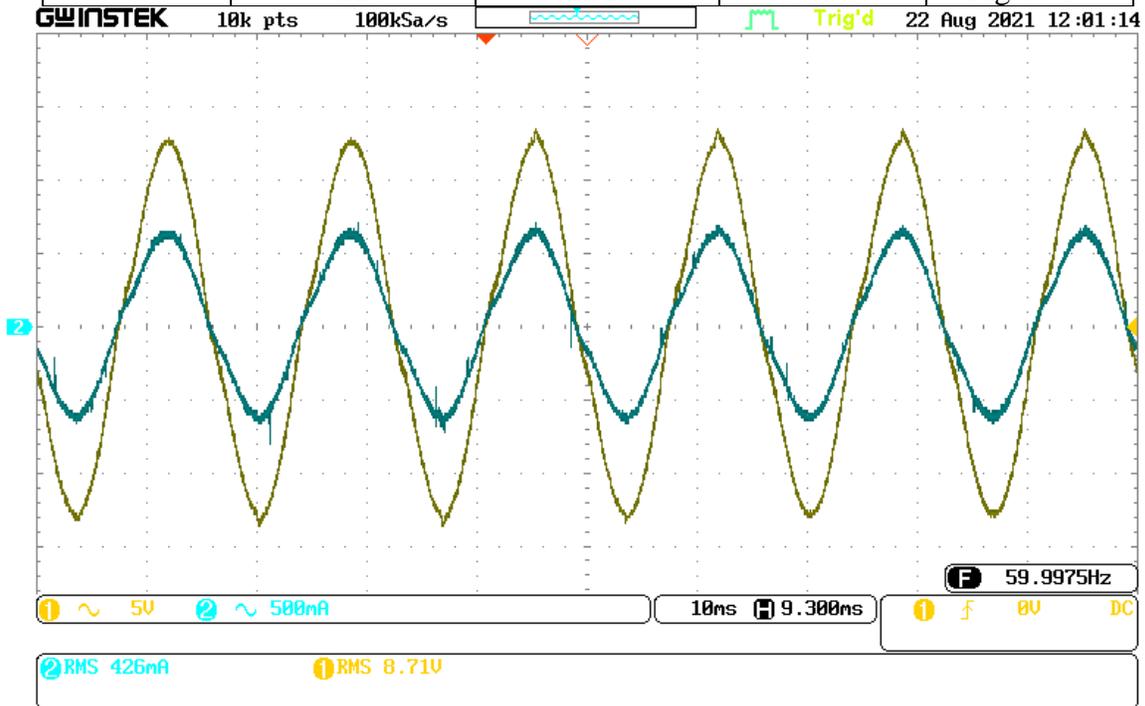


Figura 58 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 31.7 V

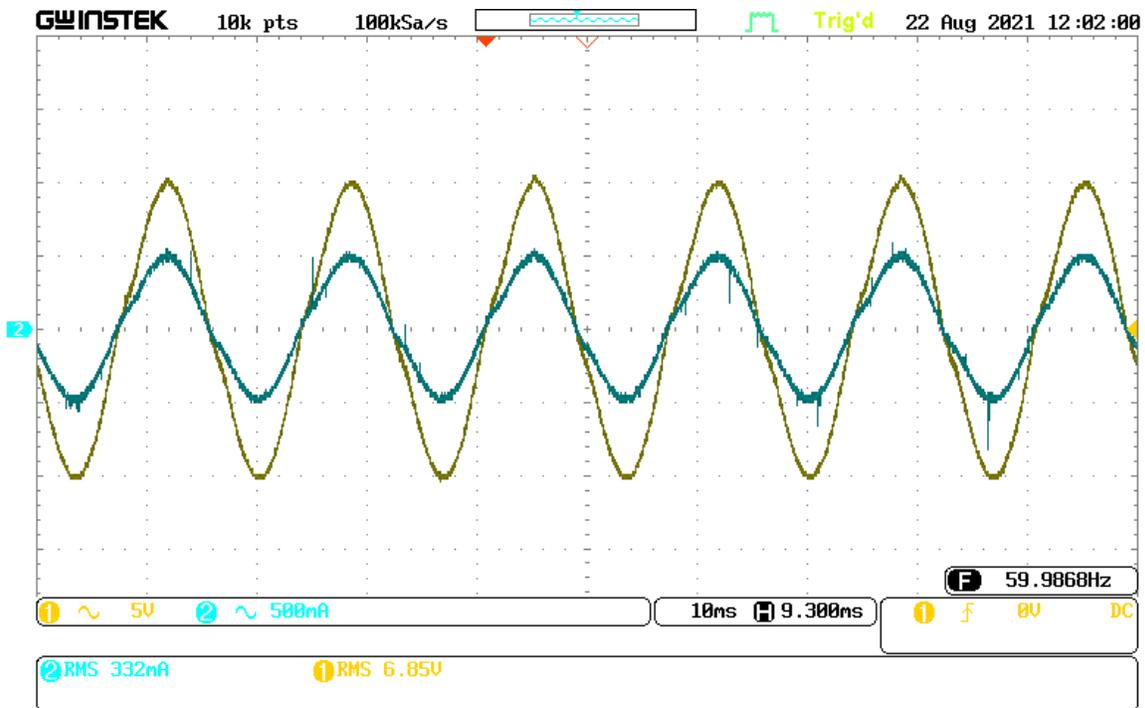


Figura 59 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 25 V

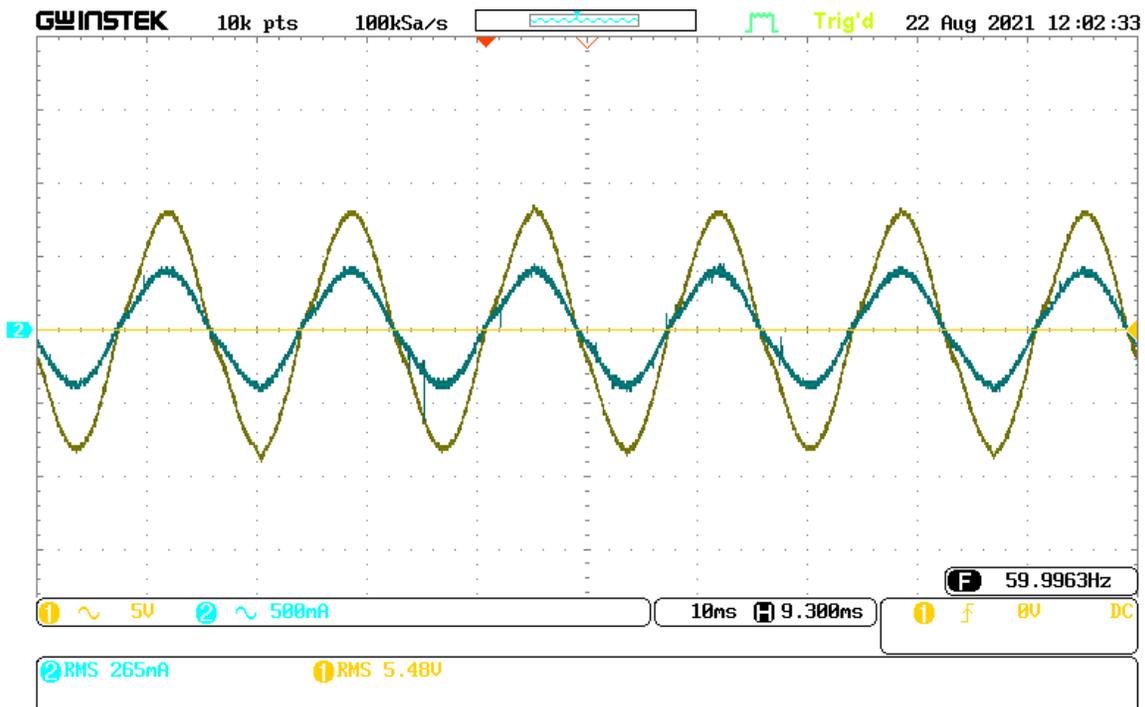


Figura 60 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 20 V

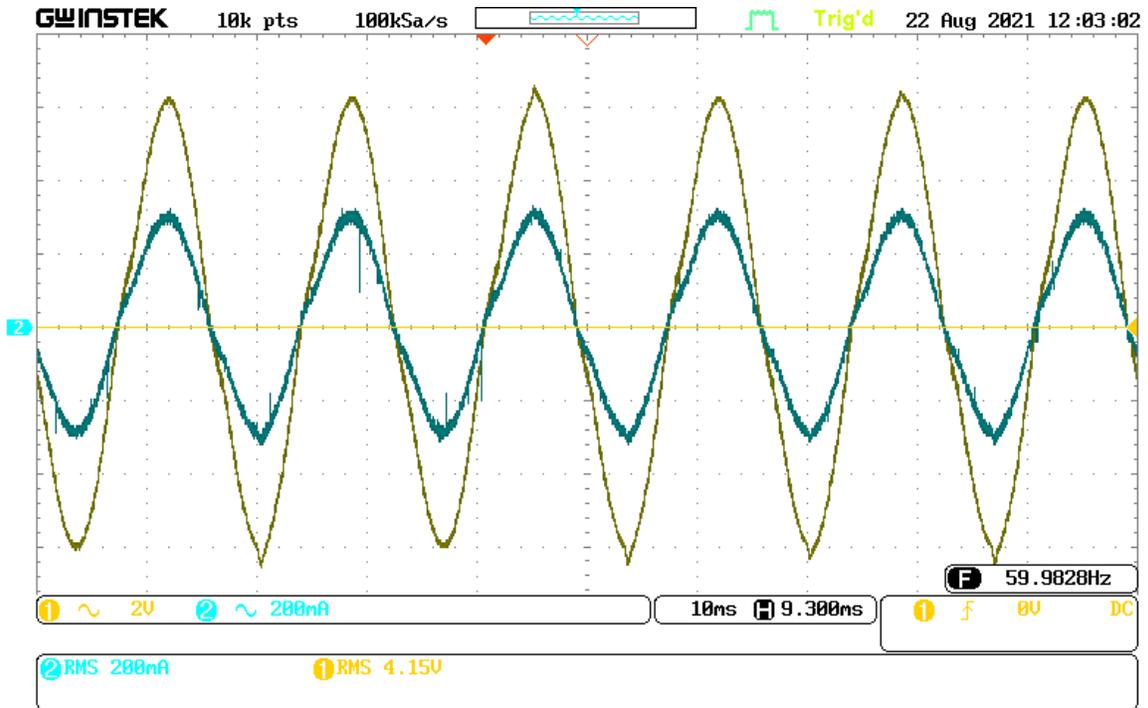


Figura 61 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 15 V

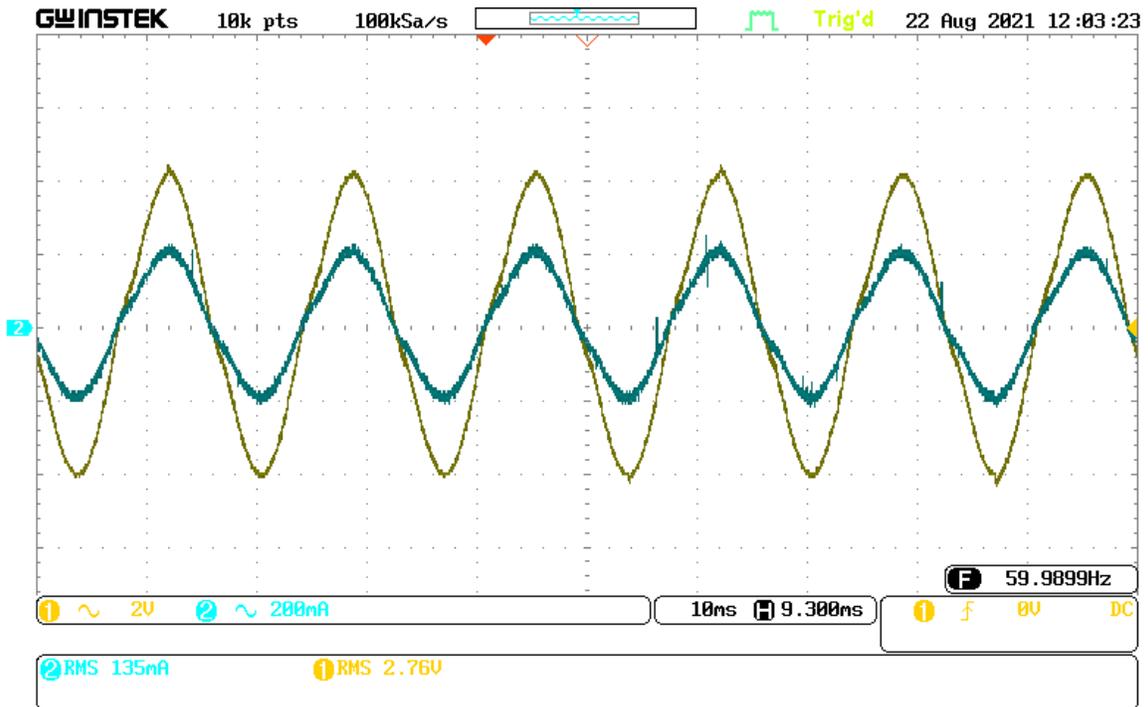


Figura 62 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 10 V

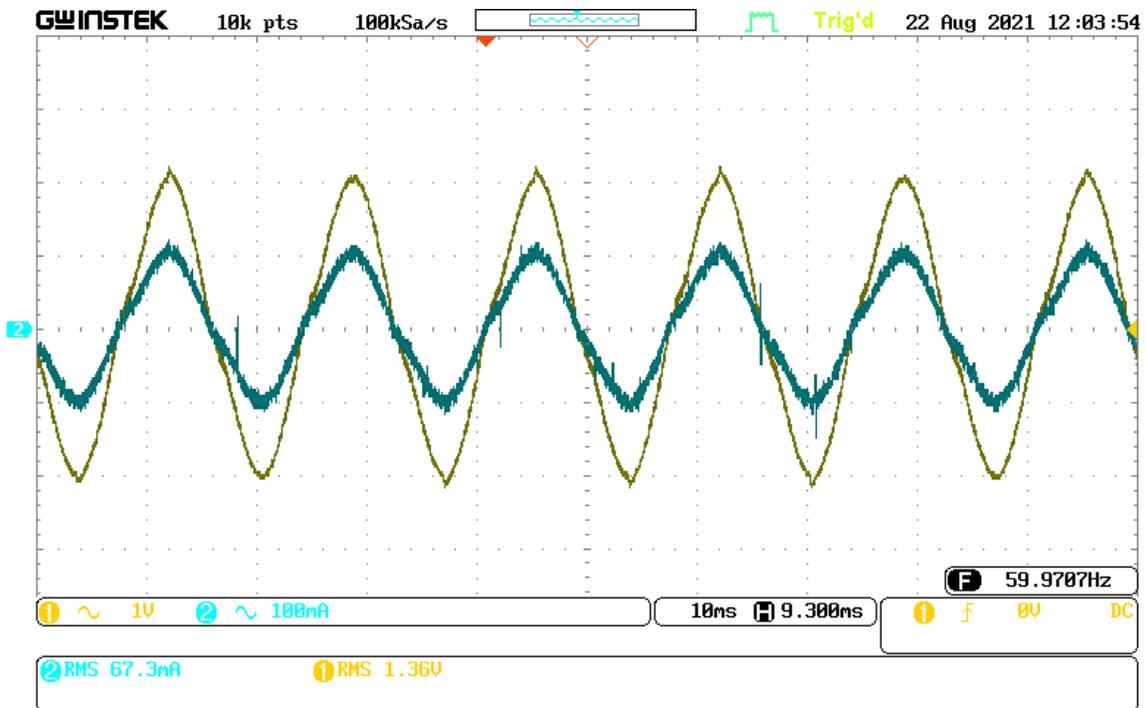


Figura 63 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 5 V

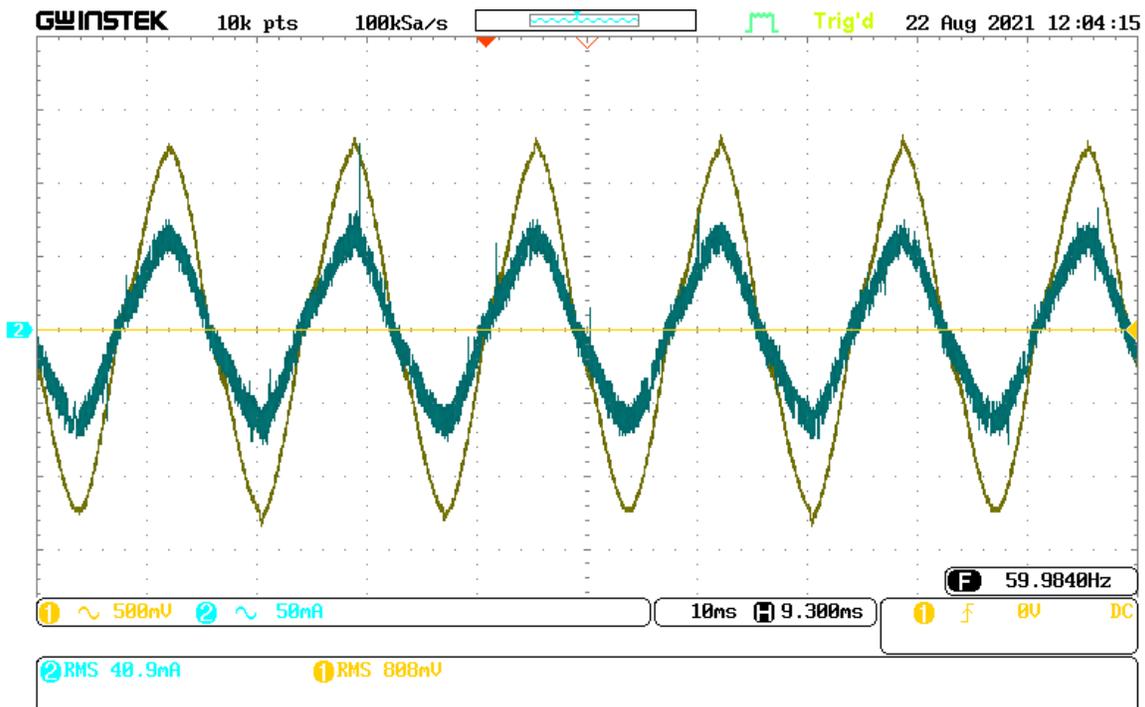


Figura 64 Voltaje y corriente obtenidos en una carga de 20.7Ω con un BUS CD de 3 V

5 SIMULACIÓN DEL SISTEMA DE DISTRIBUCIÓN DE 13 NODOS

5.1 Descripción

En un Sistema Eléctrico de Potencia (SEP) real se tienen que tomar varias consideraciones para una operación óptima. En esta sección se hace un estudio basado en un Sistema de Prueba de 13 Nodos planteado por la IEEE (13 *Node Test Feeder*). Se caracteriza por ser pequeño y versátil al momento de aplicar software de simulación para su análisis, operando a 4.16 kV, además de ser pequeño, relativamente cargado, con un simple regulador de voltaje en la subestación, líneas aéreas y subterráneas, con capacitores en derivación y con cargas desbalanceadas.

La composición nodal del sistema se muestra en la Figura 65 donde se tienen los nodos 611, 632, 633, 634, 646, 650, 652, 654, 671, 675, 680, 684 y 692. Conforme se va avanzando en la descripción se encuentra que no todos los nodos son de Carga y que tenemos el equivalente de red en el nodo 650.

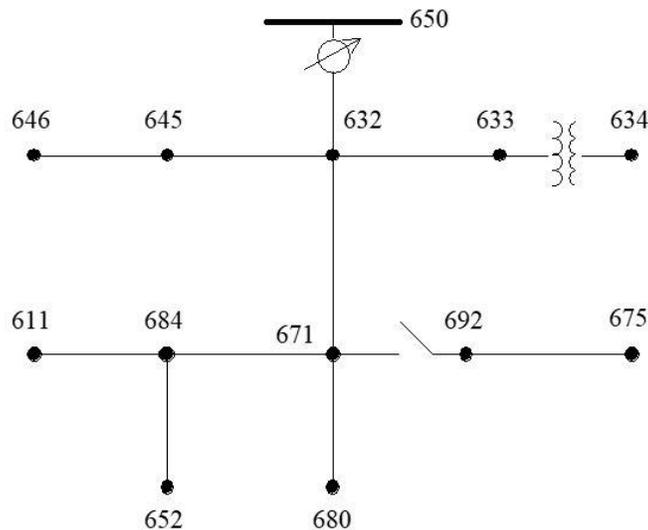


Figura 65 Prueba de Alimentador de 13 Nodos de la IEEE

La descripción de cada uno de los nodos se encuentra en la Tabla 9, donde se indica el tipo de Nodo que lo conforma.

Los posibles nodos son:

- Swing

El total de la potencia activa por todos los generadores no puede ser especificada, por tal motivo, la inyección de potencia real y reactiva en un nodo cogeneración debe ser determinada con la solución de los flujos de potencia. Será el nodo encargado de asumir las pérdidas del sistema.

- PV

La cantidad de potencia activa inyectada en los nodos de generación siempre es conocida, mientras que la magnitud de voltaje es controlada mediante la inyección de potencia reactiva.

- PQ

Son las cargas conocidas en el sistema. La potencia activa y reactiva consumida por la carga es especificada dentro de las características del SEP. No existe generación y la carga consumida puede tener un valor de cero.

Tabla 8 Tipos de nodos y sus variables en un sistema eléctrico

TIPO DE NODO	VARIABLES	
	Conocidas	Desconocidas
Swing	V, θ	P, Q
PV	P, V	Q, θ
PQ	P, Q	V, θ

Tabla 9 Descripción Nodal del Sistema de Prueba de 13 Nodos IEEE

NODO	TIPO
611	PQ
632	PQ
633	PV
634	PQ
645	PQ fase B
646	PQ Fases B y C
650	Swing
652	PQ Fase A
671	PQ
675	PQ
680	PQ
684	PQ Fase A y C
692	PQ y Breaker

La simulación de los alimentadores en el Sistema de Prueba de 13 Nodos se lleva a cabo en Simulink de Matlab Mathworks. En la Figura 66 se muestra el sistema implementado con su controlador PI y cargador los cuales fueron agregados al caso base *power_13NodeTestFeeder*.

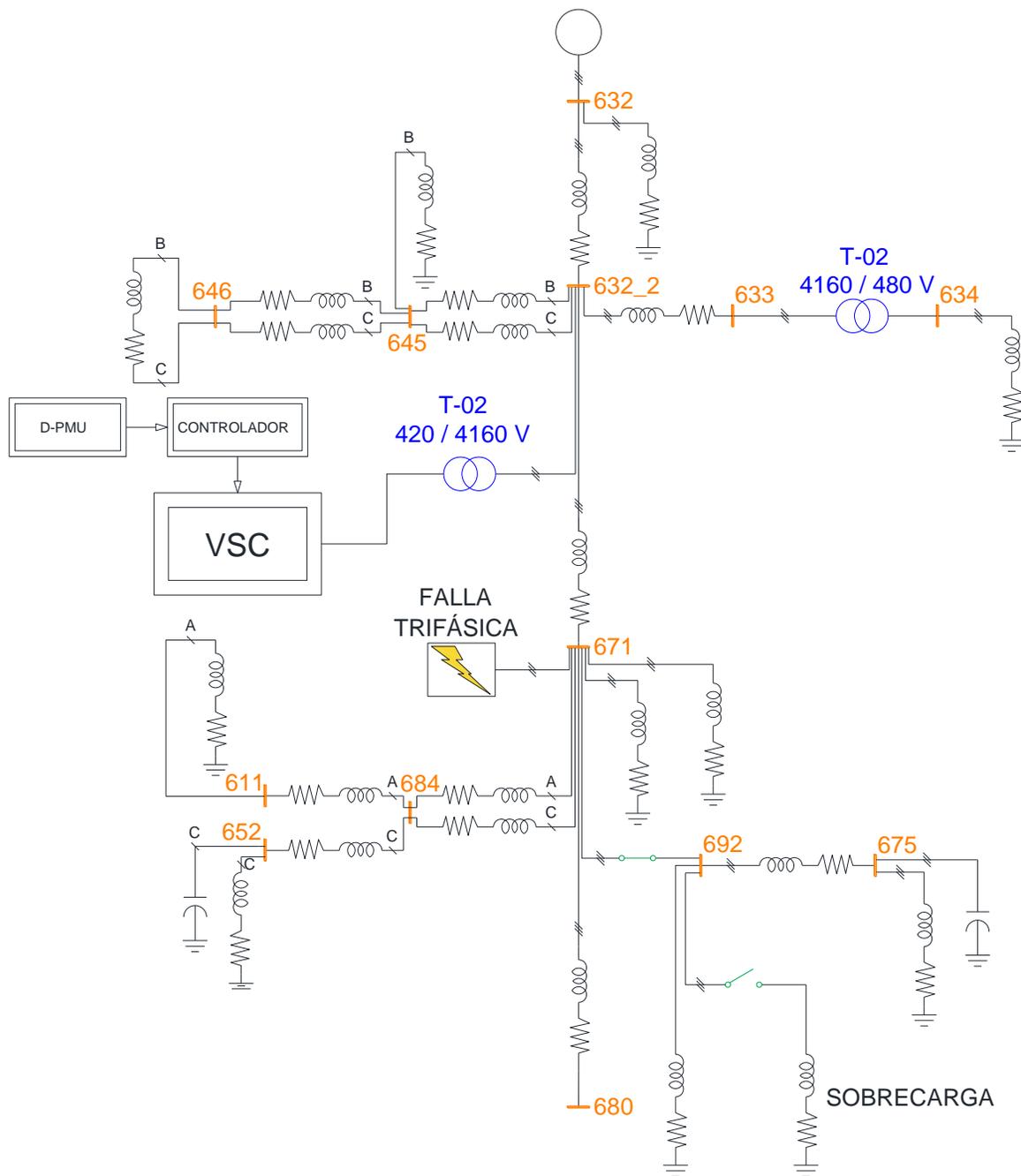


Figura 66 Sistema de 13 Nodos de la IEEE en Simulink

Las condiciones iniciales del sistema fueron ejecutadas con datos precargados de los valores de impedancia de cada una de las líneas. Para la ejecución del Estado Estable se apoya en la herramienta propia del simulador de Simulink. Cabe destacar que el controlador, cargador,

falla trifásica y sobrecarga no son considerados para la corrida. A continuación, en la Tabla 11, se describen las características iniciales del sistema de la Figura 66.

El análisis de estos resultados se efectúa más adelante.

Tabla 10 Niveles de Voltaje en Condiciones iniciales

NODO	FASE	Nivel de Voltaje [kV]	Nivel de Voltaje [PU]	Ángulo [°]
645	B	2278	0.95	-123.1
645	C	2255	0.94	86.28
684	A	2241	0.93	-4.48
684	C	2241	0.93	145.3
611	C	2240.11	0.93	115.05
632	A	2401.78	1.00	1
632	B	2401.78	1.00	-120
632	C	2401.78	1.00	120
632_2	A	2260	0.94	-3.79
632_2	B	2292.84	0.95	-123.1
632_2	C	2258.13	0.94	115.84
633	A	2249.91	0.94	-3.94
633	B	2284.61	0.95	-123.2
633	C	2250.03	0.94	115.73
634	A	253.61	0.94	-4.57
634	B	258.74	0.96	-123.7
634	C	254.82	0.93	115.25
646	B	2275	0.95	-123.1
646	C	2254	0.94	86.33
652	A	2236.59	0.93	-4.4
671	A	2242.69	0.93	-4.53
671	B	2286.41	0.95	-123.5
671	C	2241.7	0.93	115.15
675	A	2234.91	0.93	-5.17
675	B	2293.38	0.95	-123.6
675	C	2235.22	0.93	114.74
680	A	2242.69	0.93	-4.53
680	B	2286.41	0.95	-123.5
680	C	2241.7	0.93	115.15
692	A	2242.5	0.93	-4.53
692	B	2286.39	0.95	-123.5
692	C	2241.56	0.93	115.15

Las cargas que se encuentran a lo largo de sistema, distribuidas en los diferentes nodos del sistema. Dichas cargas se han implementado para tener un sistema de distribución desbalanceado donde las ramificaciones de este buscan acercarse al comportamiento real de un sistema de distribución. Las cargas en el sistema son descritas en la Tabla 11.

Tabla 11 Valores iniciales de las cargas en el sistema

NODO	Descripción
611	$Q_c = 100 \text{ kVAR}$ Conectada a fase C a tierra $P = 50 \text{ kW}$ $Q_i = 80 \text{ kVAR}$ Conectada a fase C a tierra
632	$P = [8.5 \ 33 \ 58.5] \text{ kW}$ $Q_i = [5 \ 19 \ 34] \text{ kVAR}$ Conectado en Yg
633	Transformador: $P_{nom} = 500 \text{ kVA}$ $f = 60 \text{ Hz}$ $V_1 = 4160 \text{ V}$ $R_1 = 0.011 \text{ pu}$ $L_1 = 0.02 \text{ pu}$ $V_2 = 480 \text{ V}$ $R_2 = 0 \text{ pu}$ $L_2 = 0 \text{ pu}$ $R_m = 500 \text{ pu}$ $L_m = 500 \text{ pu}$
634	$P = [160 \ 120 \ 120] \text{ kW}$ $Q_i = [110 \ 90 \ 90] \text{ kVAR}$ Conectado en Yg
645	$P = 70 \text{ kW}$ $Q_i = 125 \text{ kVAR}$ Conectada a la fase B a tierra
646	$P = 30 \text{ kW}$ $Q_i = 132 \text{ kVAR}$ Conectada entre fase B y C
652	$P = 12.8 \text{ kW}$ $Q_i = 86 \text{ kVAR}$ Conectada a la fase A a tierra
671	$P = [8.5 \ 33 \ 58.5] \text{ kW}$ $Q_i = [5 \ 19 \ 34] \text{ kVAR}$ Conectadas en Yg $P = [385 \ 385 \ 385] \text{ kW}$ $Q_i = [220 \ 220 \ 220] \text{ kVAR}$ Conectadas en Yg
675	$P = [485 \ 68 \ 290] \text{ kW}$ $Q_i = [190 \ 60 \ 212] \text{ kVAR}$ Conectadas en Yg $Q_c = [200 \ 200 \ 200] \text{ kVAR}$

NODO	Descripción
	Conectadas en Yg
692	$P = [1 \times 10^{-6} \ 1 \times 10^{-6} \ 170] \text{ kW}$ $Q_i = [0 \ 0 \ 151] \text{ kVAR}$ Conectadas en Yg

Las líneas de distribución se describen en la Tabla 12.

Los valores de la Resistencia, Inductancia y Capacitancia para la red de distribución planteada en la Tabla 12 están plasmados en la Tabla 12. No es propósito de la presente Tesis como llegar a dichos valores, solo se implementan los algoritmos para obtener el valor en secuencia positiva y se implementan en ambiente de simulación. Los datos de las líneas fueron precargados antes de correr la simulación.

Tabla 12 Descripción de las líneas de distribución

Línea	Nodo Inicio	Nodo Fin	Resistencia [Ω]	Inductancia [H]
1	632	632_2	0.10575	13.91784e-04
2	645	646	0.06717	2.07791e-04
3	632_2	633	0.06489	3.88997e-04
4	632_2	671	0.01762	2.31964e-04
5	632_2	645	0.11195	3.46319e-04
7	671	684	0.06717	2.07792e-04
8	684	652	0.10593	2.08251e-04
10	671	680	0.05287	6.95892e-04
11	692	675	0.04301	3.67434e-04

5.2 Simulación en Estado Estable

Una vez descrito el sistema a simular con sus correspondientes parámetros (Tabla 10, Tabla 11 y Tabla 12), se procederá a simular tres casos con condiciones operativas diferentes en un tiempo de simulación de 1 segundo:

1. Caso base (Estado Estable): modelo sin convertidores y sin falla. Este es el caso donde la simulación se lleva a cabo en un estado ideal. No habrá perturbaciones de ningún tipo ni compensaciones. La simulación de este caso arrojará los datos de Estado Estable.
2. Caso fallado (Caso 2): modelo sin convertidores, falla trifásica y una sobrecarga de 170 kW en la fase C y 1500 kVAR en cada una de las fases del nodo 692. La duración de la falla es de 0.05 segundos, correspondiente a tres ciclos de la onda sinusoidal de 60 Hz. La falla inicia en el 0.2 s de la simulación. La sobrecarga ingresará en el segundo 0.5 de la simulación y quedará conectada a lo largo de esta. Este caso mostrará los datos correspondientes a un desbalance en el sistema por falla y sobrecarga y no se aplicará ningún tipo de compensación en el sistema que busque mejorar el perfil de voltaje.

3. Caso controlado fallado (Caso 3): modelo con convertidores, falla trifásica y sobrecarga de 170 kW en la fase C y 1500 kVAR en cada una de las fases del nodo 692. Las condiciones de falla y sobrecarga son las del Caso fallado (Caso 2). Para compensar el sistema, un controlador PI es implementado para monitorear el nodo 633. La acción de control es la entrada del valor de potencia reactiva en el cargador el cual estará inyectando potencia reactiva en el nodo 632_2.

i) Caso base: Modelo sin convertidores, sin falla ni sobrecarga

La Tabla 13 es la corrida del caso sin falla ni el convertidor electrónico de potencia; a su vez el interruptor situado entre los nodos 692 y 671 se encuentra en estado cerrado todo el tiempo de ejecución. Los resultados mostrados son producto de la herramienta de Simulink *Steady State de Powergui*. Los cuales mostrarán los valores de voltaje y ángulo de cada fase por nodo. Un análisis más completo se puede observar en la Sección 5.3.

En la Tabla 13 se describe el comportamiento nominal de la red de distribución para voltaje (RMS y en PU) y su correspondiente ángulo, haciendo referencia a sus nodos. La Tabla 13 es el estado “sano” del sistema. Con estos resultados se compararán los dos siguientes casos. De esta tabla podemos observar el comportamiento de cada uno de los nodos y la mayor contribución de los nodos.

Para un tiempo de simulación de un segundo, el nodo con mayor nivel de voltaje fue el 632 en su fase C con un valor de 2401.78 V (1 PU). Naturalmente se esperaba este comportamiento ya que es el nodo más robusto de todo el sistema, su proximidad al Equivalente de Red (Figura 66) hace que sea el que tenga la trayectoria eléctrica más corta, teniendo menos elementos a su paso, menor caída de tensión y menos elementos inductivos en la Red. El nodo con menor voltaje corresponde a varios: 684 en sus fases A y C, 611 en su fase C, 634 en su fase C, 652 en su fase A, 671 en su fase C, 675 en su fase A, 680 en su fase A, 680 en su ase C, 692 en su fase A y 692 en su fase C.

Tabla 13 Corrida de flujos de potencia para el Caso 1

Nodo	Fase	Voltaje RMS [V]	Voltaje [PU]	Ángulo [°]
645	B	2278	0.95	-123.1
645	C	2255	0.94	86.28
684	A	2241	0.93	-4.48
684	C	2241	0.93	145.3
611	C	2240.11	0.93	115.05
632	A	2401.78	1.00	1
632	B	2401.78	1.00	-120
632	C	2401.78	1.00	120
632_2	A	2260	0.94	-3.79
632_2	B	2292.84	0.95	-123.1
632_2	C	2258.13	0.94	115.84
633	A	2249.91	0.94	-3.94
633	B	2284.61	0.95	-123.2

Nodo	Fase	Voltaje RMS [V]	Voltaje [PU]	Ángulo [°]
633	C	2250.03	0.94	115.73
634	A	253.61	0.94	-4.57
634	B	258.74	0.96	-123.7
634	C	254.82	0.93	115.25
646	B	2275	0.95	-123.1
646	C	2254	0.94	86.33
652	A	2236.59	0.93	-4.4
671	A	2242.69	0.93	-4.53
671	B	2286.41	0.95	-123.5
671	C	2241.7	0.93	115.15
675	A	2234.91	0.93	-5.17
675	B	2293.38	0.95	-123.6
675	C	2235.22	0.93	114.74
680	A	2242.69	0.93	-4.53
680	B	2286.41	0.95	-123.5
680	C	2241.7	0.93	115.15
692	A	2242.5	0.93	-4.53
692	B	2286.39	0.95	-123.5
692	C	2241.56	0.93	115.15

ii) Caso fallado: Modelo sin convertidor, con falla y sobrecarga

Cuando una falla se aplica en el nodo 671, a los 200 ms y con una duración de 50 ms (3.125 ciclos de 60 Hz), un desbalance de voltaje con respecto al sistema estable ocurrirá en la red de distribución, ocasionado caídas súbitas de tensión en el sistema. En la Tabla 14, se muestran los resultados con una duración de simulación de un segundo, después de la falla y de la sobrecarga aplicada al sistema de distribución el sistema. Al momento de terminar la simulación podemos darnos cuenta que los nodos 645 y 684 tienen una diferencia en su magnitud de voltaje respecto al Estado Estacionario tomado como referencia. Para el caso de la fase C en el nodo 645 se tiene una caída de 0.04 PU y para la fase A en el nodo 684 el mismo valor en caída respecto con el Caso 1. Otro nodo que también sufre caída al momento de finalizada la simulación es el nodo 646 en sus fases B y C con valores de 0.04 PU cada uno. El mínimo valor presentado fue para el Nodo 684 en su fase A con un valor de 0.89 PU (2137 kV).

Tabla 14 Corrida de flujos de potencia para el Caso 2

Nodo	Fase	Voltaje RMS [V]	Voltaje [PU]	Ángulo [°]
645	B	2182	0.91	-123.1
645	C	2169	0.90	86.26
684	A	2137	0.89	-4.46
684	C	2139	0.89	145.3
611	C	2239.76	0.93	115.01

Nodo	Fase	Voltaje RMS [V]	Voltaje [PU]	Ángulo [°]
632	A	2401.78	1.00	1
632	B	2401.78	1.00	-120
632	C	2401.78	1.00	120
632_2	A	2260.36	0.94	-3.77
632_2	B	2292.55	0.95	-123.1
632_2	C	2257.82	0.94	115.81
633	A	2250.15	0.94	-3.93
633	B	2284.32	0.95	-123.3
633	C	2249.72	0.94	115.7
634	A	253.57	0.94	-4.6
634	B	258.71	0.96	-123.7
634	C	254.79	0.93	115.22
646	B	2179	0.91	-123.1
646	C	2167	0.90	86.3
652	A	2237.08	0.93	-4.38
671	A	2243.18	0.93	-4.51
671	B	2286.09	0.95	-123.5
671	C	2241.36	0.93	115.12
675	A	2234.54	0.93	-5.2
675	B	2293.05	0.95	-123.7
675	C	2234.88	0.93	114.71
680	A	2243.18	0.93	-4.51
680	B	2286.09	0.95	-123.5
680	C	2241.36	0.93	115.12
692	A	2242.98	0.93	-4.51
692	B	2286.06	0.95	-123.5
692	C	2241.22	0.93	115.12

De igual manera, con el tiempo de simulación a un segundo, se tienen las siguientes diferencias angulares con respecto al Caso 1 ($\Delta\theta_{1,2} = \theta_{Caso\ 1} - \theta_{Caso\ 2}$), ver Tabla 15. A partir de la Tabla 15 podemos observar que la mayor diferencia angular la encontramos en el nodo 611 con un valor de 0.04° en su fase C.

Tabla 15 Diferencia angular entre el Caso 1 y Caso 2

Nodo	Fase	$\Delta\theta_{1,2}$ [°]
645	B	0.03
645	C	0.02
684	A	-0.02
684	C	0
611	C	0.04
632	A	0

Nodo	Fase	$\Delta\theta_{1,2}$ [°]
632	B	0
632	C	0
632_2	A	-0.02
632_2	B	0.02
632_2	C	0.03
633	A	-0.01
633	B	0.03
633	C	0.03
634	A	0.03
634	B	0.02
634	C	0.03
646	B	0.03
646	C	0.03
652	A	-0.02
671	A	-0.02
671	B	0.03
671	C	0.03
675	A	0.03
675	B	0.03
675	C	0.03
680	A	-0.02
680	B	0.03
680	C	0.03
692	A	-0.02
692	B	0.03
692	C	0.03

iii) Caso controlado fallado: Modelo con convertidor, con falla y sobrecarga

Finalmente, un controlador PI es implementado para controlar el voltaje en el nodo 633. La medición de dicho nodo se controlará mediante inyección de potencia reactiva en el nodo 632_2, el cual es el punto más próximo al ramal principal del sistema de distribución. La principal ventaja de tener este punto es la robustez para atender desbalances a lo largo de la red de distribución, tal como la sobrecarga en el nodo 692.

Los resultados de voltaje con su correspondiente ángulo nodal a 1 segundo de corrida de simulación se muestran en la Tabla 16. Al tenerse compensación de voltaje por medio de los controladores encontramos valores diversos en el sistema de distribución. El nodo máximo con valor de tensión se encuentra en el nodo 645 fase B con un valor de 1.01 PU (2415 kV) mientras que el menor es el Nodo 675 en su fase A. La mayor compensación al terminar la simulación fue para el nodo 645 en su fase B con 144 V de tensión de subida respecto al Caso 1.

Tabla 16 Corrida de flujos de potencia para el Caso 3

Nodo	Fase	Voltaje RMS [V]	Voltaje [PU]	Ángulo [°]
645	B	2415	1.01	-122.9
645	C	2399	1.00	86.47
684	A	2362	0.98	-4.23
684	C	2366	0.99	145.53
611	C	2183.86	0.91	115.23
632	A	2401.78	1.00	1
632	B	2401.78	1.00	-120
632	C	2401.78	1.00	120
632_2	A	2204.4	0.92	-3.55
632_2	B	2234.83	0.93	-122.9
632_2	C	2201.47	0.92	116.03
633	A	2194.44	0.91	-3.7
633	B	2226.81	0.93	-123.1
633	C	2193.57	0.91	115.92
634	A	247.3	0.94	-4.37
634	B	252.19	0.96	-123.5
634	C	248.43	0.93	115.44
646	B	2411	1.00	-122.9
646	C	2397	1.00	86.51
652	A	2181.69	0.91	-4.15
671	A	2187.64	0.91	-4.28
671	B	2228.53	0.93	-123.3
671	C	2185.42	0.91	115.34
675	A	2179.22	0.91	-4.97
675	B	2235.31	0.93	-123.5
675	C	2179.09	0.91	114.93
680	A	2187.64	0.91	-4.28
680	B	2228.53	0.93	-123.3
680	C	2185.42	0.91	115.34
692	A	2187.45	0.91	-4.28
692	B	2228.5	0.93	-123.3
692	C	2185.28	0.91	115.34
B1	A	223.18	0.09	26.99
B1	B	224.88	0.09	-93.7
B1	C	221.72	0.09	146.26

En la Tabla 17 se muestran las diferencias angulares con respecto al Caso 1.

$$(\Delta\theta_{1,3} = \theta_{Caso 1} - \theta_{Caso 3}).$$

Tabla 17 Diferencia angular entre el Caso 1 y Caso 3

Nodo	Fase	$\Delta\theta_{1,3}$ [°]
645	B	-0.17
645	C	-0.19
684	A	-0.25
684	C	-0.23
611	C	-0.18
632	A	0
632	B	0
632	C	0
632_2	A	-0.24
632_2	B	-0.18
632_2	C	-0.19
633	A	-0.24
633	B	-0.17
633	C	-0.19
634	A	-0.2
634	B	-0.18
634	C	-0.19
646	B	-0.17
646	C	-0.18
652	A	-0.25
671	A	-0.25
671	B	-0.17
671	C	-0.19
675	A	-0.2
675	B	-0.17
675	C	-0.19
680	A	-0.25
680	B	-0.17
680	C	-0.19
692	A	-0.25
692	B	-0.17
692	C	-0.19

Donde la mayor diferencia angular ocurre en la fase A del nodo 684 con un valor de 0.25 en favor del Caso 3.

Para la potencia reactiva en cada uno de los casos se observa el comportamiento en la Figura 67.

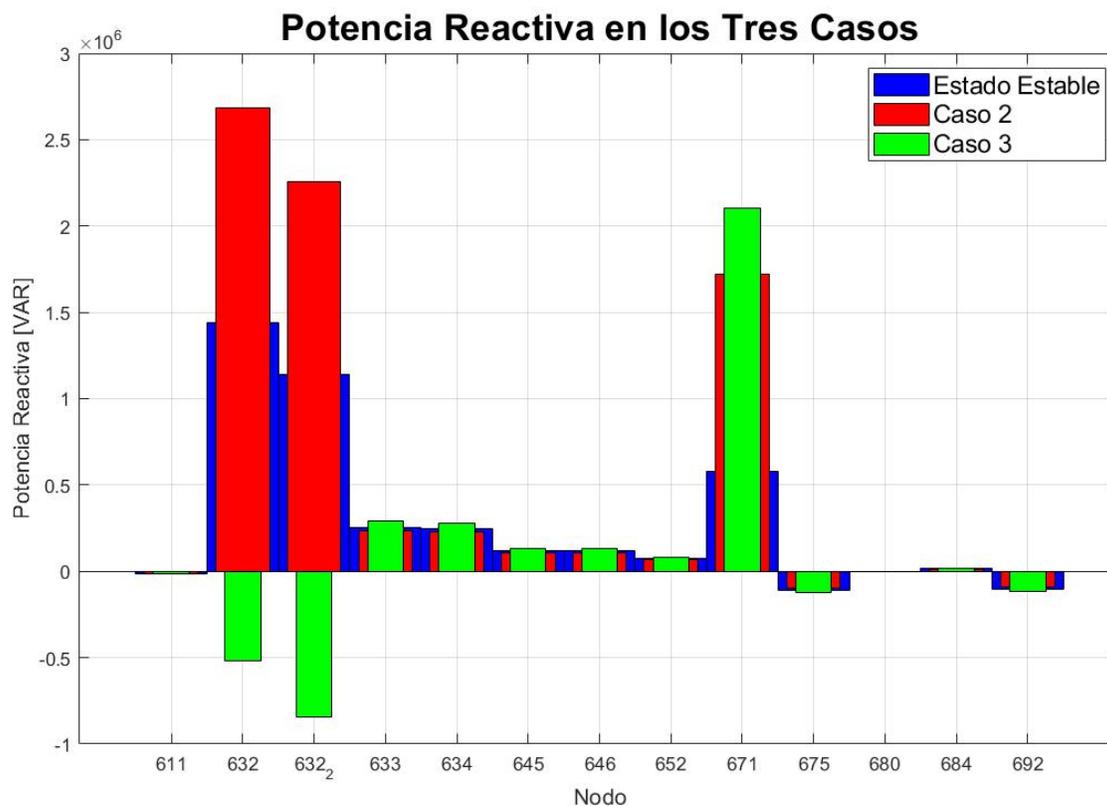


Figura 67 Potencia activa a un segundo de simulación para el sistema de distribución para cada uno de los casos

Se observa para los casos más críticos el nodo 671, 632₂ y el 632. Por la naturaleza del sistema y por ser un nodo swing, el 632 buscará compensar todo el sistema cuando se presentan desbalances; al momento de caer el voltaje aumentará la potencia reactiva. El nodo 632₂ es el nodo de inyección de potencia y recibirá toda aquella potencia reactiva. En el nodo 671 se presenta una falla (Figura 68), donde la caída de voltaje demandará la mayor cantidad de potencia reactiva para ese punto. Una ampliación de dicho nodo se puede observar en la Figura 68.

Potencia Reactiva en los Tres Casos para el Nodo de Falla 671

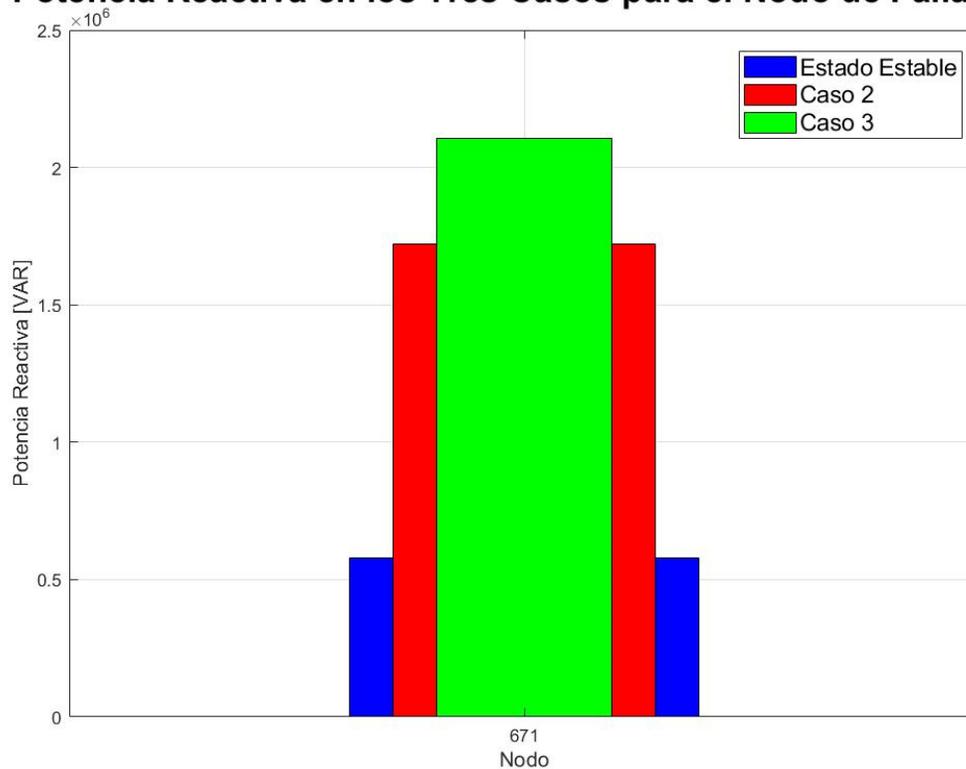


Figura 68 Resultados arrojados por Simulink para la Potencia Reactiva en el nodo 671 para cada uno de los casos en el nodo de falla

El Estado Estable demanda una cantidad de potencia reactiva de 0.52 MVAR, al ocurrir la falla y la sobrecarga existirá una caída de tensión. Cabe destacar que la falla se libera a los 0.05 segundos y el estado de voltaje después de varias oscilaciones regresa a su estado sano, pero al momento de aplicar una sobrecarga el voltaje volverá a caer y la demanda de potencia reactiva aumentará.

Al ser un análisis de simulación para un momento fijo en el tiempo es un poco difícil visualizar como se comportó el sistema a lo largo del tiempo. En la siguiente sección a detalle se observará como fue el comportamiento del sistema de distribución para cada uno de los casos.

5.3 Simulación en estado dinámico

En esta sección se observarán las gráficas de comportamiento para cada uno de los casos previamente descritos. La diferencia con la pasada sección es que se tendrán datos mucho más certeros al momento de analizar puntos máximos y mínimos en la simulación ejecutada.

Como se ha mencionado en la descripción de los casos, para el Caso 3 los puntos de interés serán dos nodos:

- Nodo 633: Nodo de medición donde se encuentra la referencia del controlador Proporcional Integrador
- Nodo 632_2: Nodo de inyección de potencia reactiva en la red de distribución.

Para reducir de un sistema trifásico a uno monofásico se implementa una transformada de Clarke y Park para la implementación de PMU's en los voltajes y poder observar un equivalente de una sola fase a partir del sistema trifásico de manera gráfica.

i) Caso base: Modelo sin convertidores y sin falla ni sobrecarga

Para los valores de referencia del Sistema de Distribución en un estado sano, se simula a un segundo sin condiciones de falla, sobrecarga ni compensador de potencia reactiva. Los resultados se muestran en las figuras Figura 69 y Figura 70. Estos fueron los valores con los cuales se hacen las comparaciones. Naturalmente, el único nodo con capacidad de entregar todo el voltaje de referencia (1 PU) será el nodo swing 632. A partir de este, y gracias a la conexión y a las líneas de distribución todos los voltajes irán teniendo una caída en su potencial

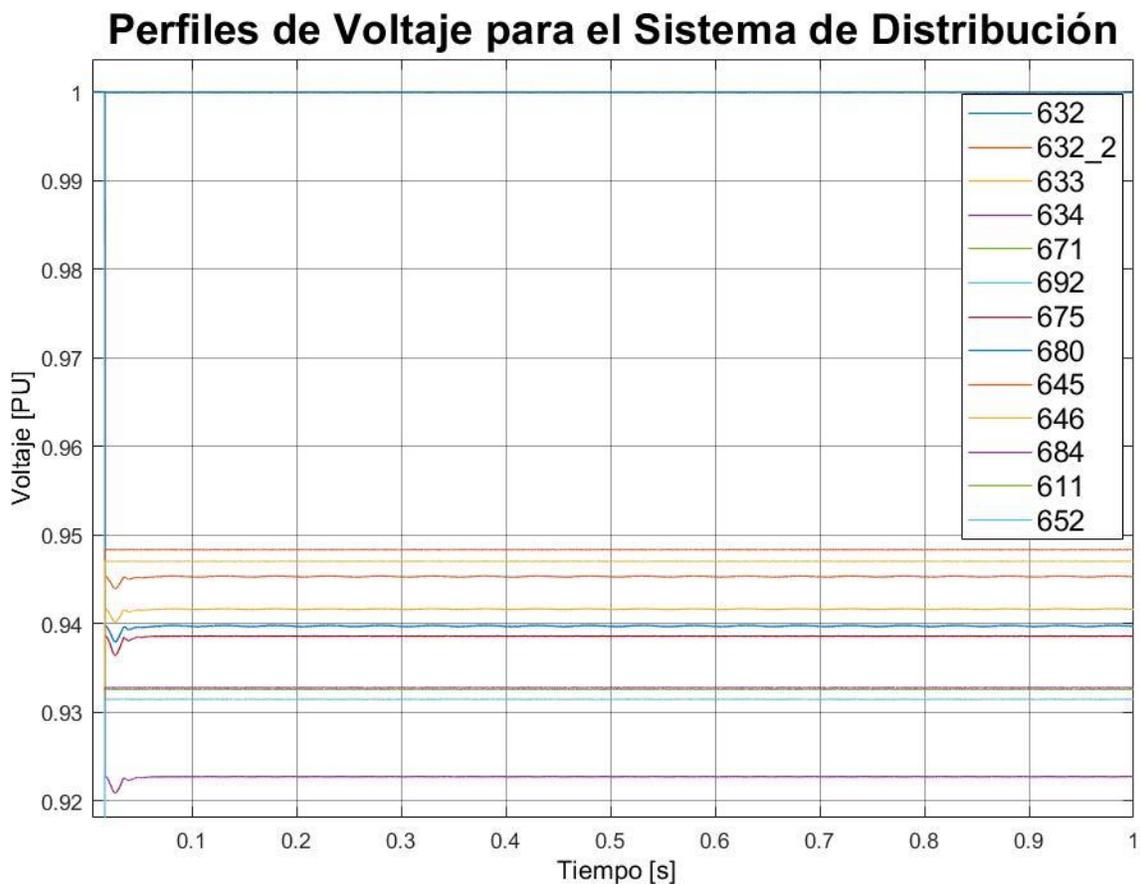


Figura 69 Perfil de voltaje para el Caso 1

Potencia Reactiva en el Sistema de Distribución

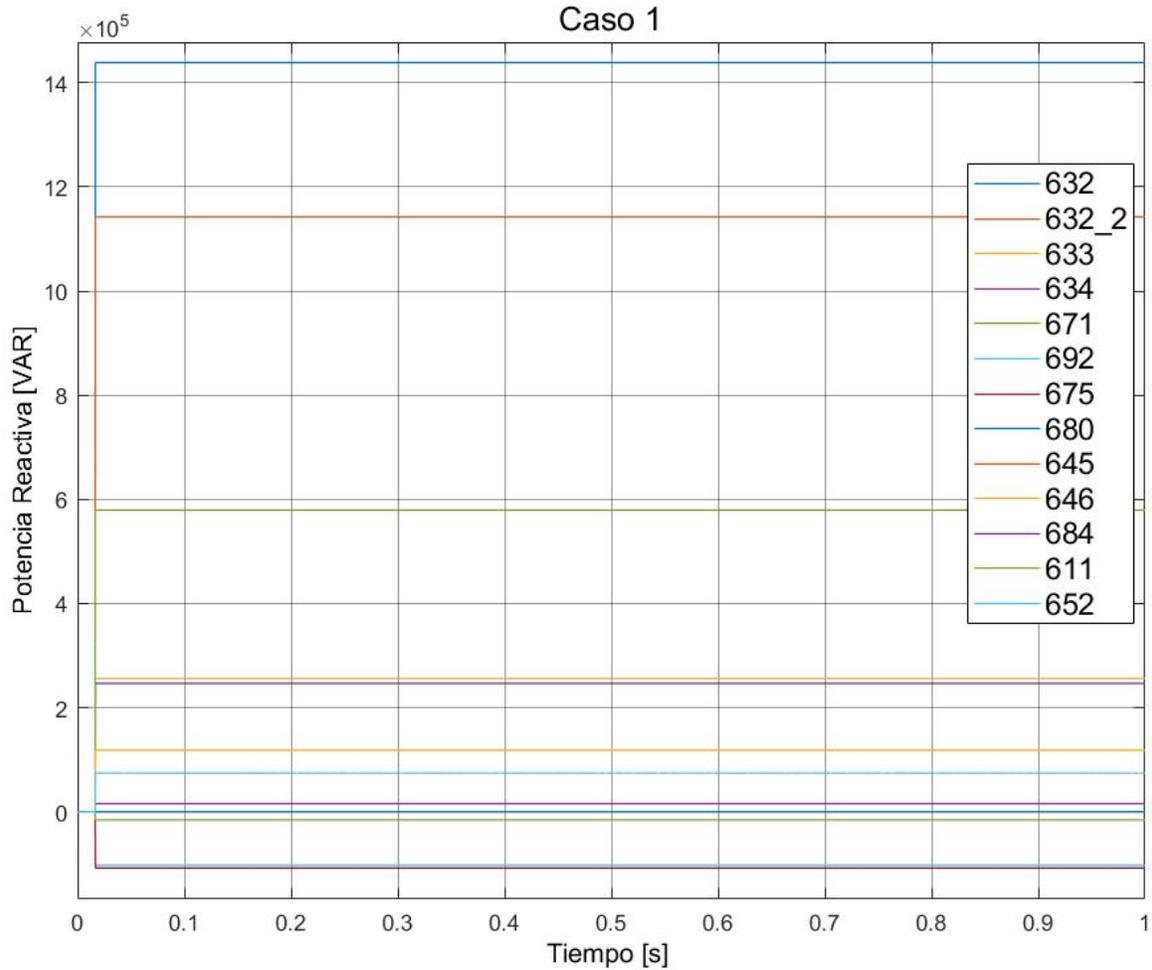


Figura 70 Potencia reactiva para el Caso 1

ii) Caso fallado: Modelo sin convertidor, con falla y sobrecarga

En la Figura 71 se muestran los perfiles de voltaje del sistema de distribución para cada uno de los 13 nodos. Cabe destacar que se aplica la falla y la sobrecarga en el mismo caso. El voltaje nominal de 1 PU persiste a lo largo de 1 segundo de simulación en el nodo 632, sin embargo, se aprecia que los voltajes caen súbitamente en el segundo 0.2 de la aplicación de la falla para recuperarse en el 0.25. El valor más crítico es el del nodo 611 (nodo de aplicación de la falla). Finalmente se aplica la sobrecarga que hace caer el sistema y no es capaz de regresar a sus niveles nominales del Caso 1.

Perfiles de Voltaje para el Sistema de Distribución

Caso 2

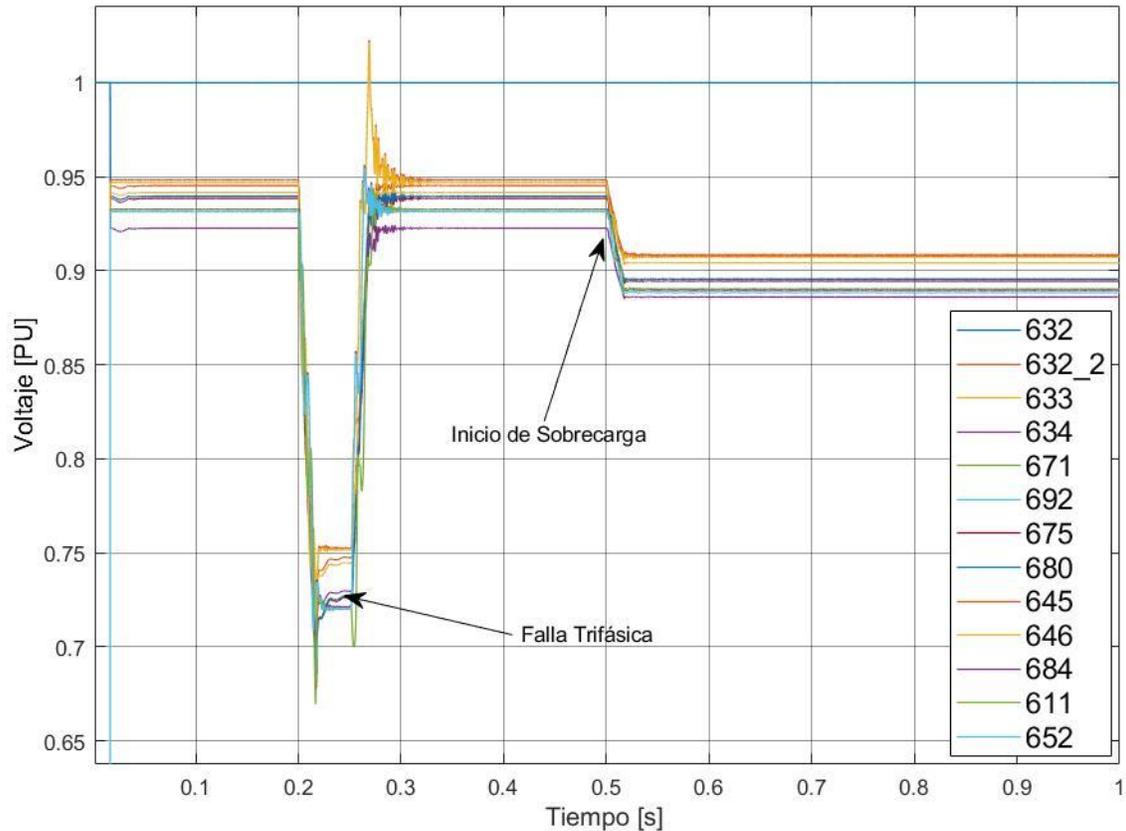


Figura 71 Comportamiento de voltaje en cada uno de los nodos del sistema de distribución para una falla trifásica y sobrecarga sin compensación de potencia reactiva

En la Figura 72 se muestra el comportamiento de potencia reactiva del sistema de distribución. El nodo swing (632) buscará la compensación del sistema entregando la mayor cantidad de potencia reactiva a la red de distribución. El desbalance de los nodos de interés se muestra en las figuras Figura 73 y Figura 74.

Potencia Reactiva en cada uno de los nodos del Sistema de Distribución

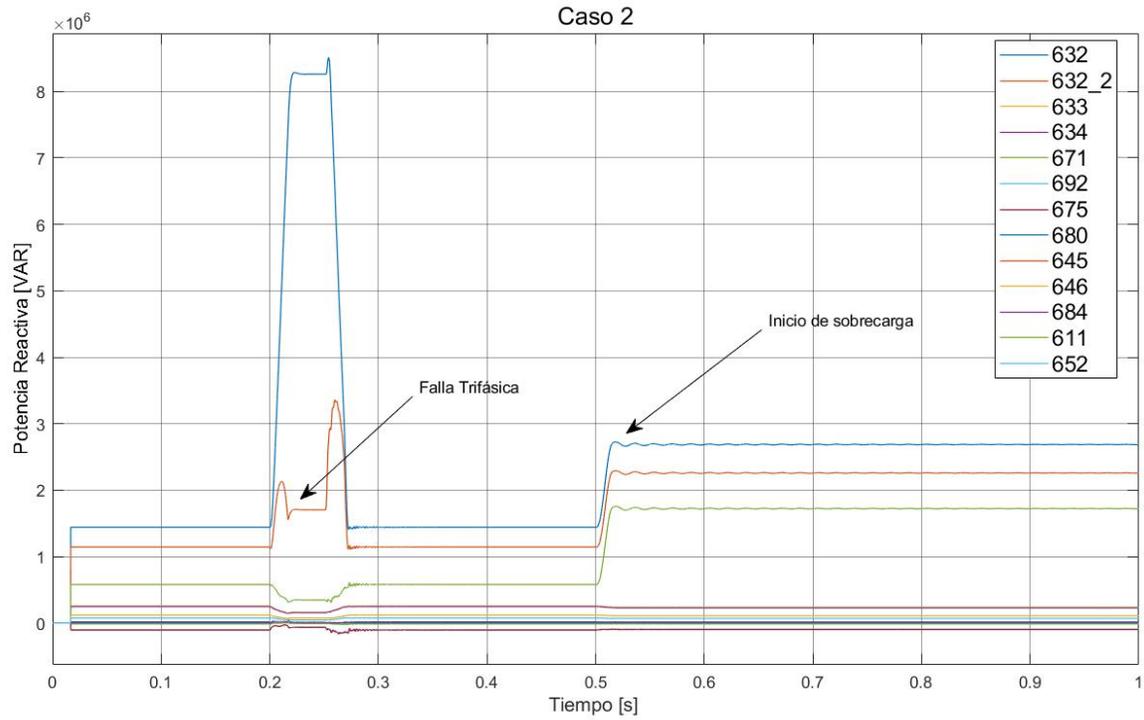


Figura 72 Potencia reactiva de cada nodo para el caso 2

El presente caso ahora se separará en dos partes; una con únicamente la falla trifásica y la otra únicamente con la sobrecarga. Esto con el único fin de poder observar de manera aislada el comportamiento de cada una de las partes.

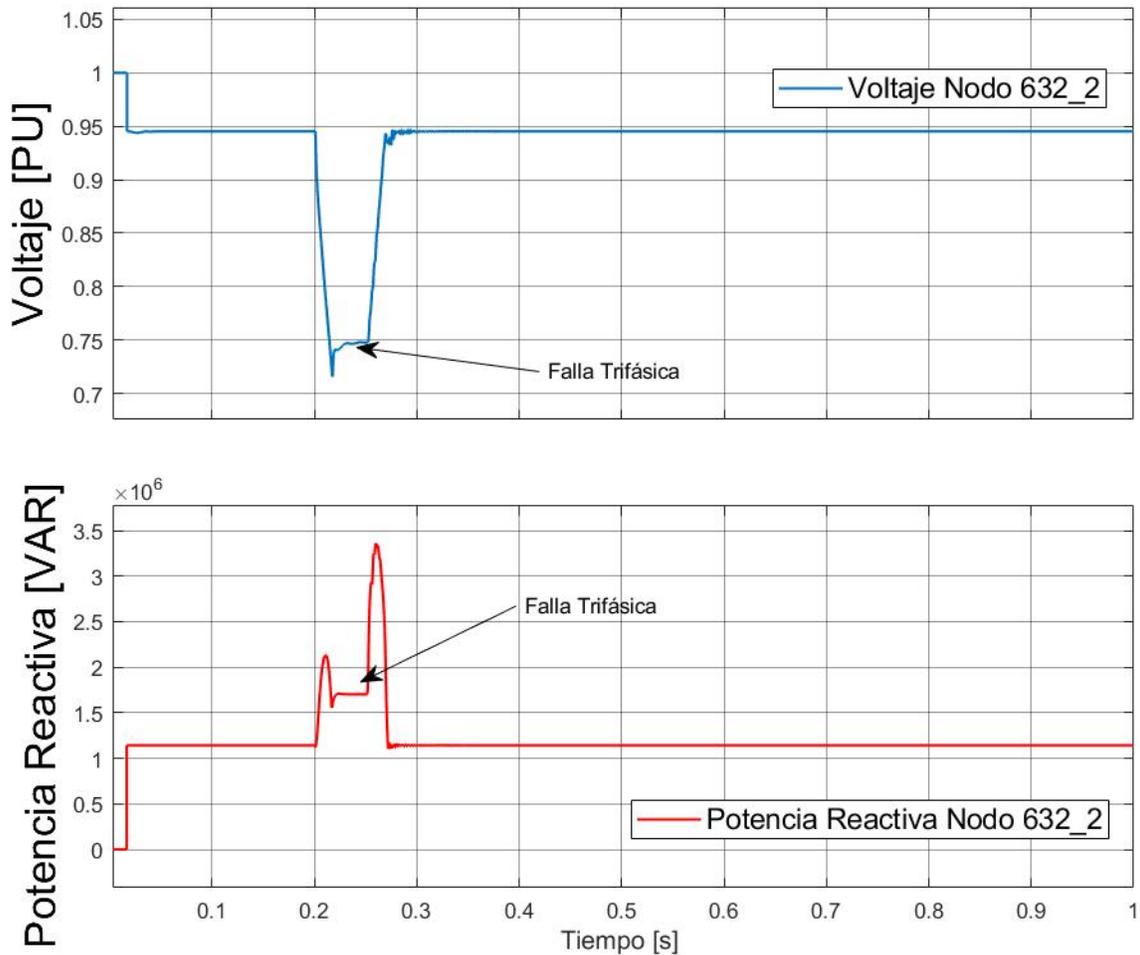


Figura 73 Perfil de voltaje y potencia reactiva para una falla trifásica en el nodo 632_2

En la Figura 73 podemos observar la caída de tensión esperada por una falla trifásica en el sistema. El nodo 632_2 se trata de un nodo en la rama de distribución principal la cual por su robustez será de los que menos caiga en el sistema (tal como se observa en la Figura 71). Por la naturaleza de una conexión que se derive de esta, los perfiles de voltaje de aquellos nodos que se conecten a este tendrán que ser menores.

En la Figura 74 se aísla la falla y solo se considera la sobre carga. La caída de tensión es abrupta pero mucho más suave y en menor magnitud y oscilación que el caso con la pura falla de la Figura 73, sin embargo, el perfil de voltaje no regresa a su estado normal antes de la sobrecarga, teniendo una caída de tensión de 0.945 a 0.908 PU.

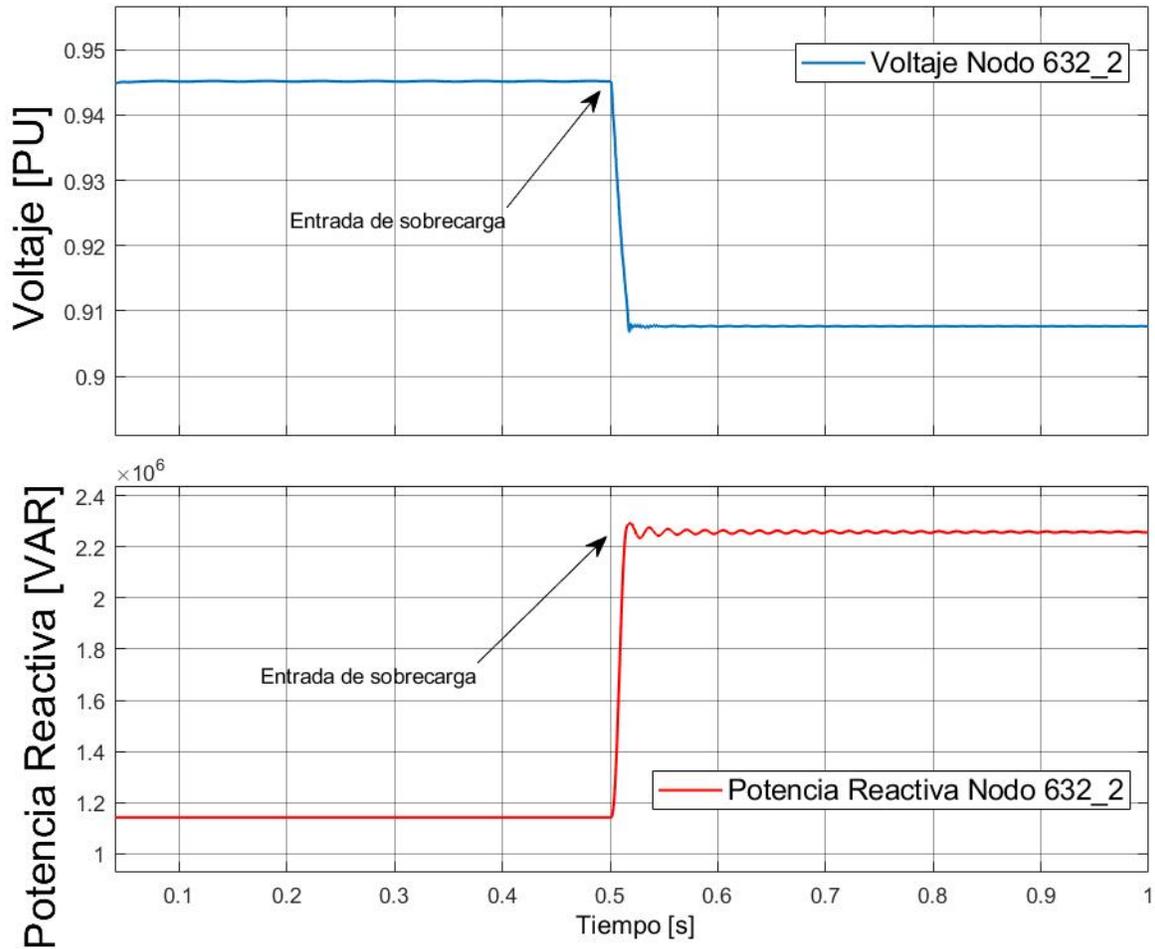


Figura 74 Perfiles de voltaje y potencia reactiva en el nodo 632_2 al con sobrecarga aplicada sin compensación de reactivos

Finalmente, una corrida de simulación con la falla y la sobrecarga para el Caso 2 es ejecutada y observada desde el punto de vista del nodo de compensación de potencia reactiva a la red de distribución (Nodo 632_2). La falla se libera y los niveles de potencia y voltaje después de un periodo de oscilación llegan a valores pre-falla, pero para una sobre carga no (Figura 75).

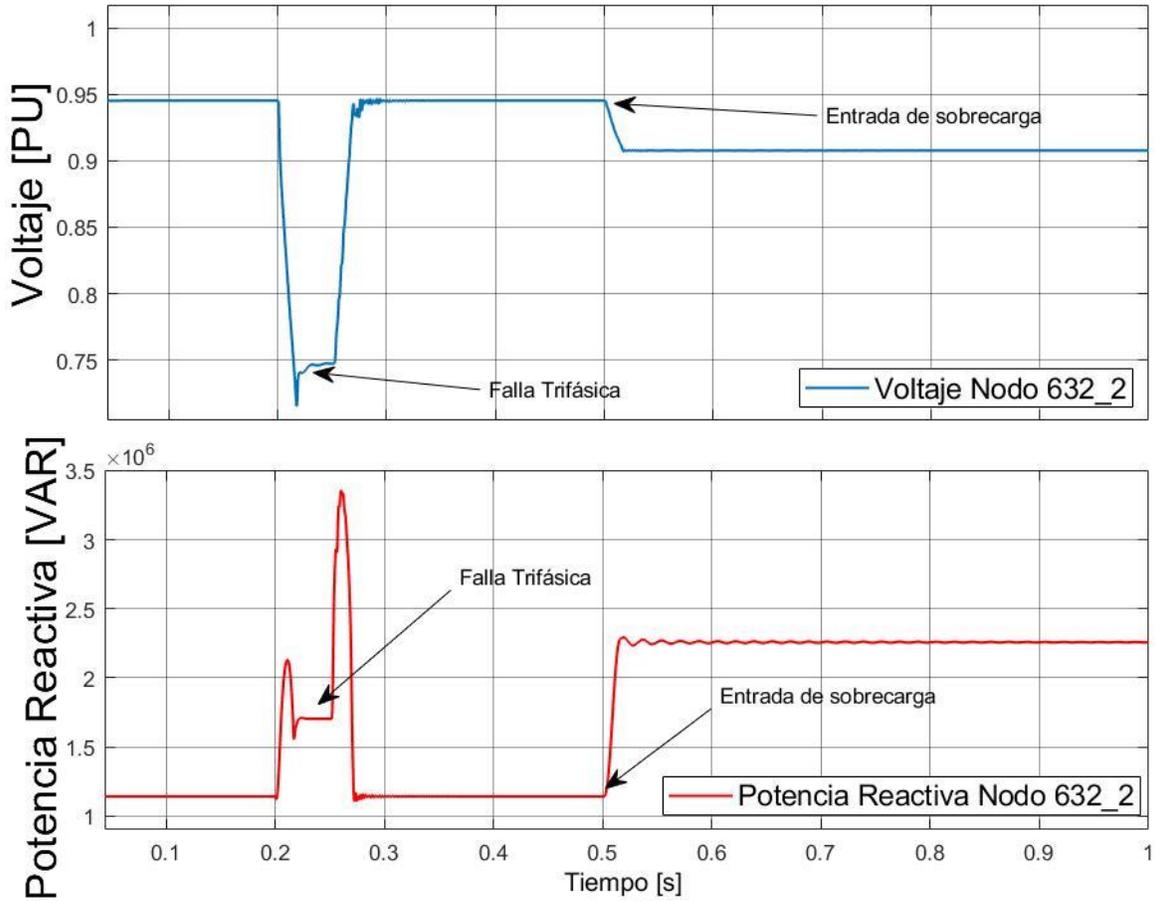


Figura 75 Perfiles de voltaje y potencia reactiva para el nodo 632_2 con falla trifásica y sobrecarga sin compensador de potencia reactiva

iii) Caso fallado: Modelo con convertidor, con falla y sobrecarga

En la Figura 76 se muestran los perfiles de voltaje para cada uno de los nodos correspondientes al caso 3.

Perfiles de Voltaje para el Sistema de Distribución

Caso 3

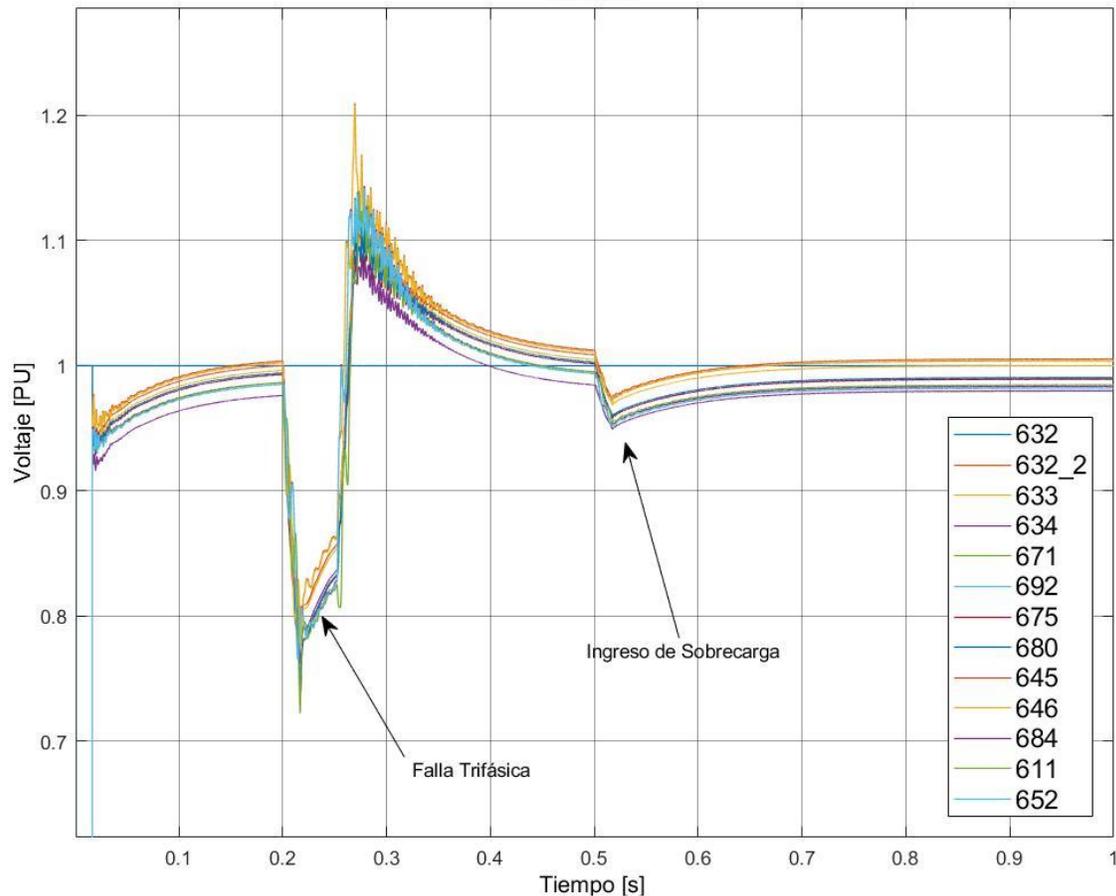


Figura 76 Voltaje a partir de los PMU's para los 13 nodos del sistema de distribución simulado para el Caso 3.

En la Figura 76 podemos apreciar dos caídas de tensión. El primero ocurre al momento de entrar la falla trifásica; se puede apreciar que es el nodo 611 el que reduce más el voltaje ya que es el nodo al cual se le ha aplicado directamente la falla. Su valor en su punto más bajo es de 0.72 PU. La acción del controlador PI es visible en el tiempo 0.2 a 0.25 donde unas ondas buscan compensar la caída de voltaje en el nodo 632_2.

Finalmente, en el segundo 0.5 se tendrá la sobrecarga la cual hará un pequeño desbalance en el sistema el cual se buscará recuperar en un periodo de menos de 0.1 segundos.

Potencia Reactiva en cada uno de los nodos del Sistema de Distribución

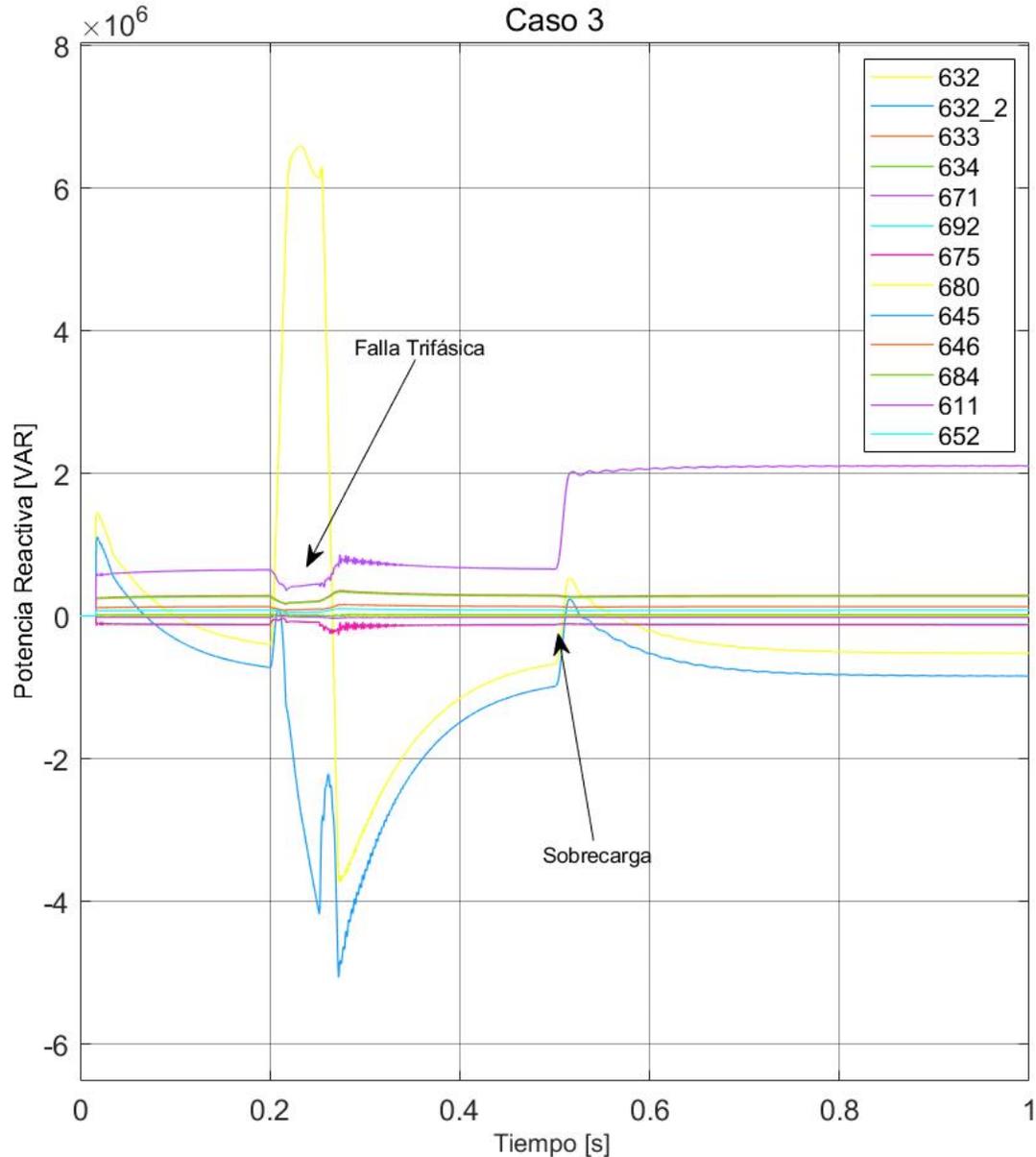


Figura 77 Potencia Reactiva para la Red de Distribución de 13 Nodos para el Caso 3 en cada uno de los nodos

En la Figura 77 se muestra el comportamiento de potencia reactiva en la red de distribución. Hay que denotar que al tratarse de un nodo Swing, el nodo 632 buscará hacer una compensación al momento de la falla por lo que se muestra una onda tan drástica. El nodo 611 (nodo de falla) tendrá una descompensación al momento de la falla como al momento de la sobrecarga en la potencia reactiva.

Para los nodos de interés (633 y 632_2) se tiene el siguiente comportamiento en voltaje:

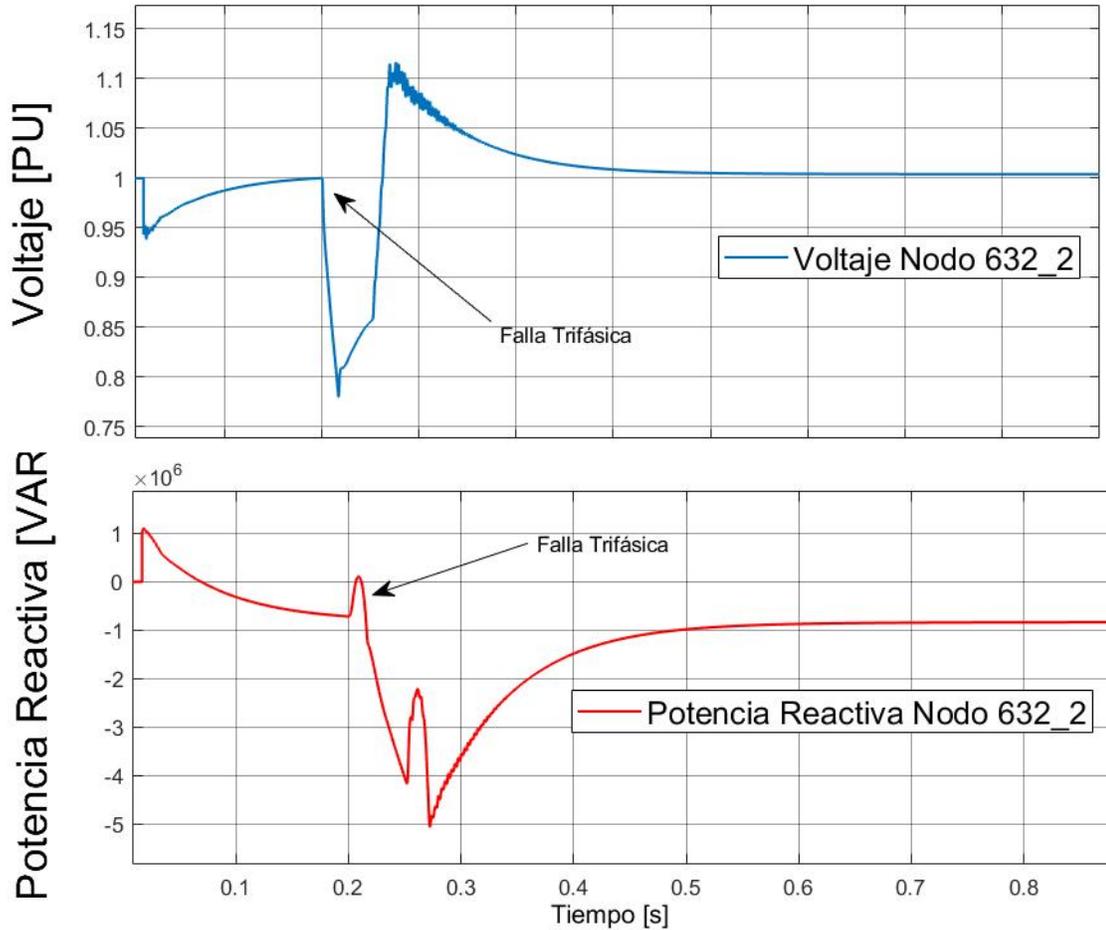


Figura 78 Comportamiento de la Falla Trifásica con el controlador en el nodo 632_2 para voltaje y potencia reactiva

En la Figura 78 se observa la caída de tensión debida a la falla trifásica (segundo 0.2), al liberarse la falla en el segundo 0.25 se observa una pequeña oscilación de duración de 0.1 segundos la cual es la acción del controlador compensando los desbalances de tensión. De igual manera se observa un comportamiento complementario para la potencia reactiva. Los valores de esta gráfica son negativos ya que se le están entregando reactivos a la red de distribución. La Figura 78 solo considera la falla del caso 3, para la sobrecarga referirse a la Figura 79.

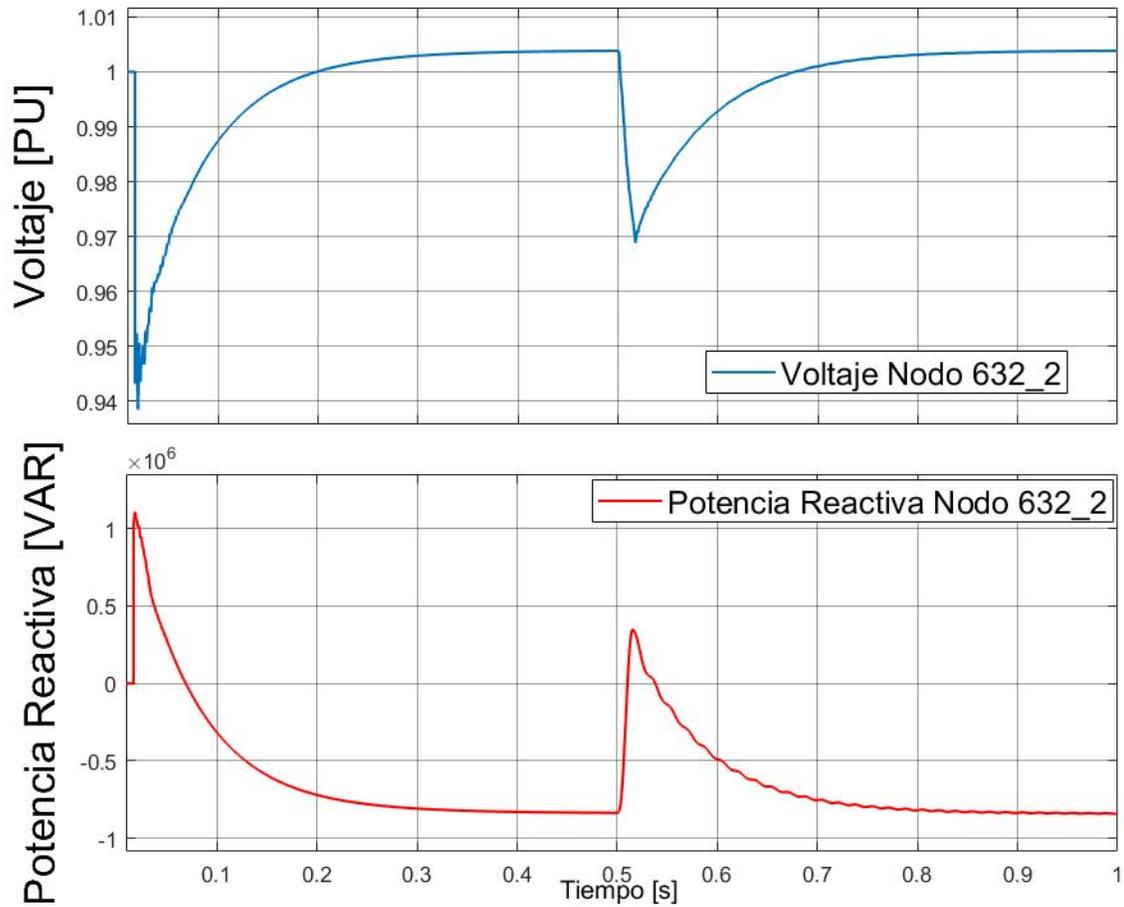


Figura 79 Comportamiento de voltaje y de potencia reactiva en el nodo 632_2 cuando una sobrecarga es aplicada compensada con controlador

La sobrecarga en la Figura 79 es aplicada en el segundo 0.5 y es compensada en su totalidad en un valor de 0.3 segundos. Esta última no contiene la falla.

De manera integral, en la Figura 80, la falla trifásica y la sobrecarga son ejecutadas como lo indica el caso 3.

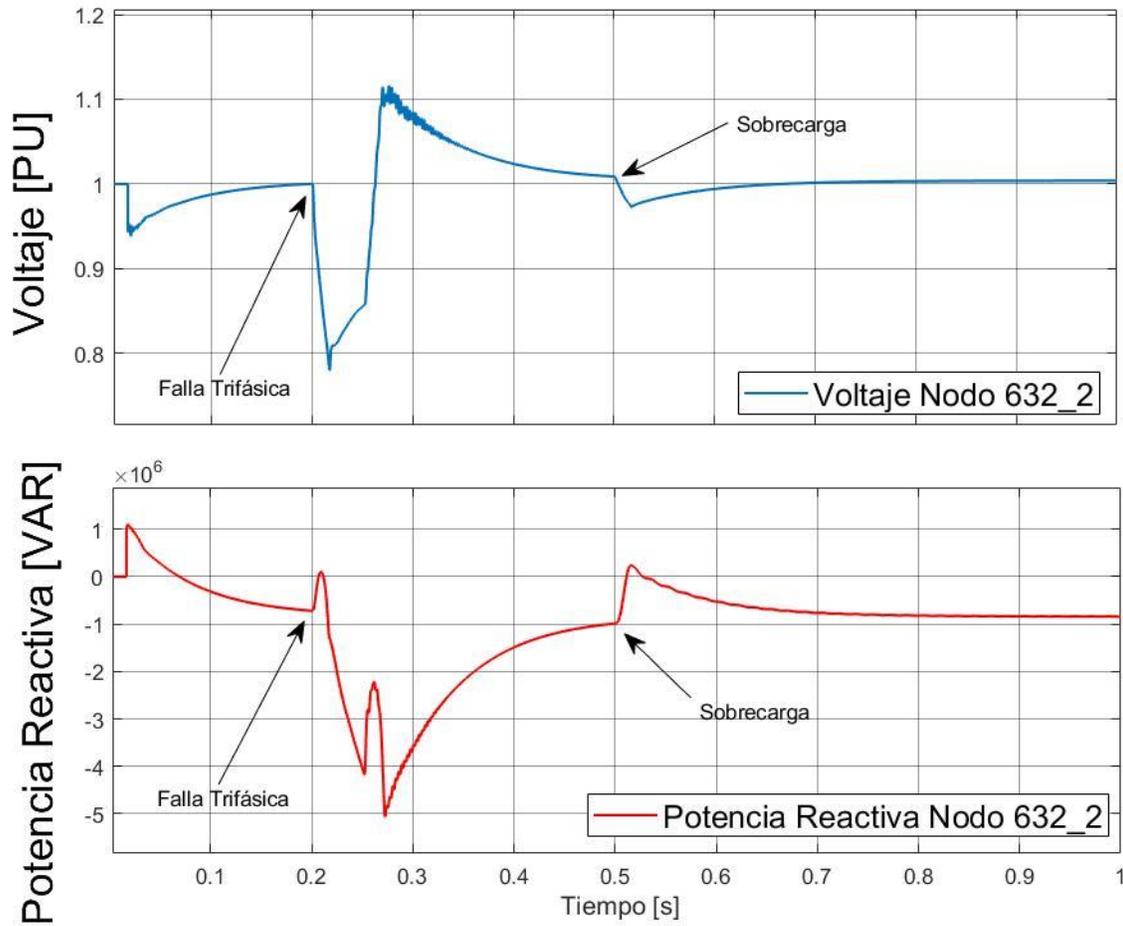


Figura 80 Voltaje y potencia reactiva en el nodo 632_2 con falla y sobrecarga compensado mediante controlador

6 PROTOTIPADO DE UN CONVERTIDOR ELECTRÓNICO DE POTENCIA DEL TIPO VSC

La implementación de un prototipo será descrita en el presente apartado. El objetivo del presente es mostrar el funcionamiento de un inversor de potencia capaz de entregar una onda sinusoidal de voltaje y corriente a una carga dada.

Para la construcción del prototipo se necesitan los siguientes componentes preensamblados y configurados, explicados a continuación:

- DSP DELFINO F28335, encargado de la etapa de control y generación SPWM
- KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit, encargado de la apertura y cierre del inversor.

- DSP DELFINO F28335

Controlador de Señales Digitales (DSP) de la familia TMS320F2833x de Texas Instruments. Son microcontroladores de 32 bits los cuales están optimizados para el procesamiento, censado y actuación para desempeño en lazo cerrado de control en tiempo real con diversas aplicaciones, tales como: controladores de motores industriales, inversores solares y potencia digital, vehículos eléctricos, control de motores, censado y procesamiento de señales.

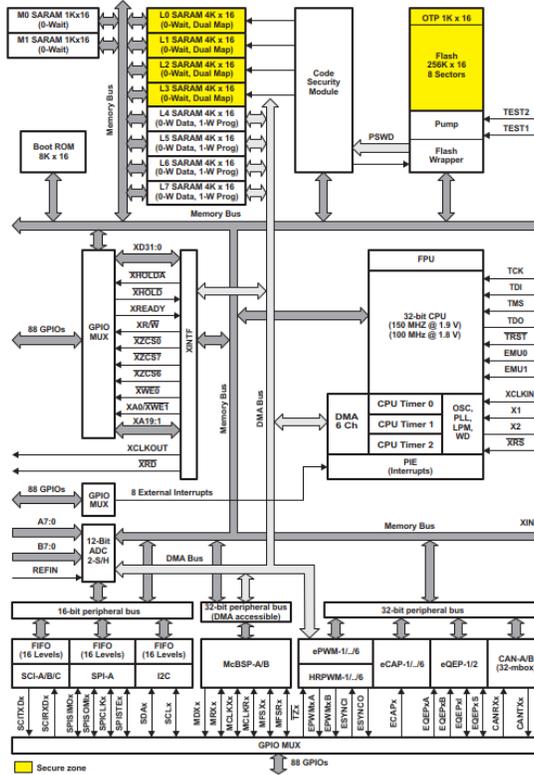


Figura 81 Arquitectura de DSP TMS320F2833x de Texas Instruments

Para nuestros fines, la DSP será utilizada como SPWM. Se necesitará de un periférico intensificado de control (Enhanced Control Peripheral), específicamente el Enhanced Pulse Width Modulator (ePWM) para accionar los interruptores comparándolo con una onda sinusoidal con un muestreo a alta frecuencia. Adicionalmente, el ePWM soporta PWM independiente y complementario y ajustes en la banda de tiempo muerto. Los ePWM están diseñados de manera modular (dos PWM por ePWM), la cual permite varios modos de operación entre ellos se encuentran:

1. Dos salidas PWM independientes con un solo flanco de operación.
2. Dos salidas PWM independientes con doble flanco de operación simétrica
3. Una salida PWM independiente con doble flanco de operación asimétrico sprui07

Para nuestros fines, utilizaremos la configuración modular asimétrica; esto nos permitirá tener una señal PWM y otra salida negada para la apertura o cierre de los interruptores.

La tarjeta de control F28335 controlCARD nos permite una comunicación con la computadora por medio de un cable USB tipo B y la alimentación por medio de la misma. Los pines tienen que ser habilitados por medio de registros ya que se tienen varias funciones por puerto. El objetivo de la presente tesis es usar la DSP como herramienta y no profundizará en la configuración de los puertos del mismo.

El diagrama de puertos de la F28335 controlCARD se muestra a continuación:

Tabla 18 Diagrama de Puertos para la controlCARD

NOMBRE DE PUERTO	PIN	PIN	NOMBRE DE PUERTO
V33D-ISO	1	51	V33D-ISO
ISO-RX-RS232	2	52	ISO-TX-RS232
	3	53	
	4	54	
	5	55	
GND_ISO	6	56	GND_ISO
ADCIN-B0	7	57	ADCIN-A0
GND	8	58	GND
ADCIN-B1	9	59	ADCIN-A1
GND	10	60	GND
ADCIN-B2	11	61	ADCIN-A2
GND	12	62	GND
ADCIN-B3	13	63	ADCIN-A3
GND	14	64	GND
ADCIN-B4	15	65	ADCIN-A4
	16	66	
ADCIN-B5	17	67	ADCIN-A5
GPIO-58 / MCLKR-A / XD21 (EMIF)	18	68	GPIO-59 / MFSR-A / XD20 (EMIF)
ADCIN-B6	19	69	ADCIN-A6
GPIO-60 / MCLKR-B / XD19 (EMIF)	20	70	GPIO-61 / MFSR-B / XD18 (EMIF)
ADCIN-B7	21	71	ADCIN-A7
GPIO-62 / SCIRX-C / XD17 (EMIF)	22	72	GPIO-63 / SCITX-C / XD16 (EMIF)
GPIO-00 / EPWM-1A	23	73	GPIO-01 / EPWM-1B / MFSR-B
GPIO-02 / EPWM-2A	24	74	GPIO-03 / EPWM-2B / MCLKR-B
GPIO-04 / EPWM-3A	25	75	GPIO-05 / EPWM-3B / MFSR-A / ECAP-1
GPIO-06 / EPWM-4A / SYNCI / SYNCO	26	76	GPIO-07 / EPWM-4B / MCLKR-A / ECAP-2
GND	27	77	+5V in
GPIO-08 / EPWM-5A / CANTX-B / ADCSOC-A	28	78	GPIO-09 / EPWM-5B / SCITX-B / ECAP-3
GPIO-10 / EPWM-6A / CANRX-B / ADCSOC-B	29	79	GPIO-11 / EPWM-6B / SCIRX-B / ECAP-4
GPIO-48 / ECAP5 / XD31 (EMIF)	30	80	GPIO-49 / ECAP6 / XD30 (EMIF)
GPIO-84	31	81	GPIO-85
GPIO-86	32	82	+5V in
GPIO-12 / TZ-1 / CANTX-B / MDX-B	33	83	GPIO-13 / TZ-2 / CANRX-B / MDR-B
GPIO-15 / TZ-4 / SCIRX-B / MFSX-B	34	84	GPIO-14 / TZ-3 / SCITX-B / MCLKX-B
GPIO-24 / ECAP-1 / EQEPA-2 / MDX-B	35	85	GPIO-25 / ECAP-2 / EQEPB-2 / MDR-B
GPIO-26 / ECAP-3 / EQEPI-2 / MCLKX-B	36	86	GPIO-27 / ECAP-4 / EQEPS-2 / MFSX-B
GND	37	87	+5V in
GPIO-16 / SPISIMO-A / CANTX-B / TZ-5	38	88	GPIO-17 / SPISOMI-A / CANRX-B / TZ-6
GPIO-18 / SPICLK-A / SCITX-B	39	89	GPIO-19 / SPISTE-A / SCIRX-B
GPIO-20 / EQEPA-1 / MDX-A / CANTX-B	40	90	GPIO-21 / EQEPB-1 / MDR-A / CANRX-B

NOMBRE DE PUERTO	PIN	PIN	NOMBRE DE PUERTO
GPIO-22 / EQEPS-1 / MCLKX-A / SCITX-B	41	91	GPIO-23 / EQEPI-1 / MFSX-A / SCIRX-B
GPIO-87	42	92	+5V in
GPIO-28 / SCIRX-A / Resv / TZ5	43	93	GPIO-29 / SCITX-A / Resv / TZ6
GPIO-30 / CANRX-A	44	94	GPIO-31 / CANTX-A
GPIO-32 / I2CSDA / SYNCI / ADCSOCA	45	95	GPIO-33 / I2CSCL / SYNCO / ADCSOCA
GPIO-34 / ECAP1 / XREADY (EMIF)	46	96	+5V in
GND	47	97	TDI
TCK	48	98	TDO
TMS	49	99	TRSTn
EMU1	50	100	EMU0

Las salidas de los GPIO (General Purpose Input Output) para la señal PWM en complemento para la señal de control de tiempo de apertura de los MOSFETs serán los 00 y 01 los números 23 y 73 de la Tabla 18.

- Configuración en MATLAB SIMULINK

Se apoya de la herramienta MATLAB SIMULINK para la programación de la DSP Delfino F28335. Se usan bibliotecas externas para la configuración y evitar el uso de Code Composer Studio (Software de Texas Instruments para procesos de los microcontroladores). Como se ha mencionado antes, el propósito de la DSP en la presente Tesis es usarla como herramienta y no se profundizará en la descripción a detalle de su funcionamiento y arquitectura.

Para el correcto funcionamiento de la tarjeta Delfino F28335 y la tarjeta de control C2000 se procede con la siguiente metodología:

1. Instalar los controladores autorizados de Texas Instruments para la familia C2000
 - C2000 Ware
 - C2000 Motor Control
 - C2000 Digital Power
2. Tener instalado Matlab Simulink y actualizado el Add-On “Embedded Coder Support Package for Texas Instruments C2000 Processors”



Figura 82 Paquetería externa para configuración de la DPS en SIMULINK

Lo que nos permitirá este Add-On es omitir toda aquella configuración por medio de lenguaje ensamblador para la habilitación de periféricos para GPIO, relojes, PWM, interrupciones, etc. Reduce la programación y lo deja todo a modo de diagrama de bloques bastante cómodo para el usuario, permitiendo modificar de manera puntual aquellos parámetros de interés sin la necesidad de conocer el lenguaje ensamblador.

Para el prototipo, se necesitan tomar en cuenta consideraciones reales operativas, cuyas repercusiones por hacer caso omiso podrían ser catastróficas para el prototipo a escala y aún peores para un sistema real con potencia mucho mayor.

El diagrama implementado queda de la siguiente manera en la ventana de Simulink:

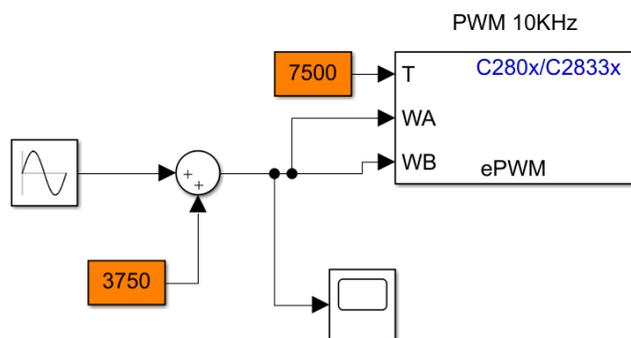


Figura 83 implementación del SPWM en Simulink mediante ePWM de la DSP

Se tendrá un $V_{pp} = 15000$

Los elementos utilizados se engloban en la siguiente tabla:

Tabla 19 Valores ingresados para la configuración del puerto ePWM de la DSP en SIMULINK

Elemento	Valor
Sine Wave Function	
Amplitud	3750
Frecuencia	$60 \cdot 2 \cdot \pi$
ePWM	
Module	Epwm1
Timer Period units	Clock cycles
Specify timer period via	Input port
Timer initial period	7500
Reload for time base period register (PRDL)	Counter equals to zero
Counting mode	Up-down
Synchronozation action	Set counter to phase value specified via dialog
Counting direction after phase synchronization	Count after sync
Phase offset value (TBPHS)	0
Synchronizacion output	Disable
Time base clock prescaler divider	1
High speed clock prescaler divider	1

Elemento	Valor
ePWMA	
CMPA units	Clock cycles
Specify CMPA via	Input port
CMPA initial value	2048
Reload for compare A Register	Counter equals to zero
Action when counter = ZERO	Do nothing
Action when counter = period (PRD)	Do nothing
Action when counter = CMPA on up-count (CAU)	Set
Action when counter = CMPA on down-count (CAD)	Clear
Action when counter = CMPB on up-count (CBU)	Do nothing
Action when counter = CMPB on down-count (CBD)	Do nothing
Compare value reload condition	Load on counter equals to zero (CTR = Zero)
Add continuous software force input port	No
Continuous software force logic	Forcing disable
Reload condition for software force	Zero
Enable high resolution PWN (HRPWM)	No
ePWMB	
CMPA units	Clock cycles
Specify CMPA via	Input port
CMPA initial value	2048
Reload for compare A Register	Counter equals to zero
Action when counter = ZERO	Do nothing
Action when counter = period (PRD)	Do nothing
Action when counter = CMPA on up-count (CAU)	Do nothing
Action when counter = CMPA on down-count (CAD)	Do nothing
Action when counter = CMPB on up-count (CBU)	Clear
Action when counter = CMPB on down-count (CBD)	Set
Compare value reload condition	Load on counter equals to zero (CTR = Zero)
Add continuous software force input port	No
Continuous software force logic	Forcing disable
Reload condition for software force	Zero
Deadband unit	
Use deadband unit for ePWM1A	Yes
Use deadband unit for ePWM1B	Yes

Elemento	Valor
Deadband polarity	Active high complimentary (AHC)
Signal source for rising edge (RED)	ePWMxA
Signa source for falling edge (FED)	ePWMxA
Deadband period source	Specify via dialog
Dead Rising edge (RED) period (0 ~ 1023)	1000
Dead Falling edge (DED) period (0 ~ 1023)	1000

- KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

El Puente MOSFET es fabricado por CREE con propósitos de desarrollo y muestra de sus componentes.

Contiene:

- MOSFET 1200 V SiC
- Diodos Schottky de SiC

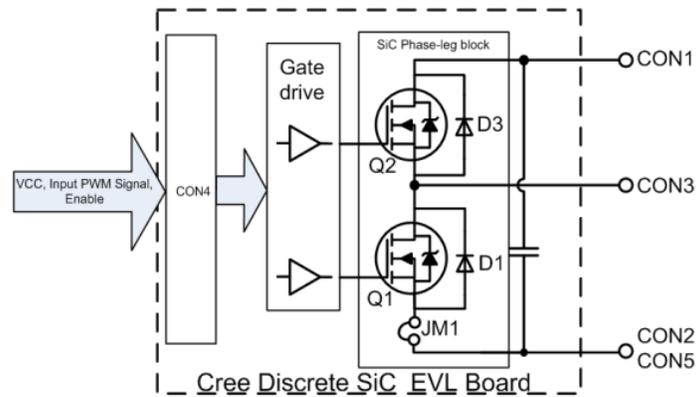


Figura 84 Arquitectura de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

La topología a utilizar para el puente MOSFET es el siguiente:

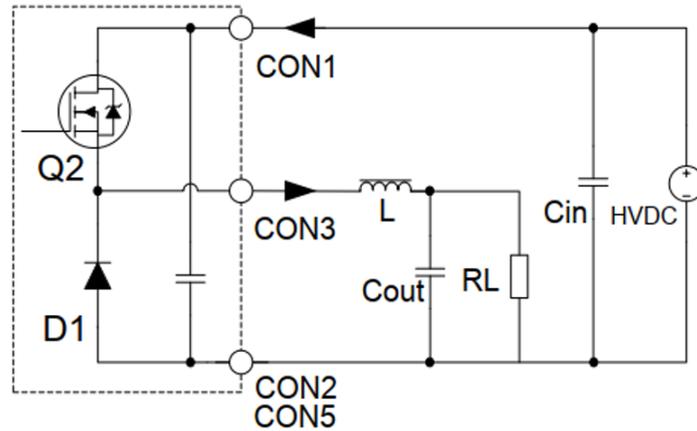


Figura 85 Topología propuesta por parte de CREE para implementación del inversor

Donde el fabricante nos indica que se tiene que conectar el inductor L con CON3 como salida, CON1 como entrada y CON2 y CON5 como referencia (GND).

Hay que denotar que en lugar de ser D1 se tendrá que conectar el Q1

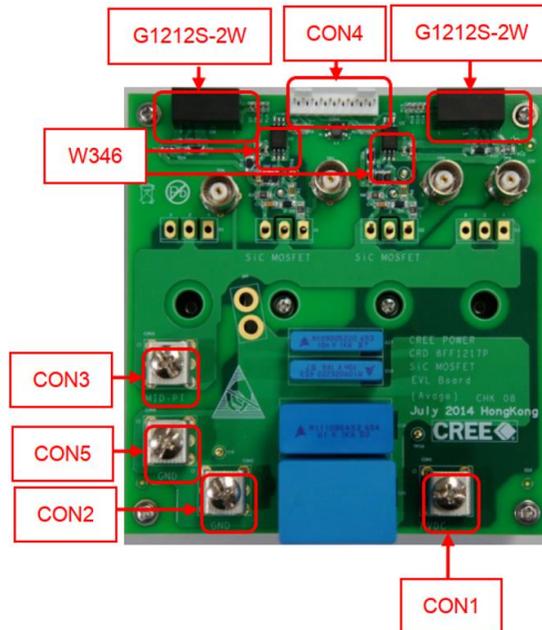


Figura 86 Disposición real del dispositivo KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

El conector 4 será donde ingresan las señales de control por parte de la DSP para la correcta operación del puente.

Las conexiones a utilizar serán las siguientes:

Tabla 20 Señales correspondientes a puerto CON4 de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

Pin del Conector CON4	CRD8FF1217P-1
1	N/A
2	N/A
3	N/A
4	N/A
5	Vcc: + 12 VCD
6	Retorno de Vcc. -
7	Señal de ctrl para Q2 +
8	Señal de ctrl para Q2 -
9	Señal de ctrl para Q1 +
10	Señal de ctrl para Q1 -

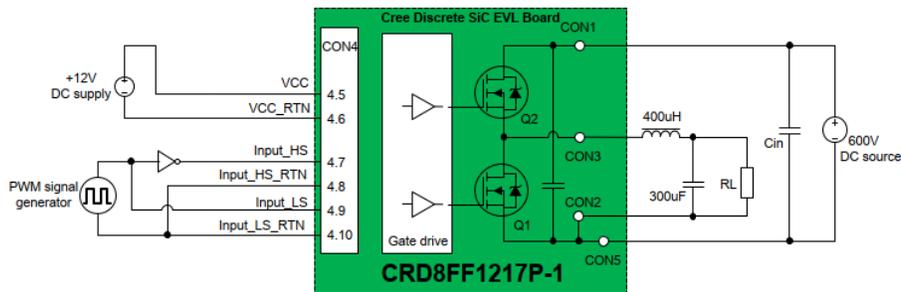


Figura 87 Diagrama de conexión completo de la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

Los parámetros eléctricos del kit de desarrollo se engloban en la siguiente tabla

Tabla 21 Parámetros permitidos por parte de CREE para la KIT8020CRD8FF1217P-1 CREE Silicon Carbide MOSFET Evaluation Kit

Item	Parámetro
Voltaje de Entrada	600 VCD
Voltaje de Salida	300 VCD
Corriente RMS de salida	30 A
Potencia de salida	9 kW
Corriente pico MOS	40 A
Frecuencia de apertura y cierre	40 kHz
Ciclo de trabajo	50%
Tiempo Muerto	450 ns
Inductor	400 uH
Capacitores de salida	300 uF

7 CONCLUSIONES

Mediante la elaboración de la presente Tesis se ha presentado la problemática del aumento de energías renovables las cuales tienen beneficios ambientales y repercusiones en los sistemas arcaicos de distribución. El avance de la tecnología no puede detenerse. Con nuevas formas de generar energía eléctrica y vehículos que sustituyen los combustibles fósiles por energía eléctrica se tiene que solucionar como mitigar las consecuencias de los sistemas eléctricos que no son viables reemplazar (tanto económicamente, tiempos de construcción e interrupciones en el servicio).

La metodología propuesta muestra la implementación de un sistema capaz de usar las instalaciones eléctricas de cargadores eléctricos vehiculares como fuente externa para mitigar las descompensaciones por sobrecarga y bajo fallas en el sistema de distribución. A manera de simulación se obtiene a partir de un banco de baterías o un bus de CD una señal trifásica de voltaje la cual puede ser aprovechada para compensar las perturbaciones en la red. En su conjunto se han implementado sistemas eléctricos y electrónicos de potencia conectados a manera de cascada para lograr el objetivo. En su primera etapa se tiene un VSC capaz de convertir una señal de CD almacenadas en baterías en una señal trifásica mediante la aplicación de señales de control tipo SPWM. Después de la etapa de filtro se obtiene una señal suave la cual ingresada a un transformador de potencial es monitoreado y controlado por un D-PMU para la inyección correspondiente de potencia reactiva dada por el despachador. En contraste con los sistemas de transformadores con taps bajo carga, el sistema propuesto en la presente Tesis no involucra ningún estado de transición mecánico el cual puede tener sobretensiones por maniobra y mayores tiempos de respuesta, ya que este se encuentra directamente conectado a la red en todo momento.

Por otra parte, la implementación de un sistema físico real ha permitido observar el comportamiento en las señales de control de un SPWM utilizando una DSP. Mediante programación de bloques y definiendo parámetros con una interfaz sencilla se puede controlar el tiempo de apertura entre los interruptores (MOSFET) evitando el estado de corto circuito entre las ramas del inversor (VSC) y mejorando la calidad de la señal de salida en contenido armónico. De manera real se obtuvieron mediciones y capturas de pantalla de la onda sinusoidal generada a partir de una fuente de CD la cual muestra la viabilidad del proyecto cuando se implemente a un nivel más elaborado en la construcción de sus materiales.

Mediante un controlador y agregador de potencia reactiva con monitoreo en la red de distribución se ha encontrado razonable la implementación de un sistema que tome energía almacenada en un sistema de cargador de vehículos eléctricos o sistema BESS (*Battery Energy Storage System*) para mitigar las perturbaciones simuladas en el presente trabajo (fallas y sobrecargas en un sistema real de distribución de energía eléctrica), abriendo campo a la posibilidad de inversión para que las empresas despachadoras de energía puedan asegurar

su calidad en servicio y calidad de la energía al cliente final; siendo así un paso a las energías renovables y modernización de sistemas de distribución.

8 REFERENCIAS

- [1] IEA, «World Energy Balances: Overview,» IEA, // 2021. [En línea]. Available: <https://www.iea.org/reports/world-energy-balances-overview/world>. [Último acceso: 15 Julio 2022].
- [2] S. F. Ali T. Al-Awami, «A Voltage-Based Controller for an Electric Vehicle Charger,» IEEE, / Enero 2015. [En línea]. Available: https://www.researchgate.net/publication/283193655_A_Voltage-Based_Controller_for_an_Electric_Vehicle_Charger/link/5fa25172a6fdccfd7b9b7d81/download. [Último acceso: 15 Julio 2022].
- [3] G. Mejía-Ruiz y M. Paternina, «A Bidirectional Isoated Charger for Electric Vehicles in V2G Systems with the Capacity to Provide Ancillary Services,» IEEE, Ciudad de México, 2020.
- [4] G. Mejía-Ruiz, R. Cárdenas-Javier, M. Arrieta Paternina, J. R. Rodríguez-Rodríguez, J. Ramírez y A. Zamora Méndez, «Coordinated Optimal Volt/Var Control for Distribution Networks via D-PMUs and EV Chargers by Exploiting the Eigensystem Realization,» IEEE, Ciudad de México, 2022.
- [5] D. Barros, W. L. Araujo Neves y K. M. Dantas, «Controlled Switching of Series Compensated Transmission Lines: Challenges and Solutions,» *IEEE Transactions on Power Delivery*, vol. 35, n° 1, pp. 47-57, Feb. 2020.
- [6] M. H. Rashid, «Inverters,» de *Power Electronics*, Essex, Pearson, 2014, pp. 306-379.
- [7] D. W. Hart, «Inverters,» de *Power Electronics*, Nueva York, Mc Graw Hill, 2011, pp. 331-333.
- [8] G. E. Mejia Ruiz, Desarrollo del Sistema Embebido Para el Control Digital de un Convertidor de Potencia de Una a Tres Fases, Medellín: NA, 2014.
- [9] M. A. Boost y P. D. Ziogas, «Stae-of-the-Art Carrier PWM Techniques: A Critical Evaluation,» *IEEE Transactions on Industry Applications*, vol. 24, n° 2, pp. 271-279, 1988.
- [10] A. Sedra y K. Smith, «Filters and Tuned Amplifiers,» de *Microelectronic Circuits*, Nueva York, Oxford University Press, 2015, pp. 1291-1329.
- [11] Texas Instruments, «Clarke & Park Transforms on the TMS320C2xx,» Texas Instruments, Houston, 1997.
- [12] J. Schonek, «Chier technique no. 202 The Singularities of the Third Harmonic,» Schneider Electric, Le Pont-de-Claix, 2001.
- [13] O. Katsuhiko, «Modelado Matemático de Sistemas de Control,» de *Ingeniería de Control Moderna*, Madrid, Pearson, 2010, pp. 13-62.