



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA
ELÉCTRICA – SISTEMAS ELECTRÓNICOS

Diseño De Un Amplificador De Potencia Clase F Para Microondas

MODALIDAD DE GRADUACIÓN: TESIS
QUE PARA OPTAR POR EL GRADO DE:
MAESTRO EN INGENIERÍA

PRESENTA:
José María Gómez Pérez

TUTOR PRINCIPAL
Dr. José Ismael Martínez López. Facultad de Ingeniería

Ciudad Universitaria, CD. MX., Diciembre 2017

Dedicatoria: A mis padres

Agradecimientos

- Al Dr. José Ismael Martínez López, por su apoyo en el desarrollo de esta tesis, por su atenta y amable atención en el transcurso de mi maestría.
- Al Dr. Jorge Rodríguez Cuevas y al Dr. Oleksandr Martynyuk por su apoyo en la fabricación del amplificador.
- Al Consejo Nacional de Ciencia y Tecnología por el apoyo recibido por el proyecto CONACYT 166106.
- Al Consejo Nacional de Ciencia y Tecnología por la beca recibida durante el transcurso de esta maestría, número de apoyo 417315.
- Al proyecto PAPIIT IN115016 “Arreglos periódicos bidimensionales con propiedades electromagnéticas sobre demanda para aplicaciones en sistemas avanzados de antenas” por el apoyo con la beca de maestría/obtención de grado.

Índice

Introducción	1
Capítulo I: Estado del Arte	5
Capítulo II: Marco Teórico	15
El transistor HEMT	17
Heterouniones	17
Dispositivos Cuánticos.....	18
Pozos Cuánticos.....	18
Tecnología MBE (Molecular Beam Epitaxy).....	19
Dopaje con Modulación	20
Materiales pseudomorfos	20
Gas de Electrones de 2 Dimensiones (2DEG)	22
Modelos Eléctricos	29
Modelos a Gran Señal	29
Conceptos básicos sobre amplificadores	33
Ganancia de transductor	33
Ganancia de Potencia Disponible.....	34
Ganancia de Potencia Operativa	34
Estabilidad	34
Amplificadores de Potencia	36
Clase A.....	36
Operación a señal grande.....	43
Clase B.....	45
Configuración Push-Pull.....	47
Efecto de la “rodilla” en la curva I-V	50
Ángulo de conducción reducido	52
Clase J/Clase B continuo	57
Clase F	59
Clase F Continuo.....	63
Arquitecturas conmutadas	65

Arquitecturas Compuestas.....	67
Medición "Load-Pull"	70
Capítulo III: Diseño de amplificadores Clase F.....	72
Introducción.....	74
Primer diseño de un amplificador Clase F.....	74
Red de acoplamiento de salida.....	75
Red de polarización a la salida	84
Red de estabilización a la salida.....	86
Simulación de la red de salida en Momentum de ADS.....	89
Red de acoplamiento de entrada.....	90
Red de polarización de entrada.....	91
Redes de estabilización a la entrada	92
Resultados simulados.....	96
Segundo diseño de un amplificador clase F	100
Load-Pull.....	100
Red de acoplamiento de salida.....	103
Red de polarización de salida	106
Red de acoplamiento de entrada.....	108
Red de polarización de entrada	109
Redes de estabilización a la entrada	111
Resultados simulados.....	114
Capítulo IV: Resultados Experimentales	118
Medición de las curvas IV del transistor	120
Construcción del segundo amplificador clase F	123
Mediciones.....	127
Interpretación de los resultados	132
Conclusiones.....	134
Trabajo a futuro.....	134
Referencias	135

Introducción

En la actualidad las telecomunicaciones y la electrónica son parte fundamental de nuestras vidas, día con día hacemos uso de estas tecnologías, la ingeniería electrónica ha sido la responsable de crear distintos dispositivos donde se transmite, recibe o procesa información y los cuales han revolucionado al mundo entero. Hoy en día existen distintos dispositivos tales como el teléfono, el sistema de posicionamiento global (GPS), la cámara fotográfica digital, la PC, el internet, aplicaciones que no sólo existen por separado, sino que también convergen en un solo dispositivo móvil. Por tanto, el video, la voz, la navegación y datos pueden ser compartidos entre diferentes dispositivos móviles con facilidad, esto exige que la circuitería utilizada para llevar a cabo dichos dispositivos se enfrente a mayores limitaciones de ancho de banda y consumo de energía.

La telefonía móvil ha avanzado mucho desde los comienzos del estándar 1G (primera generación) en el cual se podía transmitir únicamente voz utilizando un sistema analógico, posteriormente, el estándar 2G (segunda generación) permitió que se transmitieran voz y datos, el estándar 3G (tercera generación) utiliza un sistema multifrecuencias que permite aplicaciones de voz, multimedia e internet, más recientemente, se presentó el estándar 4G (cuarta generación) el cual está basado en el protocolo IP (*Internet Protocol*) y que viene a mejorar el estándar 3G. Conforme se mejoran dichos estándares, los dispositivos se vuelven más sofisticados y permiten el uso de aplicaciones más complejas, sin embargo, a medida que se generan estas mejoras, existe una mayor demanda de energía por parte del dispositivo, esto representa un problema respecto a la energía que se encuentra disponible en la batería, así como la disipación de calor que genera el dispositivo, este último punto se vuelve relevante en aplicaciones tales como radio bases de telefonía celular, por tanto se requiere una mayor eficiencia por parte del amplificador de potencia del dispositivo en cuestión, así mismo es necesario un mayor ancho de banda que permita mayor capacidad de datos.

Los amplificadores de potencia forman parte del transmisor de un sistema de comunicaciones, este dispositivo tiene como labor principal el incrementar la potencia de la señal que se aplica a su entrada para así poder ser transmitida a la salida del transmisor. Las características principales de los amplificadores de potencia son la eficiencia, la ganancia y la potencia de salida. Para llevar a cabo uno de estos amplificadores se requiere como mínimo de un transistor el cual lleve a cabo la ganancia de potencia, estos transistores pueden ser operados en dos regiones: la región lineal y la región no lineal. El operar el transistor en la región no lineal tiene como resultado una mayor eficiencia, logrando así un menor consumo

de potencia y mayor rendimiento de la batería. Operar un transistor en su región lineal requiere que exista un consumo de potencia por parte del mismo inclusive cuando no se aplica ninguna señal a la entrada del amplificador, por ejemplo, el amplificador clase A es considerado el amplificador lineal por excelencia, utilizando este tipo de amplificador se puede obtener una eficiencia teórica máxima del 50%, sin embargo, utilizando un amplificador clase F el cual es un amplificador no lineal, se puede obtener una eficiencia teórica máxima del 90.7%. Las dos cifras anteriores difieren de manera muy significativa, y se vuelve evidente que la amplificación no lineal tiene mayores ventajas en términos de eficiencia, sin embargo, resulta importante mencionar que los valores de eficiencia mencionados son teóricos, es decir en la práctica ninguno de los amplificadores alcanza valores tan altos.

El presente trabajo se enfoca en los amplificadores de potencia, así como los elementos claves para realizarlos. Puesto que la electrónica se encuentra en constante desarrollo, el primer capítulo de este trabajo consta de una revisión del estado del arte donde se provee un panorama general sobre las tecnologías actuales y modelos utilizados, posteriormente existe un capítulo dedicado al marco teórico, en esta sección se describe la teoría de las heterouniones y los transistores HEMT así como los modelos no lineales de los mismos, es importante mencionar que actualmente los transistores HEMT son ampliamente utilizados en el desarrollo de amplificadores de potencia y por tanto, ameritan una descripción detallada. Así mismo, se describe la teoría de amplificadores y algunas de las clases de amplificación más comunes y relevantes a este trabajo. El capítulo 3 describe el diseño de dos amplificadores clase F, donde se muestran elementos claves como las redes de acoplamiento a la entrada y a la salida, las redes de estabilización, etc. Los cuales fueron simulados en el software *Advanced Design System* (ADS). Por último, se incluye un cuarto capítulo donde se detalla la construcción y resultados experimentales de uno de los amplificadores diseñados en el capítulo 3.

Objetivos:

- Realizar un estudio detallado sobre los distintos tipos de amplificadores de potencia.
- Llevar a cabo una investigación del estado del arte
- Diseñar un amplificador clase F a 2 GHz con 40 dBm de potencia.
- Diseñar un segundo amplificador clase F a 2 GHz con 10 dBm de potencia.
- Fabricar y medir el segundo amplificador diseñado.

Metodología

- Se revisarán los distintos artículos publicados en revistas de alto impacto así como la bibliografía más representativa en el área de interés.
- Se definirán las distintas clases de amplificadores y sus modos de funcionamiento.
- Se llevarán a cabo simulaciones en un software de onda completa.
- Se realizará un amplificador Clase F de 40 dBm de potencia, utilizando el modelo embebido desarrollado por la Universidad Estatal de Ohio.
- Se realizará un segundo amplificador Clase F de 10 dBm de potencia, utilizando la técnica de *Load-Pull*.
- Se fabricará el segundo amplificador mediante el proceso de fotolitografía adoptado por UNAMems.

Alcance

- Se delimitará el estudio a las clases de operación de amplificadores de potencia más utilizadas en el rango de las microondas.
- Para el amplificador Clase F de 40 dBm, se realizará únicamente el diseño y se obtendrán resultados simulados.
- Para el amplificador Clase F de 10 dBm, se realizará el diseño, simulación, fabricación y medición del mismo.

Capítulo I:

Estado del Arte

La industria de la electrónica se encuentra en constante innovación generando avances tecnológicos, por lo tanto es conveniente hacer una revisión del estado actual de las tecnologías en cuanto amplificadores de potencia se refiere, existen muchas arquitecturas y mejoras, inclusive los amplificadores tradicionales tal como el clase A pueden ser mejorados aplicando técnicas actuales [1], [2]. Sin embargo, la amplificación no lineal predomina hoy en día, y se debe prestar atención en este tema, esto se debe a que cuando un amplificador trabaja en su región no lineal se pueden obtener mayores eficiencias, logrando así un menor consumo de energía y una menor disipación de calor por parte de los dispositivos.

Dentro de los amplificadores no lineales encontramos varios tipos, un ejemplo es el amplificador clase B, el cual es bastante utilizado, pero que con sus notables excepciones [3], ha recibido poca atención últimamente en materia de innovación, sin embargo, se ha utilizado en arquitecturas múltiples tal como el amplificador Doherty en la cual se puede utilizar un amplificador clase B o clase F en conjunto con un amplificador clase C [4], [5].

El amplificador clase B, presenta grandes retos a la hora de realizar las redes de acoplamiento, esto se debe a que el amplificador clase B debe poner en corto circuito todos los armónicos superiores a la fundamental, en la práctica esto es muy difícil de llevar a cabo, por lo tanto, recientemente se ha prestado mayor atención en un tipo de amplificador que extiende el espacio de diseño del amplificador clase B, se trata del amplificador clase J o su variante el amplificador clase B continuo, el cual permite al diseñador crear redes de acoplamiento que no necesariamente coloquen todos los armónicos superiores a la fundamental en corto circuito, en especial se permite que las cargas para el segundo armónico y la fundamental varíen con cierta relación, logrando que se obtengan formas de onda distintas a las de un clase B convencional, pero con la misma eficiencia característica de un amplificador clase B. Esto a su vez permite a los amplificadores clase J o clase B continuo, obtener altos índices de eficiencia en un ancho de banda bastante amplio, la cual es una característica altamente deseable ya que hoy en día se requiere cada vez mayor ancho de banda para dar cabida a aplicaciones más complejas las cuales presentan mayor exigencia de datos por parte de un creciente número de usuarios.

En la tabla 1, se presentan algunos de los amplificadores clase J o clase B continuo reportados hasta el momento.

Tabla 1.- Amplificadores Clase J ó Clase B Continuo

Trabajo	Año	Banda de Operación (GHz.)	Eficiencia (%)	Potencia de Salida (W)
[6]	2016	1.3 – 1.75	55.2 – 70	10
[7]	2012	1.7 – 2.24	62	10
[8]	2011	2.08 – 2.2	70	10
[9]	2016	1.3 – 2.4	63 - 72	10.2 - 13.18
[10]	2011	2.3 – 2.7	60	10 - 11.75

Otro tipo de amplificador no lineal es el amplificador clase F, este amplificador obtiene altos valores de eficiencia al hacer uso de terminaciones de circuito abierto para los armónicos impares y corto circuito para los armónicos pares, sin embargo, en la práctica, es común enfocarse únicamente en el segundo armónico en lugar de todos los armónicos pares, y en el tercer armónico en lugar de todos los armónicos impares, debido a que los armónicos superiores suelen ser de una mucho menor magnitud. Aunque el amplificador clase F lleva ya varios años de haber sido propuesto, aun se siguen utilizando y desarrollando bastante en la actualidad, por ello, vale la pena mencionarlos, además, en el presente trabajo se realizó uno de estos amplificadores debido que se trata de una arquitectura bastante eficiente. Tradicionalmente este amplificador es de banda angosta y las mayores eficiencias se logran saturando al transistor, es decir operándolo en su región no lineal. En la actualidad este amplificador ha recibido considerable atención, algunos de los datos más relevantes que se han reportado hasta el momento se muestran en la tabla 2:

Tabla 2.- Amplificadores Clase F

Trabajo	Año	Frecuencia de Operación (GHz.)	Eficiencia (%)	Potencia de Salida (W)
[11]	2014	1.6	78.11	6.3
[12]	2016	2.4	70.9	12
[13]	2016	2	54.5	2.5
[14]	2012	2.655	73.5	12.6
[15]	2010	5.86	71.4	2.18
[16]	2015	1.99	72.6	13.8
[17]	2009	1	78.18	4
[18]	2015	5.8	64.1	13.8
[19]	2015	2.4	80	0.22
[20]	2014	2	80.1	11.75

El amplificador Clase F sufre del mismo problema que el amplificador clase B, es decir, existe la dificultad a la hora del diseño de las redes de acoplamiento de presentar las impedancias necesarias para su operación en la región no lineal, específicamente el presentar un corto circuito al transistor en todos los armónicos impares y un circuito abierto para los armónicos pares. Bajo esta premisa surge el amplificador clase F continuo, en el cual se “relaja” la restricción de obtener un corto circuito perfecto para el segundo armónico, permitiendo también que varíe la relación entre la carga fundamental y la del segundo armónico, mientras que el tercer armónico se mantiene en circuito abierto, es decir el amplificador clase F continuo presenta al diseñador la posibilidad de crear redes de acoplamiento en las que se pueda obtener la misma eficiencia de un amplificador clase F pero en un ancho de banda amplio, el amplificador clase F continuo es similar al amplificador clase J o B continuo, en el sentido que se extiende el espacio de diseño y se obtienen anchos de banda amplios. La tabla 3 muestra las especificaciones principales de algunos de estos amplificadores.

Tabla 3- Amplificadores Clase F Continuo

Trabajo	Año	Banda de Operación (GHz.)	Eficiencia (%)	Potencia de Salida (W)
[21]	2012	1.45 – 2.45	70	11-16.8
[22]	2013	1.4 – 2.5	73 - 88.6	11.2-17.4
[23]	2012	1.3 – 3.3.	60 – 80	10
[24]	2013	1.35 – 2	65 – 76	45
[25]	2016	0.550 – 0.990	70	10
[26]	2011	0.55 – 1.1	74	10.5

Las arquitecturas conmutadas tal como el amplificador Clase E han sido también utilizadas para crear amplificadores no lineales de alta eficiencia. Normalmente este tipo de amplificadores son más utilizados en radio frecuencia y microondas de baja frecuencia (1-3GHz.), sin embargo, se ha reportado su uso en frecuencias tan altas como 60 GHz [27]. El principio de funcionamiento del amplificador clase E se basa en utilizar el transistor como conmutador, de esta manera se minimiza el traslape de las señales de voltaje y corriente a través del transistor, minimizando la disipación de potencia y, por tanto, maximizando la eficiencia.

El amplificador Clase E es típicamente de banda angosta, sin embargo, se han realizado versiones de banda ancha [28], [29], [30]. La tabla 4 muestra algunos de estos amplificadores.

Tabla 4.- Amplificadores Clase E

Trabajo	Año	Frecuencia/Banda de operación (GHz.)	Eficiencia (%)	Potencia de Salida (W)
[31]	2013	2.8	70.8	10.23
[32]	2016	2.4	43.6	0.71
[28]	2011	0.9-2.2	60	10-20
[33]	2012	3.5	59	0.5
[34]	2013	0.9-1.5	81	180

Últimamente, se ha presentado un creciente interés por las arquitecturas compuestas tales como los amplificadores Doherty y Chireix. Estos dos tipos de amplificadores se caracterizan por utilizar al menos 2 transistores para llevar a cabo la amplificación, de manera general uno de los transistores funge como amplificador principal, el cual opera típicamente en clase B o clase F, mientras que el otro amplificador funge como amplificador auxiliar el cual puede ser también un clase B, F, o clase C. Por medio de esta combinación se pueden obtener altos niveles de eficiencia inclusive si se opera el amplificador en *back-off*, es decir a niveles de señal de entrada no óptimos. Estos amplificadores son típicamente de banda angosta, aunque recientemente se han propuesto métodos para incrementar su ancho de banda [35], [36], [37], [38].

Tabla 5.- Arquitecturas Compuestas

Trabajo	Año	Tipo de Amplificador	Banda de Operación (GHz.)	Eficiencia en Back-off	Potencia de Salida (W)
[39]	2015	Doherty	1	50 % @ 7dB	12
[4]	2014	Doherty	2	50 % @ 11dB	15
[40]	2016	Doherty-Chireix	2.17	50% @ 6dB	174
[41]	2016	Chireix	2.14	52% @ 5.2dB	40

Con el fin de optimizar amplificadores de potencia existen muchas técnicas que aunque su invención tiene ya un tiempo, apenas se han comenzado a implementar, una de estas técnicas es la de seguimiento de envolvente o *envelope tracking* en inglés [42], [43], [44], la cual pretende minimizar la potencia disipada en el transistor mediante el ajuste continuo de la fuente de directa con base en la envolvente de la señal de entrada.

Durante años una de las técnicas más utilizadas en el diseño de amplificadores es la técnica de *Load-Pull*, la cual consiste en variar la impedancia de carga presentada al transistor mientras que se monitorean la potencia y la eficiencia, con estos datos se puede determinar el conjunto de cargas que producen la eficiencia y potencia deseadas, por lo tanto, se trata de un proceso empírico de prueba y error en el cual se busca la carga óptima que satisfaga los requerimientos de diseño. Con el propósito de realizar un proceso que no requiera de *Load-Pull* o bien que el *Load-Pull* no sea un requisito, recientemente se ha desarrollado un modelo embebido [45], el cual pretende proporcionar un método de diseño partiendo del plano intrínseco del transistor para posteriormente proyectar las impedancias requeridas hacia el empaquetado, es decir en este modelo primero se definen cuáles deben ser las corrientes y voltajes en el plano intrínseco, posteriormente, utilizando el modelo embebido se proyectan las impedancias que deben ser presentadas al empaquetado las cuales producirán las impedancias deseadas en el plano intrínseco. Este modelo ha sido utilizado para desarrollar arquitecturas de amplificadores convencionales tal como el amplificador clase B [45] así como arquitecturas más avanzadas de amplificadores tales como la Doherty [4], el amplificador clase J [9] y el clase F [16] .

El modelo embebido fue desarrollado por la Universidad Estatal de Ohio y se encuentra basado en el modelo de Angelov, en la figura 1 se muestra el símbolo utilizado en ADS para dicho modelo

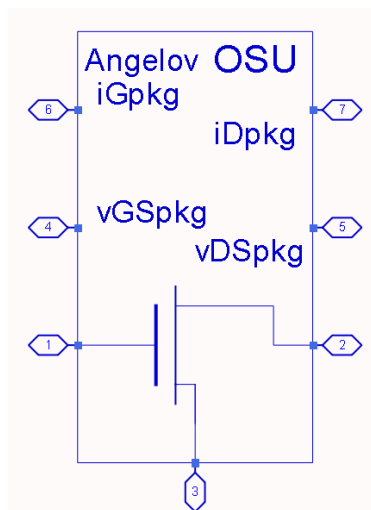


Figura 1.- Modelo Embebido de Angelov de la OSU

El patigrama tiene el siguiente uso: las terminales 1,2 y 3 representan la compuerta, el drenaje y la fuente respectivamente del modelo en el punto intrínseco, aquí es donde se establecen los voltajes y corrientes requeridos para el diseño, una vez realizado esto, el modelo embebido se ocupará de proyectar al

empaquetado (terminales 4 a 7) las impedancias que deben ser presentadas para lograr la operación deseada en el plano intrínseco. Por ejemplo, si se desea obtener un amplificador clase B en el plano intrínseco, se deben corto circuitar todos los armónicos superiores a la fundamental, y posteriormente presentarle al transistor las impedancias extraídas por medio del modelo embebido.

Una investigación sobre el estado del arte no estaría completa sin antes mencionar las distintas tecnologías utilizadas actualmente para el desarrollo de amplificadores de potencia. Las principales tecnologías son: el CMOS, LDMOS, HBT y el HEMT, siendo este último la tecnología en la que se centra este trabajo.

La tecnología CMOS lleva muchos años consolidada como una de las más utilizadas en el mundo de la electrónica, se trata de pares complementarios de transistores MOSFET, los cuales permiten realizar amplificadores de forma integrada, esto se vuelve de gran utilidad en aplicaciones móviles donde el tamaño de los componentes resulta un factor importante de diseño. Se han realizado amplificadores utilizando la tecnología CMOS para muchas aplicaciones, por ejemplo para aplicaciones móviles [46], [47], [48], [49], o también en aplicaciones de muy alta frecuencia [50], [51], [52], [53].

Por otro lado, el LDMOS es una estructura MOSFET mejorada para aplicaciones de alta potencia. La diferencia principal entre un LDMOS y un MOSFET radica en el largo de la región de deriva, la cual mejora la región de empobrecimiento. El LDMOS es especialmente útil en la región de UHF y microondas de baja frecuencia. La tecnología LDMOS hace posible que se puedan diseñar amplificadores de muy alta potencia [54], [55], [56], [57], esto los vuelve buenos candidatos a ser utilizados en aplicaciones de radio bases y equipos de telefonía celular [56], [58], [59], [60].

El HBT es un tipo de transistor bipolar de unión muy utilizado hasta el momento, en aplicaciones que van desde bajas hasta muy altas frecuencias [61], [62], [63], [64]. El HBT representa una mejora respecto al tradicional BJT por el resultado del uso de heteroestructuras utilizadas para su construcción. Dichas heteroestructuras son basadas en materiales semiconductores compuestos tales como AlGaAs/GaAs, SiGe InP. Una gran ventaja del HBT es que permite el uso de fuentes unipolares, lo cual lo vuelve muy atractivo comercialmente.

El HEMT es un transistor de alta movilidad de electrones, esto se logra mediante la adición de una región donde se forma una ligera capa de electrones conocida como el 2DEG, la cual se encuentra situada en una región sin dopaje, evitando así las colisiones que sufren los electrones con los iones del material donador, lo que tiene como resultado una mayor respuesta de frecuencia. Actualmente el HEMT

de GaN ha revolucionado el mercado debido a su alto voltaje de ruptura, esto ha centrado las investigaciones actuales en modelar y caracterizar dicho transistor [65], [66] [67], [68].

Capítulo II:

Marco Teórico

El presente capítulo expone diversos conceptos teóricos para la mejor comprensión de los amplificadores de potencia. Se comienza dando un panorama sobre la física del transistor HEMT el cual es uno de los de mayor uso en el desarrollo de los amplificadores de potencia, aquí se expone su construcción, así como los materiales y tecnologías de fabricación. Posteriormente, se da una introducción a los diferentes modelos a señal grande utilizados actualmente para modelar transistores, se trata de los modelos de Angelov, Materka-Kacprzak y Berroth. La última y más extensa sección consta de la teoría que hay detrás de los amplificadores de potencia, aquí se exponen las distintas clases de amplificadores de microondas, su principio de operación y cualidades características.

El transistor HEMT

Heterouniones

Son aquellas uniones entre dos semiconductores con diferentes gaps de energía y parámetros de red acoplados [69]. Cuando se unen semiconductores con *band gaps*, funciones de trabajo y afinidades de electrón diferentes existirán discontinuidades en las bandas de energía a medida que los niveles de Fermi se alinean en el equilibrio [69]. Las figuras 2 y 3 muestran la estructura y discontinuidad de bandas

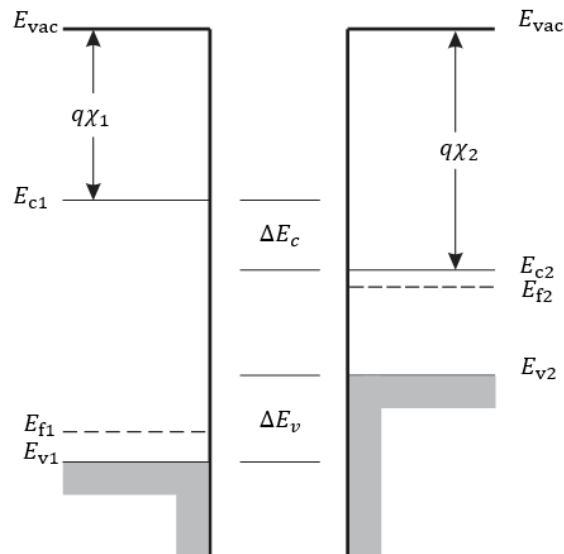


Figura 2.- Estructura de Bandas

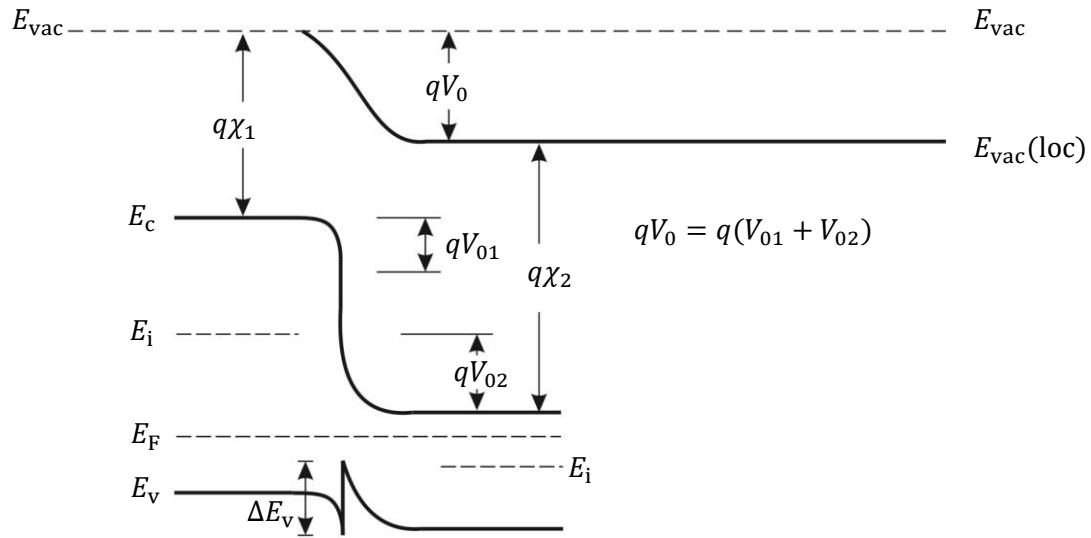


Figura 3.- Discontinuidades en las Bandas

Dispositivos Cuánticos

Son dispositivos que hacen uso de efectos cuánticos tales como pozos de potencial, supermallados (superlattices) los cuales son heteroestructuras periódicas que forman una versión sintetizada de un cristal unidimensional, otros efectos cuánticos son el 2DEG (2 Dimensional Electrón Gas) [70].

En los dispositivos electrónicos, los electrones son dispersados por las impurezas ionizadas de la red, lo cual reducen su movilidad y ocasionan pérdidas.

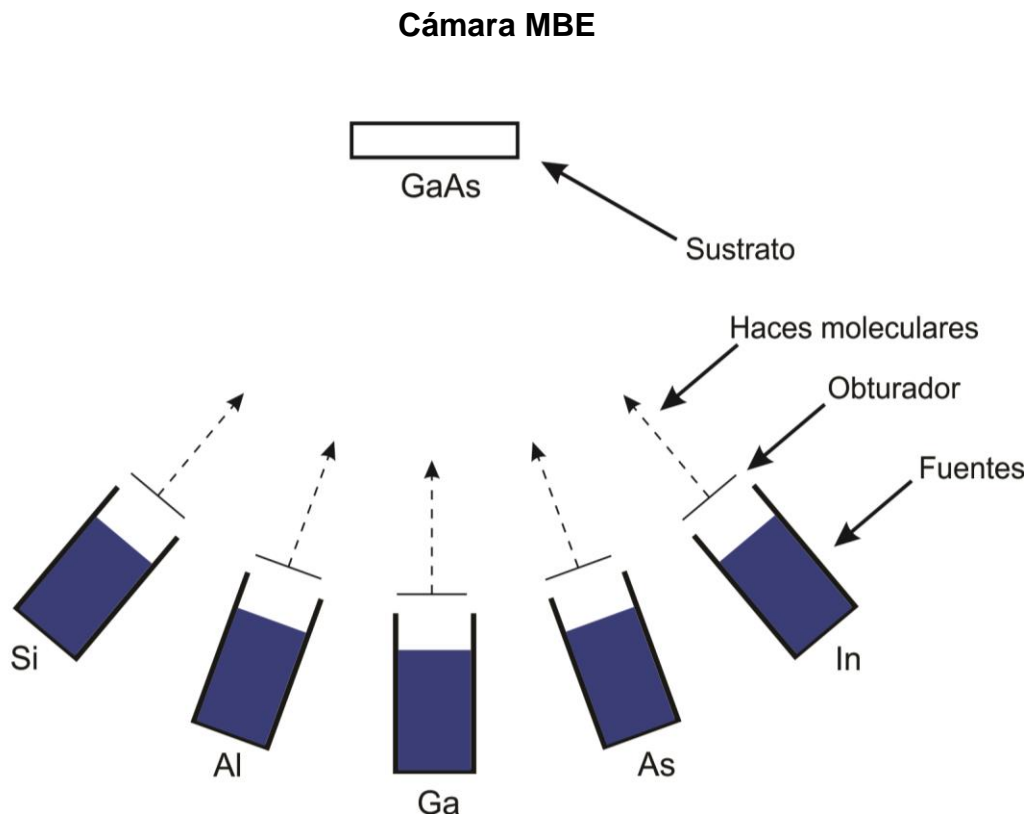
Pozos Cuánticos

A un arreglo en el cual una partícula, por ejemplo un electrón se encuentra confinado por barreras de potencial se le conoce como "pozo de potencial", si la energía de la partícula es superior a la energía de las barreras, ésta podrá escapar del pozo de potencial, pero si la energía de la partícula es inferior a la de las barreras, aquella permanecerá dentro del pozo de potencial, sin embargo, debido a la naturaleza probabilística de la mecánica cuántica, existe una posibilidad de que la partícula pueda estar fuera del pozo de potencial inclusive si su energía es inferior a la de las barreras [71].

Un tipo de pozo cuántico muy importante en la aplicación a dispositivos que trabajan a altas frecuencias es el llamado "Gas de Electrones de 2 Dimensiones" o 2DEG por sus siglas en inglés, el cual se describe más adelante.

Tecnología MBE (*Molecular Beam Epitaxy*)

Permite depositar una capa atómica a la vez mientras que se puede cambiar de manera gradual o abrupta el material del semiconductor y el tipo de dopaje. Para ello el sustrato se coloca dentro de una cámara al alto vacío, diferentes componentes tales como Si, Al, Ga, As, In se calientan en células cilíndricas separadas, estos componentes escapan a través de pequeñas aperturas en las células cilíndricas en forma de un haz de moléculas, los cuales se dirigen hacia el sustrato, un obturador o pantalla se coloca frente a cada uno de dichos rayos, dicha pantalla sirve para seleccionar el haz que se desea dirigir hacia el sustrato [70].



En la figura 4 se muestra el diagrama de una cámara MBE, esta técnica permite realizar distintas aleaciones como AlGaAs, SiGe, InGaAs, entre otras, así mismo, permite variar el dopaje en el semiconductor durante el crecimiento MBE, a esto se le conoce como “*Modulation Doping*” lo que en español significa “Dopaje con Modulación” o “Modulación de Dopaje”. Una aplicación de dicha técnica es el separar los electrones de las impurezas provenientes los materiales de dopaje, lo cual permite la alta movilidad de electrones mediante la formación de 2DEG [59].

Dopaje con Modulación

Para mantener una alta transconductancia en el MESFET, la conductividad del canal debe ser tan alta como sea posible, dicha conductividad puede ser incrementada mediante un mayor dopaje [69], sin embargo, a medida que los niveles de dopaje se incrementan, el radio de Bohr de los estados de impureza se encuentra en el orden de 100 Å, por tanto cuando el espacio promedio entre impurezas alcanza este nivel, el potencial visto por el electrón de la impureza es influenciado por impurezas vecinas [72]. Cuando los donadores se ionizan, un ion positivo que se encuentra presente en el material produce dispersión del electrón libre, la dispersión produce un deterioro en las propiedades de transporte de los electrones [72].

Debido a las impurezas de los donadores la movilidad del electrón se ve afectada, sin embargo las impurezas son necesarias para proveer de electrones libres al material, la solución para aumentar la movilidad es colocar a los donadores en una cierta región mientras que los electrones generados se transfieren a un canal activo libre de dopaje, de esta manera la movilidad y la velocidad saturada ya no se encuentran limitadas por el dopaje, por lo que la respuesta en frecuencia del dispositivo se incrementa de manera considerable [73].

El dopaje con modulación es un proceso que hace esto posible, en dispositivos de heterounión, una capa de material con un gran band gap se deposita epitaxialmente sobre un canal y es usada como un aislante, dicha técnica es necesaria cuando se carece de una interfaz ideal de óxido-semiconductor, como es prácticamente el caso de todos los semiconductores distintos al Silicio [74]. El material utilizado como aislante puede ser dopado o no dopado, si se cuenta con un material dopado con un amplio gap de energía, los portadores provenientes de los dopantes se transfieren a la heterointerface y producen un canal de alta movilidad, el canal se encuentra libre de dopantes con el propósito de evitar la dispersión generada por las impurezas [74].

Materiales pseudomorfos

La tecnología MBE también permite crear aleaciones en las cuales sus mallas (*lattice*) no se encuentren acopladas, siempre y cuando el desacople sea sólo en una pequeña proporción y en capas finas. La capa epitaxial asume la constante de red del sustrato donde se está siendo depositada, esto origina que la capa epitaxial experimente esfuerzos de tensión, y por consiguiente, se modifiquen sus propiedades físicas [70].

Un material pseudomorfo sólo puede ser creado si la capa epitaxial tiene un espesor menor al grosor crítico h_c [70]. El espesor crítico corresponde al grosor al

cual se vuelve energéticamente más favorable para la capa epitaxial el generar dislocaciones que el mantener la tensión de red, cuando esto sucede el material se vuelve inutilizable para crear dispositivos.

Este tipo de materiales tienen como consecuencia una mayor movilidad de portadores al reducir su masa efectiva, por lo que se vuelven muy útiles en aplicaciones de alta velocidad o frecuencia.

HEMT

El transistor de alta movilidad de electrones (HEMT por sus siglas en inglés) es un dispositivo de heterounión en el cual un material con un amplio gap de energía es dopado de tal forma que los portadores se difunden a una región angosta sin dopar. En dicha heterointerface se forma el canal del transistor lo cual permite que los portadores se encuentren separados de la región dopada, como consecuencia se puedan alcanzar altas movilidades debido a que no existe dispersión debido a impurezas [74], es decir, en un HEMT el 2DEG funge como el canal del transistor. La figura 5 muestra la estructura interna de un HEMT típico.

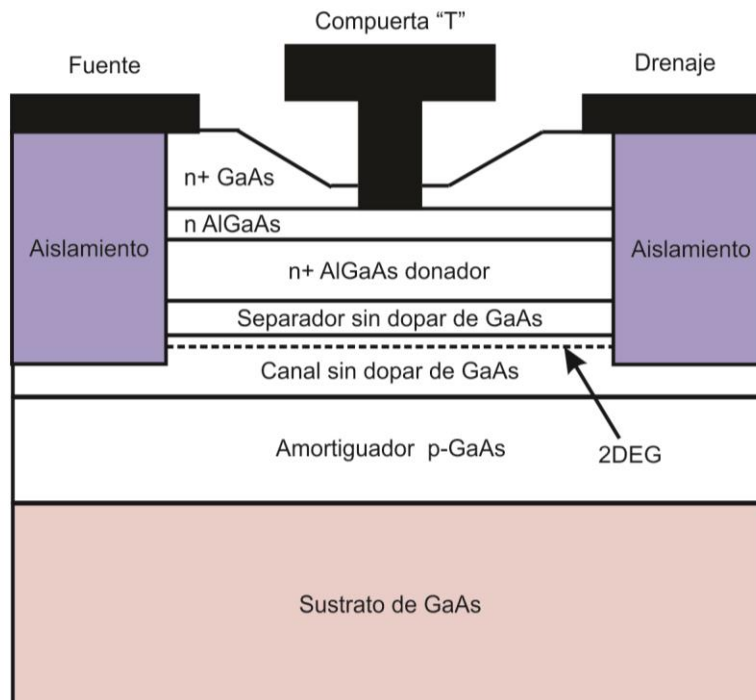


Figura 5.- Transistor de Alta Movilidad de Electrones

Puesto que en un MESFET el canal debe ser dopado a un nivel considerablemente alto, el canal dopado mediante la técnica de dopaje con modulación presenta mucho mayores movilidades a todas las temperaturas [74].

Los materiales típicos utilizados para los HEMT's son AlGaAs, Al/InGaAs y AlGaIn [75]. Se han demostrado movilidades récord en GaAs 2DEG a temperaturas menores a 1K de $3.5 \times 10^{17} \text{ cm}^2/\text{Vs}$ [76]

Los HEMT utilizan metal en la compuerta formando una unión Schottky, debido a que los HEMT son típicamente diseñados para operación en alta frecuencia y debido a que sus compuertas son extremadamente cortas, es muy común utilizar contactos en forma de T, en especial en dispositivos de alta potencia [73].

Gas de Electrones de 2 Dimensiones (2DEG)

La heterounión formada ya sea por AlGaAs/GaAs, AlGaIn/GaN o AlInAs/GaInAs resulta en una abrupta transición al borde de la banda de conducción. Dicha discontinuidad ocasiona que se produzca una alta concentración de electrones confinada a la heterointerfaz en la región que se encuentra por debajo de la compuerta, los electrones se encuentran ahora confinados en un pozo de potencial pero son libres de moverse en dirección de la red del cristal, a esto se le conoce como "2 Dimensión Electrón Gas" o "Gas de Electrones de 2 Dimensiones" [70] [77].

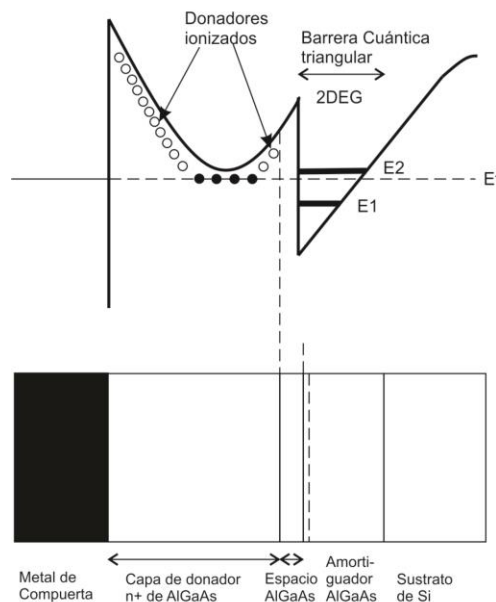


Figura 6.- 2DEG

Para incrementar la densidad de carga del 2DEG se llevan a cabo múltiples pozos de potencial, esto es de especial importancia en los transistores de potencia [77], esta técnica se ilustra en la figura 7.

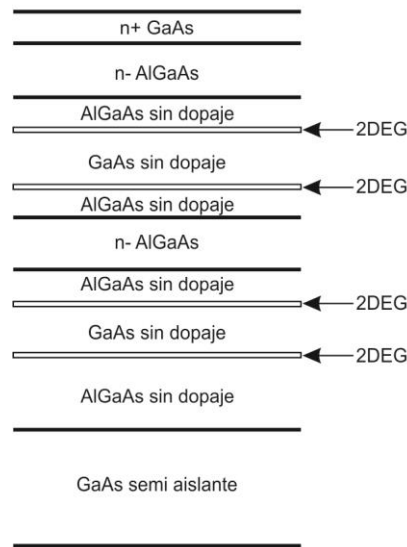


Figura 7.- Múltiples 2DEG

La densidad de electrones en el 2DEG puede ser controlada mediante un voltaje en la terminal de compuerta. El campo eléctrico de la unión Schottky agota por completo la capa 2DEG cuando se aplica un voltaje lo suficientemente negativo a la compuerta [78]. La figura 8 muestra la estructura de bandas cuando el voltaje de compuerta $V_G = 0V$

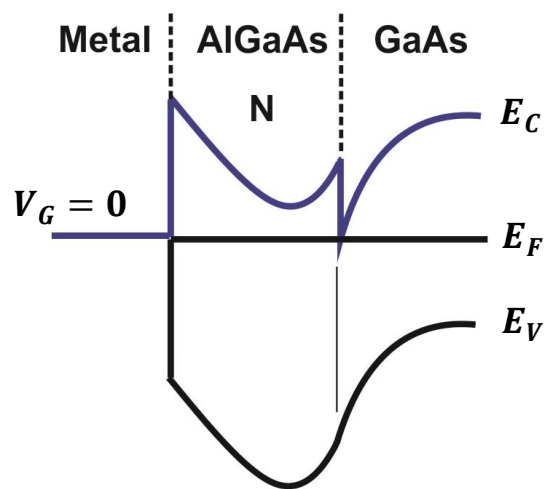


Figura 8.- Estructura de bandas con $V_G=0$

Con polarización cero, el borde de la banda de conducción en el GaAs se encuentra ligeramente por debajo del nivel de Fermi, lo que implica que existe una alta densidad de electrones en el 2DEG. Si se aplica un voltaje negativo en la compuerta, el borde de la banda de conducción en el GaAs se encuentra por encima del nivel de Fermi, lo que implica que la densidad de electrones en el 2DEG es muy pequeña y por tanto la corriente en el transistor también será muy pequeña o idealmente cero [78]. Este escenario se ilustra en la figura 9.

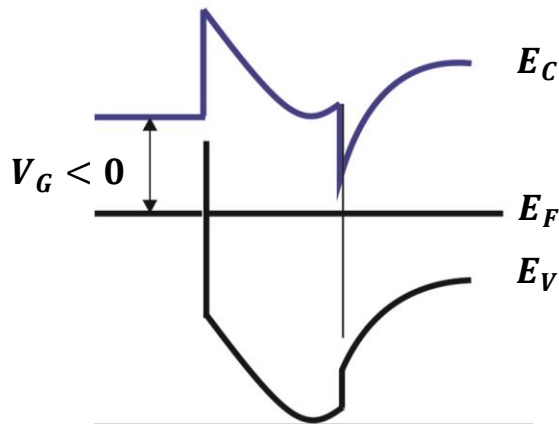


Figura 9.- Estructura de Bandas con $V_G < 0$

Existen los dos tipos de transistores HEMT, es decir de enriquecimiento y empobrecimiento, el descrito anteriormente se trata de un transistor de empobrecimiento, en el caso de un transistor de enriquecimiento el grosor de la capa de AlGaAs es menor que el potencial de barrera de la unión Schottky, dicho potencial agota por completo de portadores a la capa AlGaAs y a el 2DEG, por lo que al aplicarse un voltaje positivo a la terminal de compuerta del FET este se enciende y se llena de portadores el canal [78].

La densidad del 2DEG puede ser descrita mediante el modelo de control de carga [78]

$$n_s = \frac{\epsilon_s}{q(d + \Delta d)} (V_G - V_{off})$$

Donde $d = d_d + d_i$ es el grosor de la region dopada y no dopada, mientras que Δd es un factor de correccion $\Delta d \approx 8 \text{ nm}$. V_G es el voltaje en la terminal de compuerta y V_T es el voltaje de umbral dado por

$$V_T = \phi_B - \frac{\Delta E_c}{q} - \frac{qN_d d_d^2}{2\epsilon_s}$$

donde ϕ_B es el potencial de la barrera Schottky

La concentración de portadores también puede ser escrita de la siguiente forma: [78]

$$n_s = \frac{C_o}{q} [V_{GS} - V_T - V(x)]$$

donde $V(x)$ es el potencial a lo largo del canal debido al voltaje drenaje-fuente y C_o representa el acoplamiento capacitivo entre la hoja o película de carga inducida en el canal debido a la compuerta [74].

$$C_o = \frac{\epsilon_s}{d_0 + \Delta d}$$

La corriente de drenaje del HEMT se determina mediante [78]

$$I_D = qn_s v(E)Z$$

donde $v(E)$ representa la velocidad de los portadores y Z es el ancho del canal. Si se asume movilidad constante.

Si se utilizan las dos ecuaciones anteriores se obtiene:

$$I_D = \frac{Z\mu C_o}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

En la región lineal ($V_{DS} \ll V_{GS} - V_T$) la ecuación anterior se reduce a

$$I_D = \frac{Z\mu C_o (V_{GS} - V_T)V_{DS}}{L}$$

En la zona de saturación ($V_{DS} \geq V_{GS} - V_T$)

$$I_{Dsat} = \frac{Z\mu C_o}{2L} (V_{GS} - V_T)^2$$

La transconductancia se puede obtener como

$$g_m = \frac{dI_{Dsat}}{dV_{GS}} = \frac{Z\mu C_o (V_{GS} - V_T)}{L}$$

En presencia de una resistencia de fuente parásita, la transconductancia extrínseca se degrada por [74]:

$$g_{mx} = \frac{g_m}{1 + R_S g_m}$$

La frecuencia de corte para el HEMT se encuentra dada por [74],

$$f_T = \frac{g_m}{2\pi \left[C'_G \left(1 + \frac{R_D + R_S}{R_{DS}} \right) + C'_{GD} g_m (R_D + R_S) + C'_{par} \right]} \approx \frac{g_m}{2\pi (ZLC_o + C'_{par})}$$

Donde C'_G es la capacitancia total de compuerta a canal, C'_{GD} es la capacitancia compuerta a drenaje del modelo intrínseco, R_D y R_S son las resistencias parásitas en serie de fuente y drenaje, R_{DS} es la resistencia de salida que refleja la corriente de no saturación del drenaje con la corriente de polarización de drenaje. Z es el ancho del canal, L es la longitud del canal, C'_{par} son las capacitancias parásitas a la entrada entre compuerta y fuente.

De manera similar, la máxima frecuencia de oscilación se define por [74],

$$f_{max} \approx \sqrt{\frac{f_T}{8\pi R_G C'_{GD}}}$$

En la que R_G representa la resistencia de la compuerta.

Una variación del HEMT es el PHEMT (Transistor de Alta Movilidad de Electrones Pseudomorfo).

Como se mencionó anteriormente, los materiales pseudomorfos son aquellos en los cuales se unen materiales con distintas constantes de red creando un desacople de red entre ambos materiales. Los dispositivos P-HEMT se crean con dichos materiales, esto representa un mayor refinamiento en comparación con las estructuras típicas de HEMT descritas hasta el momento.

Al unir distintas capas como InGaAs entre un separador tipo n de AlGaAs y una capa de GaAs, se crea una mayor discontinuidad entre bandas, lo cual ocasiona que se depositen mayores cargas en el 2DEG y de esta manera se incrementa la transconductancia y la potencia de salida del dispositivo [77].

La figura 10 muestra un ejemplo del PHEMT descrito.

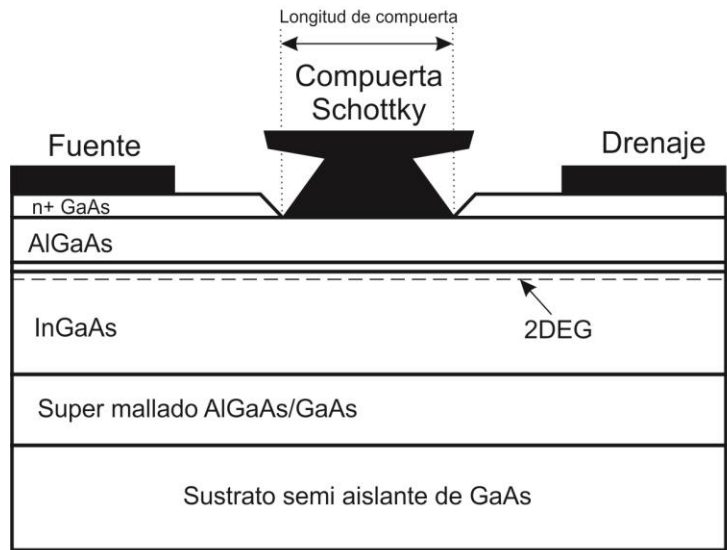


Figura 10.- PHEMT

Para reducir el desacople de la red, se utilizan transistores MHEMT los cuales utilizan materiales metamórficos, en los cuales una capa de soporte se deposita entre el sustrato de GaAs y el canal de InGaAs, para adaptar las diferentes constantes de red.

La estructura antes descrita se muestra en la figura 11.

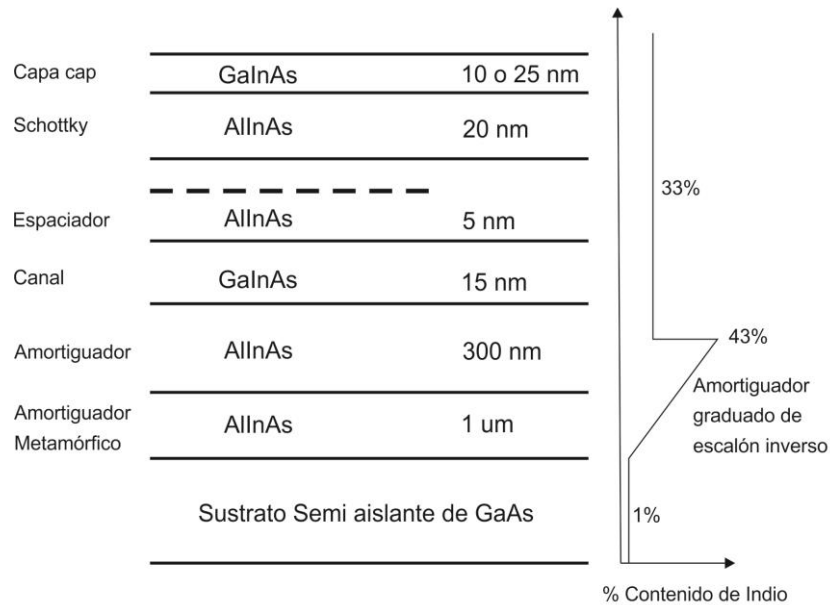


Figura 11.- MHEMT

La ventaja de los M-HEMT es que se caracterizan por una frecuencia máxima de operación f_{max} que excede cientos de GHz en dispositivos con longitudes de compuerta de $0.1\mu\text{m}$ e inferiores, por lo cual ha tenido mucho auge en aplicaciones de bajo ruido y alta frecuencia, sin embargo, debido a su baja densidad de potencia, los M-HEMT se utilizan muy poco en aplicación de potencia, en especial en frecuencias inferiores a los 40-50 GHz., en donde el desempeño que se puede alcanzar con otras tecnologías es superior a la del M-HEMT [77].

En la actualidad muchos de los dispositivos HEMT están siendo desarrollados con GaN. A diferencia del Si, Ge y GaAs, la red cristalina del GaN tiene una estructura hexagonal llamada Wurtzite, los materiales con dicha estructura cristalina permiten que se formen pozos 2DEG con densidades de hasta 10^{13}cm^{-2} , las cuales sobrepasan por mucho las densidades que se pueden obtener con dispositivos de GaAs, inclusive si se utiliza el mayor dopaje posible. Esta alta densidad de portadores, combinada con la habilidad de trabajar a voltajes elevados se traduce en una densidad de potencia que se encuentra entre 40 y 50 veces por encima de la que se puede obtener con HEMTs de GaAs [73].

La figura 12 muestra la estructura cristalina Wurtzite [79]

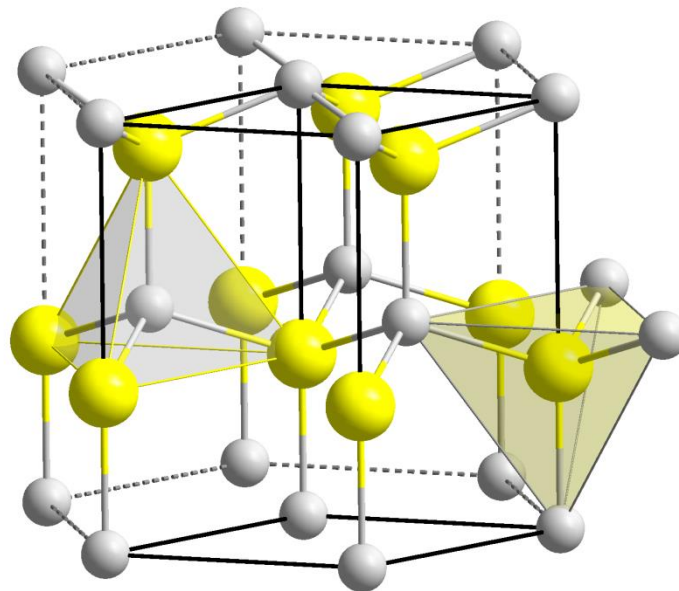


Figura 12.- Estructura Cristalina Wurtzite [79]

Modelos Eléctricos

La figura 13 muestra un modelo no lineal para un HEMT de GaN de alta potencia que incluye elementos electro térmicos, la inclusión de las redes de retraso C_{del1} , C_{del2} y R_{del} se utilizan para describir los efectos de retraso a altas frecuencias. Las resistencias R_{s1} y R_{s2} se incluyen para describir la influencia que tiene el canal del dispositivo en el incremento de la magnitud del parámetro de dispersión S_{21} con la frecuencia, así mismo, los elementos electro térmicos R_{therm} y C_{therm} se incluyen para estimar el aumento en la temperatura del canal debido a la disipación de potencia [80].

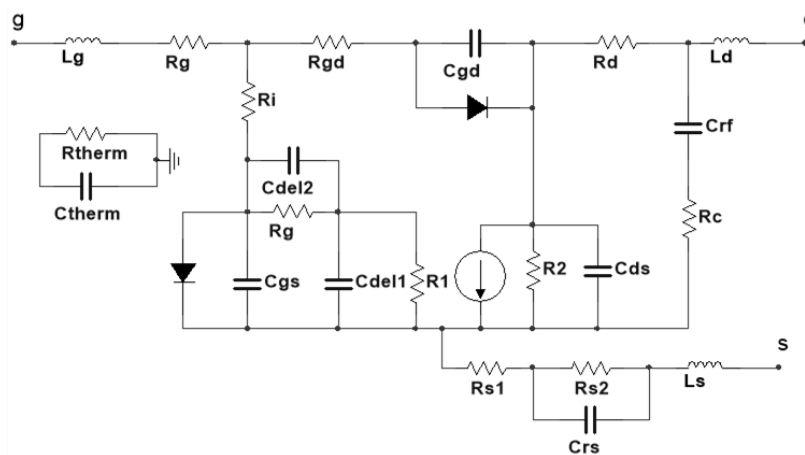


Figura 13.- Modelo No Lineal

Modelos a Gran Señal

Modelo no lineal Materka-Kacprzak

Los elementos no lineales del siguiente modelo son la capacitancia equivalente entre compuerta y fuente C_{gs} , el diodo que aparece en paralelo con dicha capacitancia, la fuente de corriente de drenaje I_{ds} y el diodo I_{gd} , el resto de los elementos se asumen como lineales [80]. Este modelo se ilustra en la figura 14.

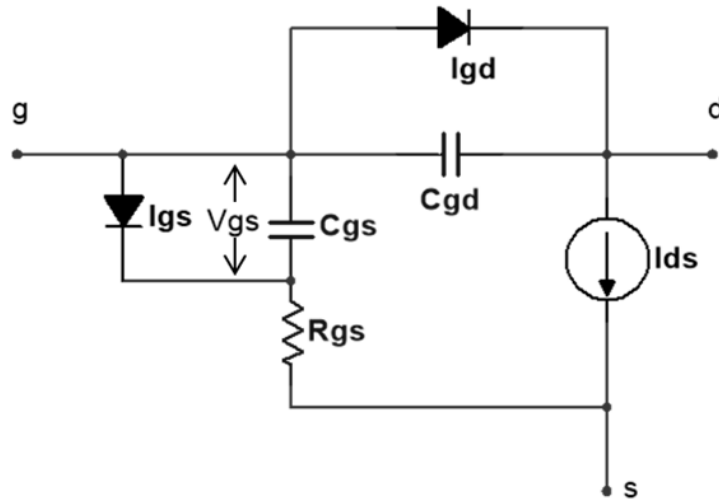


Figura 14.- Modelo no lineal Materka-Kacprzak

La corriente de drenaje a fuente puede ser descrita mediante la siguiente ecuación

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p}\right)^2 \tanh\left(\frac{\alpha V_{ds}}{V_{gs} - V_p}\right)$$

Modelo no lineal Angelov

El siguiente modelo es capaz de modelar las características de corriente-voltaje de drenaje, así como las capacitancias de compuerta a fuente y compuerta a drenaje, este modelo se puede utilizar no solo para modelos de gran señal en amplificadores de potencia, sino también para predecir el desempeño de multiplicadores y mezcladores incluyendo la simulación de intermodulación.

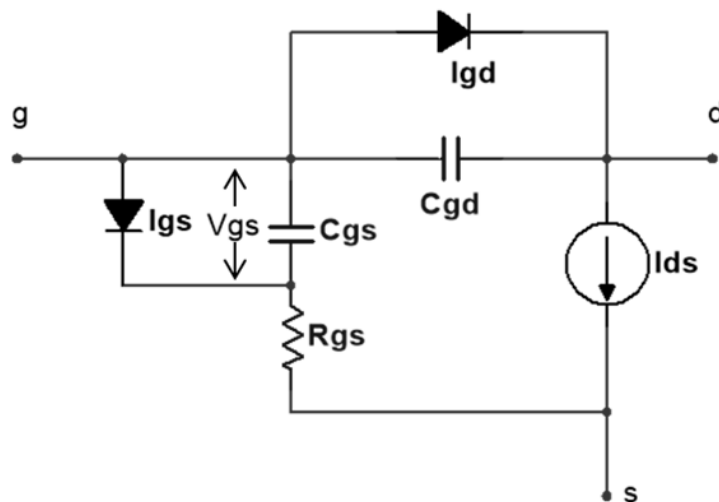


Figura 15.- Modelo no lineal Angelov

La corriente de drenaje puede ser descrita mediante la siguiente ecuación

$$I_{ds} = I_{pk}(1 + \tanh\Psi)(1 + \lambda V_{ds})\tanh(\alpha V_{ds})$$

Donde Ψ es una función de series de potencias con parámetros P_1, P_2, P_3 , etc., centrada en V_{pk} y con el voltaje de polarización V_{gs} como variable [80].

El parámetro V_{pk} es el voltaje de compuerta que ocasiona máxima transconductancia.

$$\psi = P_1(V_{gs} - V_{pk}) + P_2(V_{gs} - V_{pk})^2 + P_3(V_{gs} - V_{pk})^3 + \dots$$

Modelo no lineal Berroth

El siguiente modelo es válido para HEMT's que operen hasta una frecuencia máxima de 60GHz. En este modelo las fuentes I_{gs}, I_{gd} e I_{ds} junto con las capacitancias C_{gs} y C_{gd} se consideran elementos no lineales [80].

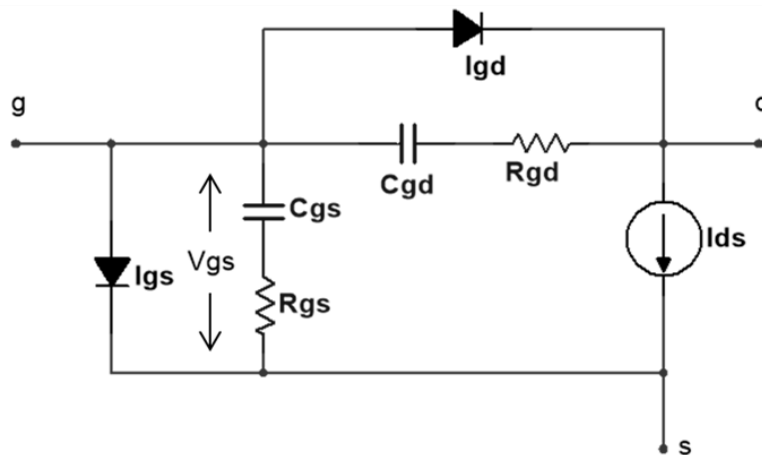


Figura 16.- Modelo no lineal Berroth

La corriente de drenaje se puede representar mediante la siguiente ecuación

$$I_{ds} = f(V_{gs}) \left[1 + \frac{\lambda}{1 + \Delta\lambda(V_{gs} - V_c + 2/\beta)} V_{ds} \right] \tanh(\alpha V_{ds})$$

donde

$$f(V_{gs}) = CD_{vc} \left\{ 1 + \tanh \left[\beta(V_{gs} - V_c) + \gamma(V_{gs} - V_c)^3 \right] \right\} + CD_{vsb} \left\{ 1 + \tanh[\delta(V_{gs} - V_{sb})] \right\}$$

Se tiene que α es la pendiente de la corriente de drenaje en la región de *pinch-off*, β es el parámetro de pendiente de la corriente de drenaje, γ es el parámetro de pendiente de la corriente de drenaje en la región de *pinch-off*, λ es la pendiente de la corriente de drenaje en la región de saturación, $\Delta\lambda$ es el parámetro de voltaje de compuerta para la pendiente de la corriente de drenaje, V_c es el voltaje de compuerta para máxima transconductancia, V_{sb} es el un parámetro de ajuste o corrección para el voltaje de compuerta de máxima transconductancia, CD_{vc} es el factor de multiplicación de corriente de drenaje y CD_{vsb} es el factor de corrección del multiplicador de corriente de drenaje [80].

Las ecuaciones que rigen los demás parámetros, elementos y fuentes pueden ser consultadas en [80].

Conceptos básicos sobre amplificadores

Considérese el diagrama mostrado en la figura 17, dicha figura muestra un generador con su impedancia Z_G conectado a un bipuerto el cual puede representar un transistor, o bien un transistor y sus redes de acoplamiento, en la figura también se muestra una carga Z_L conectada a la salida del bipuerto. A la entrada del bipuerto se define un coeficiente de reflexión Γ_G viendo hacia el generador, de igual manera, a la salida del bipuerto se define un coeficiente de reflexión Γ_L viendo hacia la carga.

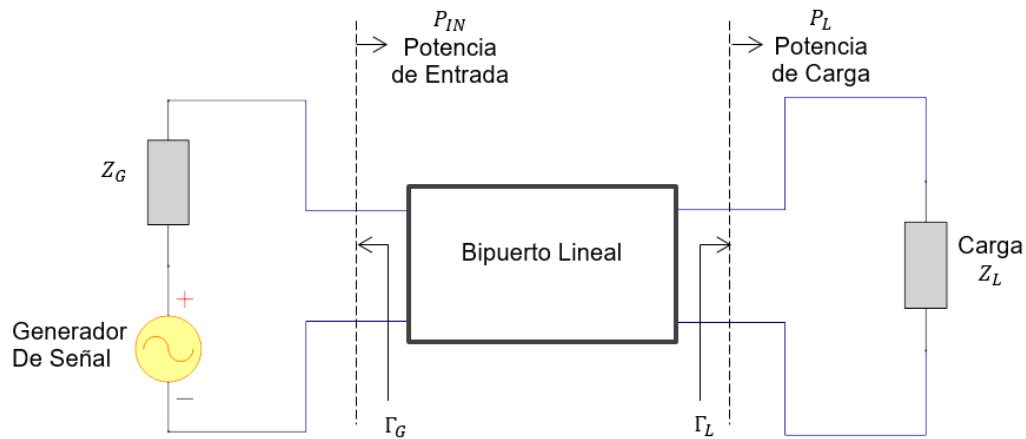


Figura 17.- Diagrama de un amplificador o bipuerto

Refiriéndose a la figura anterior [81], se pueden definir tres cantidades en términos de potencias.

1. La potencia disponible del generador $P_{A.G.}$.
2. La potencia P_{IN} que llega al bipuerto desde el generador.
3. La potencia P_L entregada a la carga

Ganancia de transductor

La ganancia de transductor (G_T) se define como la relación que existe entre la potencia que llega a la carga P_L y la potencia disponible del generador $P_{A.G.}$.

$$G_T = \frac{P_L}{P_{A.G.}}$$

La G_T estará en función de los parámetros $[S]$ del bipuerto, así como los coeficientes de reflexión, es decir $G_T = G_T(\Gamma_G, [S], \Gamma_L)$. Lo anterior sugiere que G_T es la definición más fundamental de ganancia ya que toma en cuenta todos los parámetros relevantes del sistema [81].

Ganancia de Potencia Disponible

Otra definición de ganancia es la ganancia de potencia disponible (G_A), como su nombre lo sugiere, se trata de la potencia disponible a la salida del bipuerto ($P_{A,out}$), con relación a la potencia disponible a la entrada ($P_{A,G}$).

$$G_A = \frac{P_{A,out}}{P_{A,G}}$$

Para ilustrar la ecuación anterior, se supone que todos los parámetros del sistema se encuentran fijos con excepción de la impedancia de carga Z_L , la cual se hace variar con el fin de obtener la máxima potencia en la carga (P_L), por lo tanto, la ganancia G_A es la ganancia G_T optimizada con respecto al parámetro Γ_L , lo que significa que G_A depende únicamente de Γ_G y los parámetros $[S]$ del bipuerto [81].

Ganancia de Potencia Operativa

Se trata de la ganancia (G_P) que relaciona la potencia actual en la carga (P_L) con la potencia a la entrada del bipuerto.

$$G_P = \frac{P_L}{P_{IN}}$$

G_P permite evaluar G_T y su dependencia con Γ_L bajo la suposición que la entrada se encuentra siempre acoplada, es decir sin preocuparse por el valor requerido de Γ_G [81].

Estabilidad

Para poder diseñar cualquier amplificador primero se tiene que cerciorar que el amplificador será estable a la frecuencia y punto de operación establecidos, así como para las cargas presentadas a dicho amplificador, para ello existen varios factores de estabilidad que nos indican si un amplificador es estable o potencialmente inestable. Uno de los factores más utilizados es el factor de Rollett o factor K el cual se presenta a continuación:

$$K = \frac{1 + (|D_S|^2 - |S_{11}|^2 - |S_{22}|^2)}{2|S_{11}||S_{12}|}$$

Donde D_S es el determinante de la matriz de dispersión dado por:

$$D_S = S_{11}S_{22} - S_{12}S_{21}$$

Si $K > 1$ y $D_S < 1$, entonces se considera que el amplificador será incondicionalmente estable, de lo contrario el amplificador es potencialmente

inestable, en cuyo caso se pueden realizar distintas alteraciones al circuito para garantizar su estabilidad, como agregar redes resistivas o resistivas-reativas, operar el transistor en otro punto de polarización, o bien, en el peor de los casos, seleccionar otro transistor.

Amplificadores de Potencia

Clase A

El amplificador clase A es un tipo de amplificador lineal, sin embargo, tiene la desventaja de ser uno de los amplificadores más ineficientes, por ello, en aplicaciones de potencia resulta desventajoso utilizarlo, ya que esto repercute en el consumo de energía, así como la disipación de calor. La característica principal del amplificador clase A es que consume energía inclusive si no se aplica una señal de entrada. La figura 18 muestra un amplificador clase A generalizado.

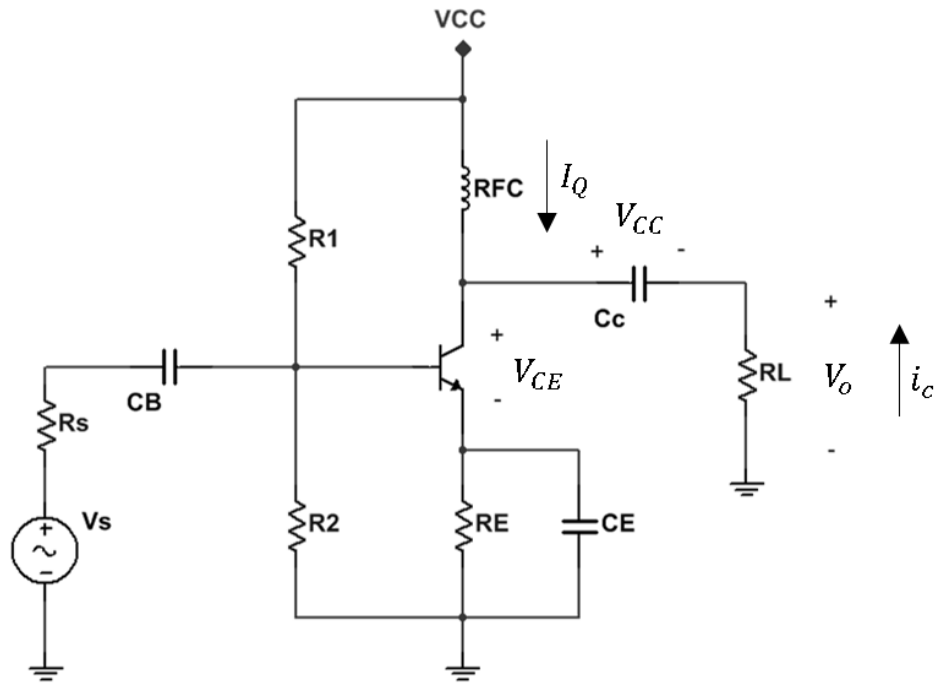


Figura 18.- Amplificador Clase A generalizado

En condiciones estáticas el amplificador presenta los siguientes voltajes en la malla emisor-colector:

$$V_{RE} + V_{CE} = V_{CC} \dots (1)$$

Si la resistencia de emisor R_E es lo suficientemente pequeña, entonces:

$$V_{RE} \approx 0V \dots (2)$$

Por lo que:

$$V_{CE} \approx V_{CC} \dots (3)$$

Un cambio Δv_{ce} en el voltaje de colector emisor debe ser igual a un cambio Δv_o en el voltaje de la carga R_L , esto se debe a las siguientes restricciones del circuito:

1. Inicialmente (en condiciones estáticas) el capacitor de acoplamiento en el colector C_c se encuentra al mismo voltaje que el de la fuente de alimentación V_{CC} . Si existe un cambio Δv_{ce} (debido a una excitación en la entrada del transistor), el capacitor no podrá cambiar de manera instantánea el voltaje entre sus terminales, por lo que el mismo cambio Δv_o se presentará en la carga R_L . Dicho de otra forma: si C_c es lo suficientemente grande, su reactancia capacitiva será $X_{C_c} \approx 0\Omega$ en la frecuencia de interés, por lo tanto, el capacitor se comporta como corto circuito en esa frecuencia y el voltaje v_{ce} será el mismo voltaje v_o en la carga R_L .

$$\Delta v_{ce} = \Delta v_o \dots (4a)$$

$$\Delta v_{ce} = \Delta i_c R_L \dots (4b)$$

2. Siguiendo un razonamiento similar, la corriente I_Q que fluye por el inductor RFC (Radio Frequency Choke, por sus siglas en inglés) en condiciones estáticas, es la corriente de polarización del transistor, y puesto que la corriente en el inductor no puede cambiar de manera instantánea, se deduce que cualquier cambio en la corriente de colector del transistor producirá el mismo cambio en la corriente de carga. Dicho de otra forma, si el inductor RFC es lo suficientemente grande, su reactancia inductiva será $X_{RFC} \approx \infty\Omega$ en la frecuencia de interés, por lo tanto, el inductor actúa como un circuito abierto en esa frecuencia y la corriente que fluye por el colector debe ser igual a la corriente de carga i_l .

$$\Delta i_l = \Delta i_c \dots (5)$$

Teniendo en cuenta las restricciones anteriores, supóngase que alguna señal aplicada al transistor lleva al transistor a la saturación, si se considera que el voltaje colector-emisor en saturación del transistor es cercano a cero ($V_{CEsat} = 0V$) entonces se puede apreciar que el cambio de voltaje que experimentó el colector fue $\Delta v_{ce} = V_{CC}$, esto se debe a que inicialmente el colector se encontraba al voltaje V_{CC} y al saturarse el transistor, el voltaje del colector se vuelve aproximadamente cero.

De las ecuaciones (4a) y (4b) se pueden obtener el voltaje y corriente en alterna de la carga R_L cuando el transistor se encuentra en saturación, es decir cuando la señal de entrada se encuentra en su máximo positivo.

$$v_o = V_{CC} \dots (6a)$$

$$i_c = \frac{V_{CC}}{R_L} \dots (6b)$$

Ahora se hace la suposición de que algún cambio súbito (negativo) en la entrada del transistor lleva al transistor al corte. Esto significa que la corriente que fluye por el transistor es idealmente cero, sin embargo, como se planteó en la segunda restricción, la corriente que fluye por el inductor RFC no puede volverse instantáneamente cero, lo que significa que toda la corriente I_Q deberá fluir ahora por la resistencia de carga R_L . A partir de la ecuación (5) se deduce que la corriente que fluye en la carga cuando el transistor llega al corte, es decir cuando la señal de entrada se encuentra en su máximo negativo es:

$$I_Q = -i_c \dots (7)$$

Y, por lo tanto, el voltaje en la carga será:

$$v_o = -i_c R_L = I_Q R_L \dots (8)$$

Si se desea que la señal en la carga sea simétrica, es decir que tanto su máximo positivo como negativo sean iguales, entonces el voltaje v_o debe tener la misma magnitud tanto en el semiciclo positivo como en el negativo. De la ecuación (6a) se obtuvo que el voltaje en la carga para el caso cuando el transistor entra en saturación es igual a V_{CC} , por lo tanto, para obtener una señal simétrica, la magnitud del voltaje en la carga para el caso cuando el transistor se encuentra en corte también debe ser igual a $|V_{CC}|$, por lo que a partir de la ecuación (8) se obtiene:

$$I_Q R_L = V_{CC} \dots (10)$$

O bien

$$R_L = \frac{V_{CC}}{I_Q} \dots (11)$$

Lo cual sugiere que la resistencia de carga que se debe presentar al colector del transistor para obtener la máxima oscilación simétrica es proporcional al voltaje de alimentación V_{CC} y a la corriente de polarización I_Q del transistor.

En la figura 19 se muestra la señal de voltaje en la carga R_L asumiendo una excitación sinusoidal en la entrada del transistor, se puede apreciar los extremos máximos y mínimos de la señal, también se observa que la señal se encuentra desfasada 180° respecto a la entrada, característica típica de un amplificador en configuración de emisor común.

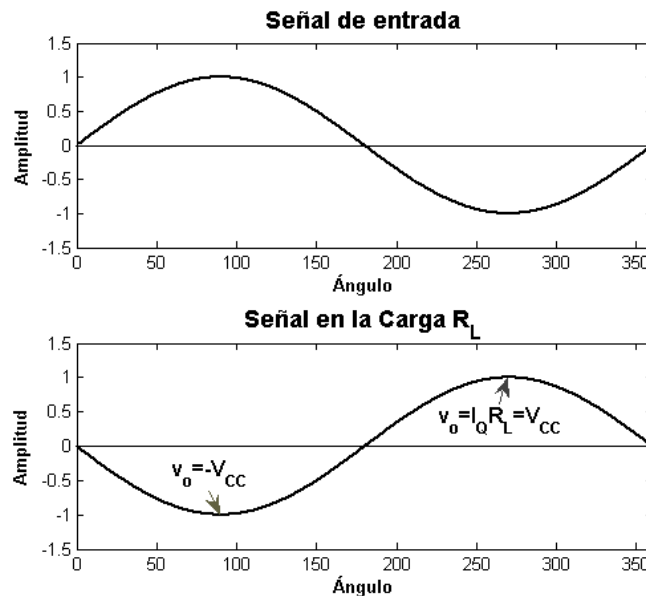


Figura 19.- Señal de voltaje normalizado en la entrada y en la carga RL

Existe una consideración importante que se debe mencionar, mientras que es claro que el voltaje en la carga varía desde $-V_{CC}$ a V_{CC} , el voltaje en el colector varía desde 0 a $2V_{CC}$, esto se debe a las restricciones del circuito mencionadas al inicio, cuando el transistor se encuentra en saturación:

$$V_C \approx V_{CE_{sat}} = 0V \dots (12)$$

Por otra parte, se sabe que cuando el transistor se encuentra en corte, debido a la segunda restricción del circuito, toda la corriente I_Q fluye a través de R_L , y se puede elegir R_L de tal manera que $I_Q R_L = V_{CC}$, ahora, debido a la primera restricción, el capacitor C_c no puede variar el voltaje entre sus terminales de forma inmediata una vez que el transistor alcanza el estado de corte, así que el voltaje en el colector, será la suma del voltaje en la carga ($I_Q R_L = V_{CC}$) y el voltaje del capacitor, que como se puede apreciar en la figura 18 se encuentra cargado a V_{CC} , por lo tanto, el voltaje en el colector del transistor será:

$$V_C \approx V_{CE_{corte}} = 2V_{CC} \dots (13)$$

- Consideraciones de potencia

Si la señal de entrada es de naturaleza sinusoidal, es de esperarse que la corriente en la carga también sea sinusoidal siempre y cuando el transistor opere en su región lineal, es decir:

$$i_l = I_p \sin(\omega t) \dots (14)$$

Dónde:

i_l es la corriente de carga

I_p es la corriente máxima o pico en la carga

A partir de la ecuación (7) se sabe que el valor máximo que puede alcanzar la corriente I_p es I_Q . Por lo que la corriente en la carga siempre será menor o igual a I_Q , de aquí se desprende que el valor promedio de potencia disipada en la carga será [82]:

$$P_L = \frac{I_p^2 R_L}{2} \leq \frac{I_Q^2 R_L}{2} \dots (15)$$

Para conocer la potencia suministrada por la fuente de alimentación V_{CC} , se realiza la siguiente observación: despreciando la corriente que fluye a través del divisor de voltaje formado por las resistencias R_1 y R_2 (ver figura 18) se observa que la única otra corriente que suministra la fuente de alimentación V_{CC} es I_Q , la corriente de polarización del transistor. Esta corriente I_Q se puede considerar una corriente constante que no varía en ningún momento de la operación del transistor, esto se debe a que como se demostró en el análisis anterior, se asume que el inductor RFC es lo suficientemente grande tal que presenta una grandísima impedancia a la alta frecuencia que fluye por la resistencia de carga.

Por lo tanto (despreciando la corriente del divisor R_1 y R_2) la corriente que proporciona la fuente de alimentación V_{CC} en todo momento es igual a I_Q . Así que la potencia suministrada por la fuente es:

$$P_S = V_{CC} I_Q = \frac{V_{CC}^2}{R_L} \dots (16)$$

La eficiencia η se define como el cociente entre la potencia disipada en la carga y la potencia suministrada por la fuente de alimentación.

$$\eta = \frac{P_L}{P_S} = \frac{I_p^2 R_L}{2 V_{CC} I_Q} = \frac{I_p^2 R_L^2}{2 V_{CC}^2} \dots (17)$$

Obsérvese en la ecuación (17) que a medida que I_p sea mayor, mayor será la eficiencia del amplificador, se sabe a partir de la ecuación (7) que el máximo valor que puede adoptar I_p es I_Q por lo tanto la máxima eficiencia se presenta cuando $I_p=I_Q$

$$\eta_{max} = \frac{I_Q R_L}{2V_{CC}} \dots (18)$$

Haciendo uso de la ecuación (10) se observa que:

$$\eta_{max} = 0.5$$

O bien en términos de porcentaje:

$$\eta_{max} = 50\% \dots (19)$$

Esa es la máxima eficiencia que se puede obtener en un amplificador Clase A con la arquitectura presentada hasta este momento. La figura 20 presenta un gráfico que relaciona la eficiencia del amplificador con la magnitud de la corriente de carga respecto a la corriente de polarización

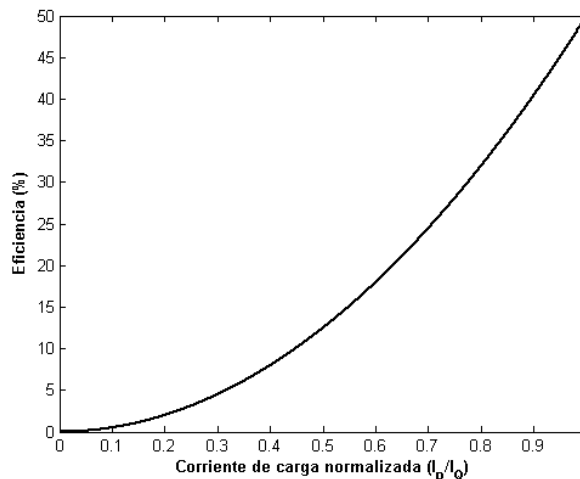


Figura 20.- Eficiencia en función de la corriente normalizada de carga

La potencia que no se encuentre disipando en la carga se estará disipando en el transistor, es decir la potencia disipada en el transistor está dada por la diferencia entre la potencia suministrada por la fuente de alimentación y la potencia disipada en la carga:

$$P_T = P_S - P_L = \frac{V_{CC}^2}{R_L} - \frac{I_p^2 R_L}{2} \dots (20)$$

Haciendo uso de la ecuación (10) el resultado anterior se puede expresar como:

$$P_T = \frac{V_{CC}^2}{R_L} \left(1 - \frac{I_p^2}{2I_Q^2} \right) \dots (21)$$

Cuando la corriente de carga es máxima $I_p = I_Q$ el transistor disipa la misma potencia que la carga:

$$P_T = \frac{V_{CC}^2}{2R_L} = P_L \dots (22)$$

Cuando no existe corriente en la carga $I_p = 0A$ (no hay una excitación de entrada en el transistor), se disipa la mayor cantidad de potencia en el transistor:

$$P_T = \frac{V_{CC}^2}{R_L} = 2P_L \dots (23)$$

Que equivale al doble de la potencia máxima ($I_p = I_Q$) que se le puede entregar a la carga.

La figura 21 muestra la relación que existe entre la potencia disipada en el transistor en función de la potencia disipada en la carga (a excitaciones sinusoidales).

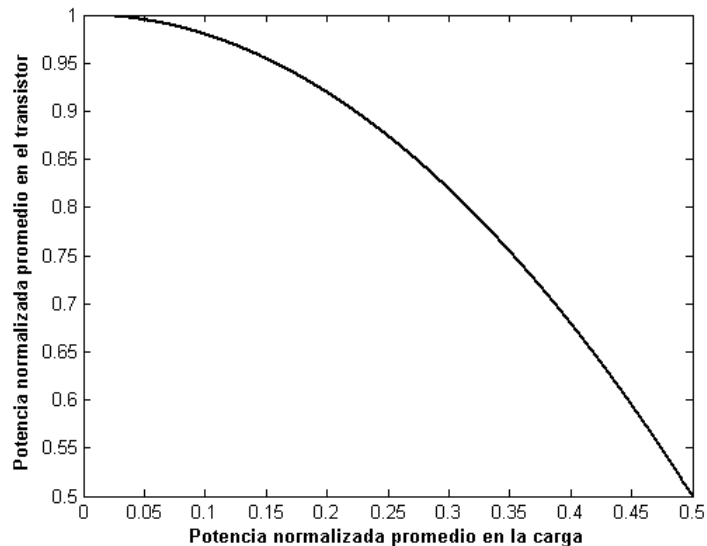


Figura 21.- Potencia disipada en el transistor en función de la potencia disipada en la carga

En la figura 21 se puede observar claramente que el punto donde mayor potencia se disipa en el transistor es cuando no se entrega potencia a la carga (no hay excitación a la entrada del transistor), así mismo se observa que se en ese punto

de reposo del transistor, se disipa el doble de la potencia máxima que el transistor puede proporcionar a la carga. En el otro extremo de la gráfica, en el punto donde la carga disipa la mayor cantidad de potencia, el transistor se encuentra disipando la misma potencia que se le está entregando a la carga. Por tanto, a partir de la figura 21 se puede apreciar lo realmente ineficiente que es este tipo de amplificador, y el enorme esfuerzo al que se ve sometido el transistor.

Operación a señal grande

A diferencia de los amplificadores de señal pequeña, los amplificadores de potencia operan en condiciones de señal grande, esto tiene como consecuencia que se manifiesten los efectos no lineales en la respuesta del mismo. Se puede llevar a cabo el análisis a señal grande de un transistor bipolar considerando una excitación sinusoidal. Para ello, se considera primero que el transistor se encuentra polarizado de tal forma que se produce un voltaje V_{DCQ} entre base y emisor determinado por la siguiente ecuación

$$V_{DCQ} = \frac{kT}{q} \ln \frac{I_P}{I_S} \dots (24)$$

Donde $\frac{kT}{q}$ es el voltaje térmico ($V_T \approx 26mV @ 25^\circ C$), I_P es la corriente de polarización en el emisor del transistor e I_S es la corriente de saturación o corriente de escala del transistor.

Si se aplica una señal del tipo $v_1 = V_1 \cos \omega t$ a la base del transistor, la corriente de emisor se puede encontrar haciendo uso de la superposición del voltaje de polarización y el voltaje de señal, lo cual resulta en

$$i_E = I_S e^{\frac{V_{DCQ} + V_1 \cos \omega t}{V_T}}$$

Lo cual se puede expresar como [83]

$$i_E = I_S e^{\frac{V_{DCQ}}{V_T}} e^{x \cos \omega t} \dots (25)$$

Donde $x = V_1/V_T$

El segundo término exponencial se puede expresar como una expansión en serie de Fourier

$$e^{x \cos \omega t} = I_0(x) + 2 \sum_{n=1}^{\infty} I_n(x) \cos n\omega t$$

Donde $I_n(x)$ corresponde a una función modificada de Bessel del primer tipo.

Sustituyendo esta serie en la corriente de emisor se obtiene

$$i_E = I_s e^{\frac{V_{DCQ}}{VT}} I_0(x) \left[1 + 2 \sum_1^{\infty} \frac{I_n(x)}{I_0(x)} \cos n\omega t \right] \dots (26)$$

De la ecuación anterior se puede observar que la componente de directa del transistor se encuentra dada por el término

$$i_E = I_s e^{\frac{V_{DCQ}}{VT}} I_0(x)$$

La figura 22 muestra la corriente de emisor a medida que el transistor deja de trabajar en el régimen de señal pequeña, en dicha figura se puede observar que la senoide se encuentra distorsionada principalmente por la presencia de armónicos pares.

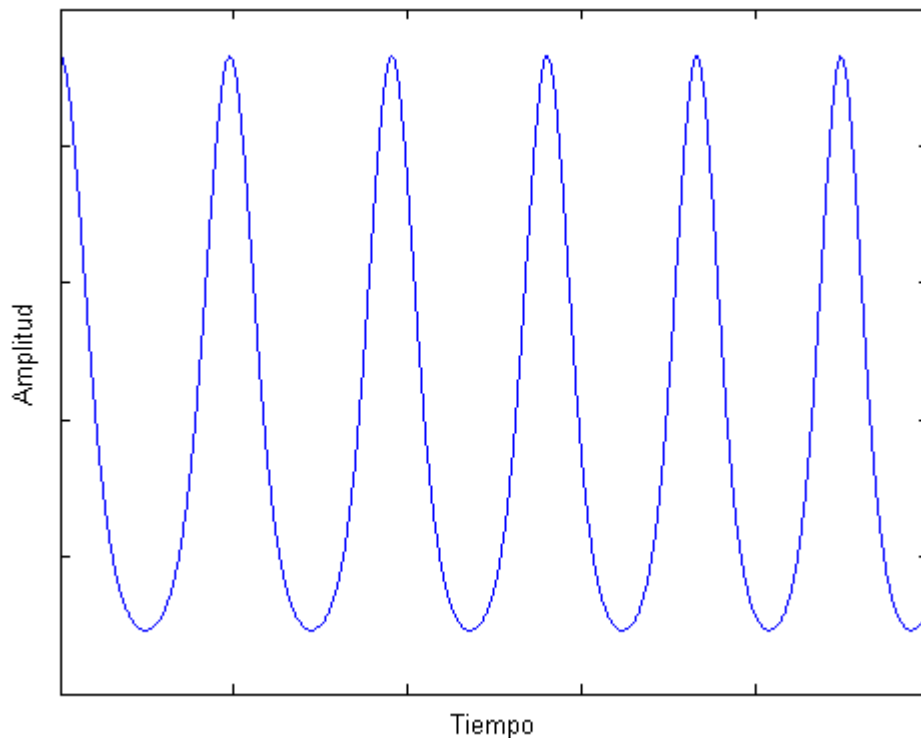


Figura 22.- Corriente de emisor a señal grande

Clase B

El amplificador clase B difiere del amplificador clase A en el sentido en que el transistor se polariza en el borde entre el corte y conducción, de tal forma que el transistor únicamente conduce durante la mitad de un ciclo, o bien durante periodos de $\theta = 180^\circ$ como se muestra en la figura 23.

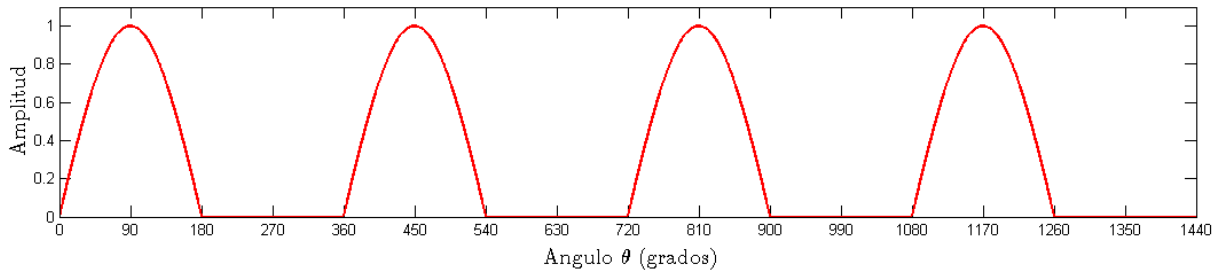


Figura 23.- Corriente de Salida de un amplificador Clase B

Se puede desarrollar la expansión en series de Fourier de la forma de onda de la figura 23, la serie de Fourier en su forma armónica se presenta en la ecuación (27).

$$f(t) = \frac{A}{\pi} + \frac{A}{2} \cos(\omega t - \pi/2) + \frac{2A}{\pi} \sum_{n=1}^{\infty} \frac{1}{(4n^2 - 1)} \cos(2n\omega t + \pi) \dots (27)$$

A partir de (27) se determina que existe una componente de directa o promedio cuya magnitud es A/π , el primer armónico o frecuencia fundamental tiene una magnitud $A/2$, mientras que los subsecuentes armónicos pares (solo existen armónicos pares debido al término $2n\omega t$ dentro del coseno de la ecuación 27) tendrán una amplitud $\frac{2A}{\pi} \sum_{n=1}^{\infty} \frac{1}{(4n^2 - 1)}$, sin embargo la amplitud de estos armónicos decae rápidamente debido al término cuadrático $4n^2$ en el denominador de la ecuación (27).

El espectro de amplitud se puede determinar directamente de (27), sin embargo, resulta conveniente obtener el espectro de amplitud normalizado al primer armónico ($A = 2$) como se muestra en la figura 24.

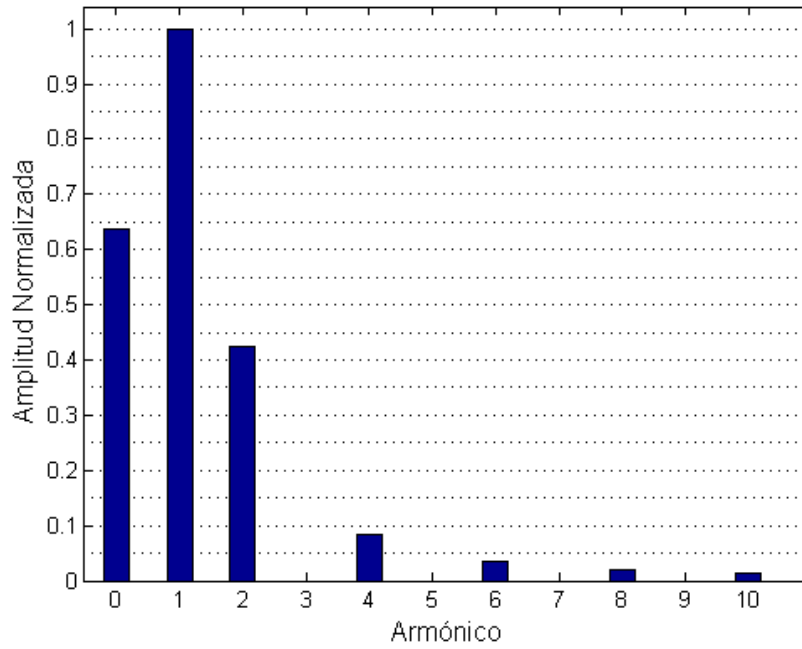


Figura 24.- Espectro de amplitud para el amplificador Clase B

Mientras que la distorsión armónica total (THD) es:

$$THD = \frac{\sqrt{\frac{1}{2} \cdot \sum_{n=1}^{\infty} \left(\frac{2A}{\pi} \frac{1}{(4n^2 - 1)} \right)^2}}{\frac{A}{2\sqrt{2}}} \times 100 = 43.5\% \dots (28)$$

Configuración Push-Pull

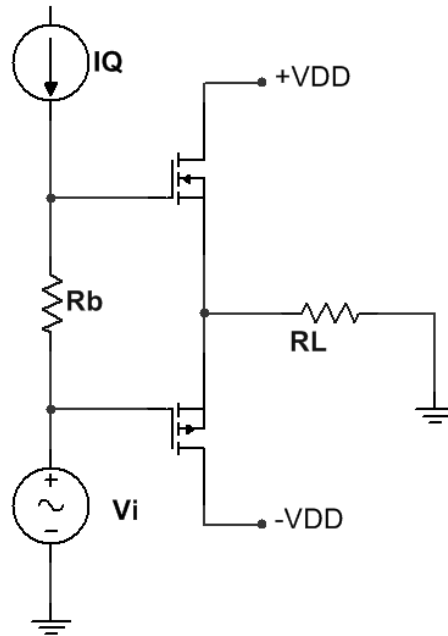


Figura 25.- Amplificador *Push-Pull*

La configuración *push-pull* para amplificadores clase B o clase AB permite que cada transistor amplifique un semiciclo. Puesto que los transistores prácticamente no conducen cuando no hay señal de entrada, esto permite que la eficiencia del amplificador Clase B aumente dramáticamente en comparación al amplificador Clase A.

Suponiendo una excitación de entrada sinusoidal, la potencia entregada por cada transistor durante un ciclo completo es:

$$P_L = \frac{I_p^2 R_L}{4} \dots (29)$$

Mientras que la corriente promedio que entrega cada fuente de alimentación ($+V_{DD}$ y $-V_{DD}$) a su transistor correspondiente es:

$$P_S = I_D V_{DD} = \frac{I_p V_{DD}}{\pi} \dots (30)$$

La potencia máxima se presenta cuando $I_p = \frac{V_{DD}}{R_L}$ (Transistor en saturación), por lo tanto, la potencia de salida máxima cuando $I_p = \frac{V_{DD}}{R_L}$ es

$$P_{L_{max}} = \frac{V_{DD}^2}{4R_L} \dots (31)$$

Por lo tanto, la eficiencia máxima es

$$\eta = \frac{\frac{V_{DD}^2}{4R_L}}{\frac{V_{DD}^2}{R_L\pi}} = \frac{\pi}{4} = 78.5\% \dots (32)$$

La cual es bastante superior a la eficiencia del amplificador clase A. En la figura 26 se muestra una gráfica de la eficiencia en función de la corriente de carga, es importante mencionar que la relación que existe entre la corriente de carga y eficiencia es lineal en el amplificador clase B mientras que en el amplificador clase A la relación es cuadrática.

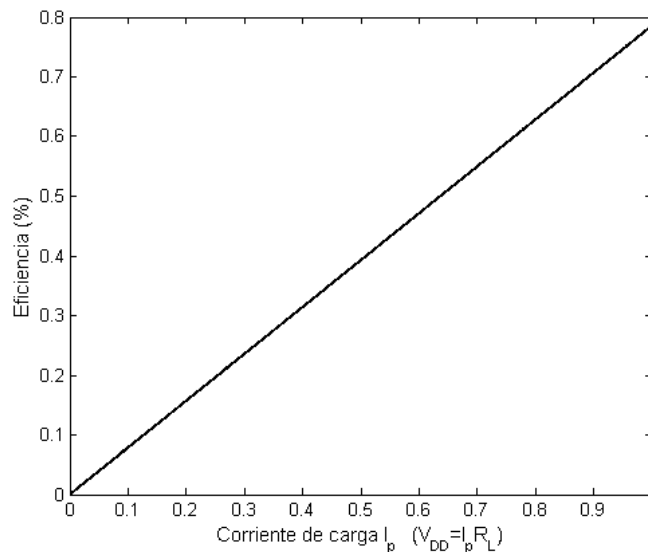


Figura 26.- Eficiencia del amplificador Clase B

De manera similar a como se hizo el análisis en el amplificador de clase A, la potencia que no se entrega a la carga, se disipa en el transistor, por tanto

$$P_T = P_s - P_L = \frac{I_p V_{DD}}{\pi} - \frac{I_p^2 R_L}{4} \dots (33)$$

La figura 27 muestra la relación entre la potencia disipada en el transistor y la potencia disipada en la carga en función de la corriente de carga, es importante mencionar que la máxima disipación de potencia en el transistor no se presenta cuando se disipa la mayor potencia en la carga, sino cuando:

$$I_p = \frac{2 V_{DD}}{\pi R_L} \approx 0.636 \cdot I_{p_{max}}$$

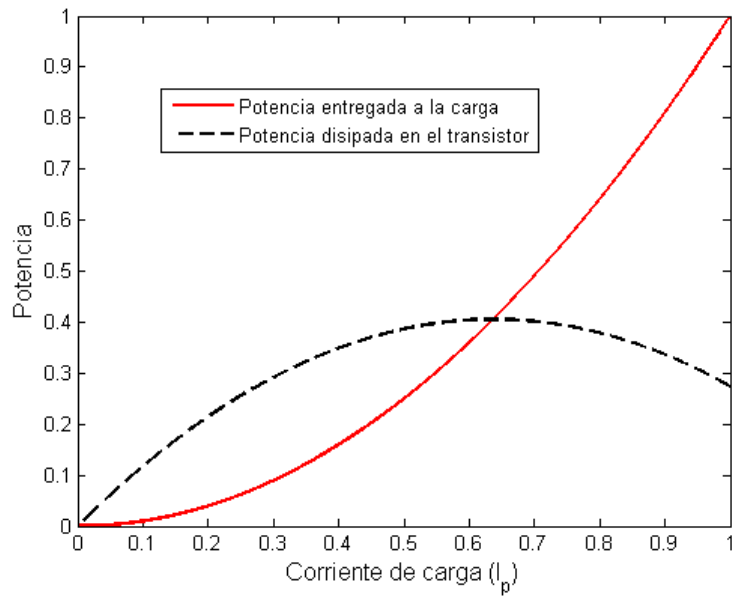


Figura 27.- Potencia entregada a la carga y potencia disipada en el transistor en función de la corriente de carga

Un tipo de distorsión presente en los amplificadores clase B es la denominada distorsión por cruce, la cual se presenta en el periodo de transición cuando uno de los transistores se apaga por completo y el otro transistor comienza a conducir, es decir en la transición cuando un transistor termina su ciclo de conducción y comienza el ciclo de conducción del otro transistor, los efectos de ella se ejemplifican en la figura 28.

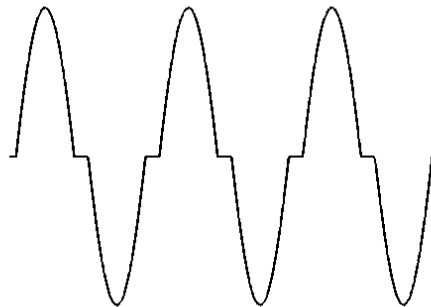


Figura 28.- Distorsión Por Cruce

Efecto de la “rodilla” en la curva I-V

En los amplificadores transistorizados, el voltaje de “rodilla” V_k de las curvas de corriente y voltaje de un transistor representa un porcentaje importante de la fuente de C.D., esto se vuelve más crítico en aplicaciones de comunicaciones móviles donde el voltaje de rodilla puede dominar la estrategia de diseño.

La corriente de drenaje de un FET puede ser representada por la siguiente ecuación que incluye el voltaje de rodilla [84]

$$I_d = v_g g_m I_{max} \left[1 - e^{-v_{ds}/v_k} \right] \dots (34)$$

Dicha ecuación produce la familia de curvas de corriente (I) y voltaje (V) que se muestran en la figura 29.

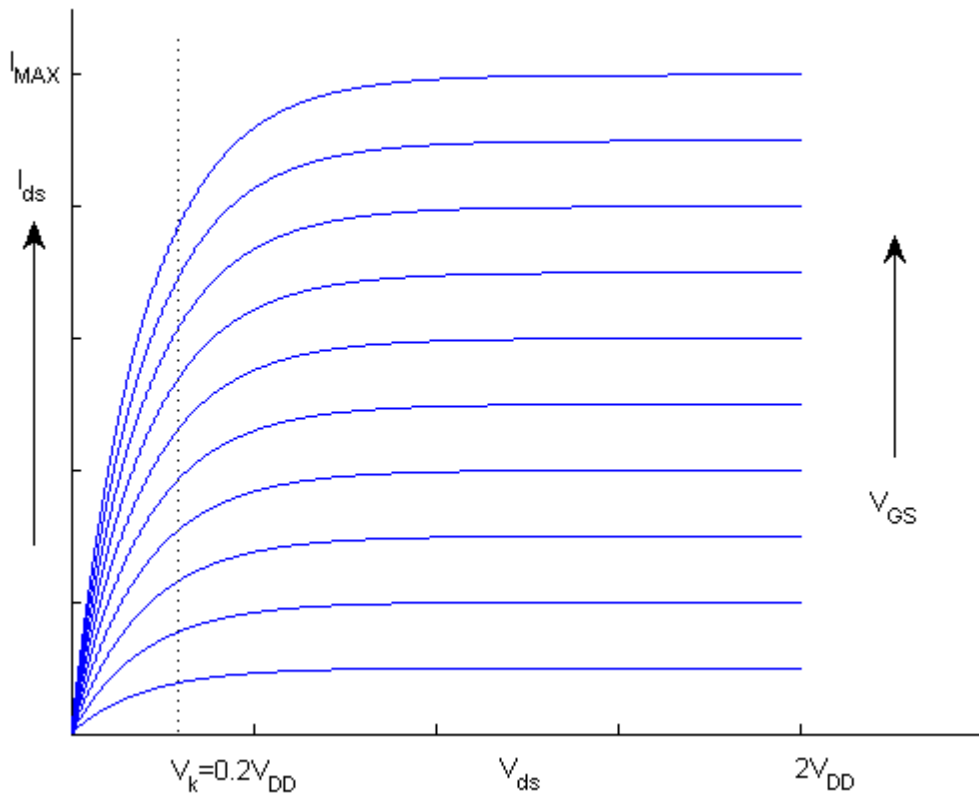


Figura 29.- Curvas I-V

La corriente de drenaje expresada en la ecuación (34) se encuentra en función tanto del voltaje de entrada como del de salida del transistor, por lo que se vuelve un problema recursivo encontrar dicha corriente. Sin embargo, si se considera que la excitación de entrada es senoidal y que únicamente la frecuencia fundamental

se encontrará presente a la salida debido al uso de algún filtro, circuito resonante o trampa de armónicos, entonces el voltaje de salida será senoidal con una amplitud de V_{DD} , esto permite encontrar la corriente del drenaje, el cual, debido al voltaje de rodilla produce un pulso bifurcado senoidal el cual se muestra en la figura 30 junto con el voltaje normalizado de drenaje.

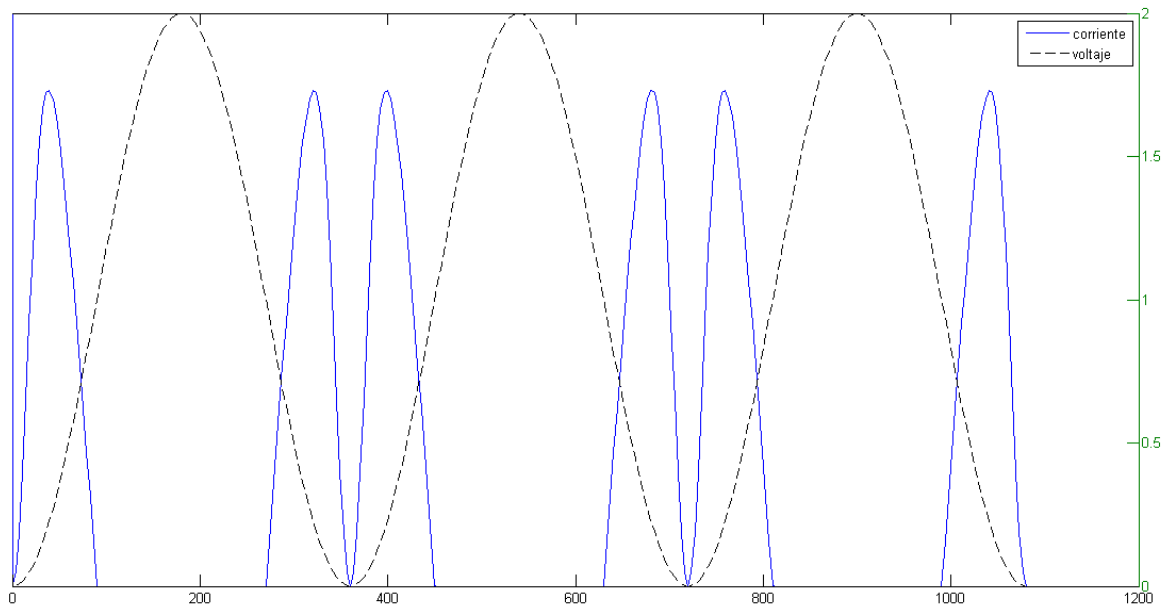


Figura 30.- Corriente de Drenaje Bifurcada

La corriente bifurcada es producto de que se permite que el voltaje de drenaje alcance un valor de cero, el tener un pulso bifurcado produce una reducción de la potencia de salida. La potencia perdida puede ser recuperada en cierta medida si se evita que el voltaje de drenaje alcance el valor de cero, es decir si se reduce la amplitud de oscilación. La figura 31 muestra las formas de onda de la corriente y voltaje de drenaje para una amplitud de voltaje de $0.9V_{DD}$

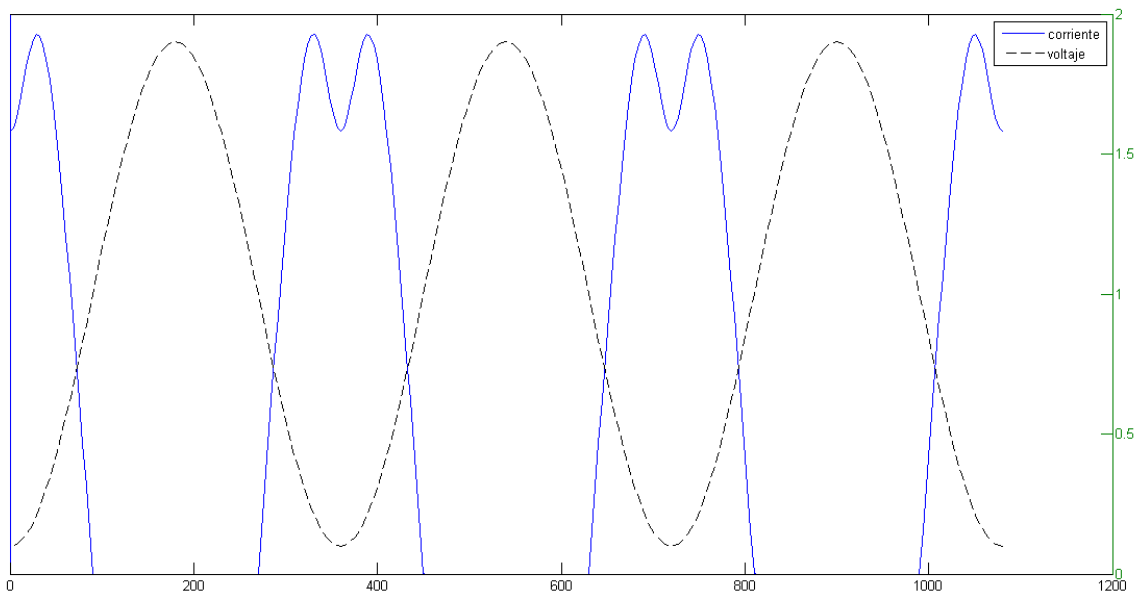


Figura 31.- Corriente de drenaje para una amplitud de voltaje de 0.9VDD

Ángulo de conducción reducido

En este modo, los transistores no conducen durante los 360° de la señal, lo cual produce mayor eficiencia, pero mayor distorsión, un ejemplo es el amplificador clase C, cuya característica principal es que conduce durante menos de 180°.

De manera general, se puede hacer el análisis en función del ángulo de conducción, denominado α , como se muestra en la figura 32:

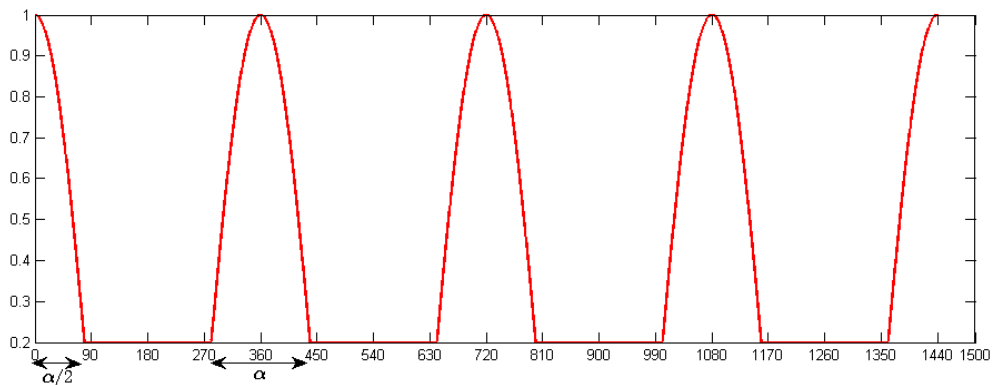


Figura 32.- Ángulo de conducción reducido

La corriente de colector/drenaje puede ser expresada de la siguiente forma:

$$i_d(\theta) = I_Q + I_p \cos \theta; -\alpha/2 < \theta < \alpha/2 \dots (35a)$$

$$i_d(\theta) = 0; -\pi < \theta < -\alpha/2, -\alpha/2 < \theta < \pi \dots (35b)$$

En los extremos cuando $\theta = \pm \alpha/2$ la corriente es cero, por tanto, a partir de (35a) se tiene:

$$\cos \alpha/2 = -\frac{I_Q}{I_p} \dots (36)$$

La corriente máxima se presenta cuando $\theta = 0$, por lo que a partir de (35a):

$$I_{max} - I_Q = I_p \dots (37)$$

Se define I_{max} como la corriente máxima que circula a través del transistor, esto se presenta cuando el transistor entra en saturación (o región trío en el caso del FET). Cuando el transistor se encuentra en saturación la corriente que fluye por el colector/drenaje se encuentra constituida por la corriente de polarización I_Q más la corriente que fluye en la carga I_L .

En el caso de un amplificador clase A se sabe que la corriente máxima que fluye por la carga se presenta cuando $I_L = I_p = I_Q$ por lo que la ecuación (37) indica que $I_Q = I_{max}/2$, sin embargo, en el caso de un amplificador Clase B o Clase C, la corriente de polarización es cero, o bien puede ser cualquier valor entre 0 e I_{max} , como es el caso de un amplificador Clase AB, y por tanto, la corriente de polarización no necesariamente es la máxima corriente que puede proporcionar el amplificador a la carga. Usando (36) y (37) en (35a) se obtiene

$$i_d(\theta) = \frac{I_{max}}{1 - \cos(\alpha/2)} (\cos \theta - \cos(\alpha/2)) \dots (38)$$

Se puede calcular la serie de Fourier para la ecuación (38), puesto que se trata de una función par, solamente existirán los coeficientes pares (a_0 y a_n).

Para la componente de directa se obtiene el siguiente coeficiente de Fourier:

$$a_0 = I_{DC} = \frac{I_{max}}{2\pi} \cdot \frac{2 \sin \alpha/2 - \alpha \cos \alpha/2}{1 - \cos \alpha/2} \dots (39)$$

Para el análisis del amplificador, se asume que la salida del transistor se encuentra conectada a una red (filtro) que produce un corto circuito para todos los armónicos excepto la fundamental, el primer armónico de la serie de Fourier es:

$$a_1 = I_1 = \frac{I_{max}}{2\pi} \cdot \frac{\alpha - \sin \alpha}{1 - \cos \alpha/2} \dots (40)$$

A partir de las ecuaciones (39) y (40) se pueden obtener todas las clases de operación mencionadas hasta el momento en función del ángulo, por ejemplo, si $\theta = 2\pi$ (Clase A) las ecuaciones se reducen a

$$I_{DC} = \frac{I_{max}}{2}, I_1 = \frac{I_{max}}{2} \dots (41)$$

Es decir, la componente de directa de la corriente de colector I_{DC} en el caso del amplificador Clase A es igual a I_Q , y también la corriente del primer armónico o fundamental I_1 que se le entrega a la carga es igual a I_Q , lo cual coincide con el análisis realizado previamente para el amplificador Clase A. Por último, la resistencia de carga se define entonces como $R_L = V_{CC}/(I_{max}/2)$

De la misma manera si el ángulo de conducción es $\theta = \pi$ las ecuaciones (40) y (41) se reducen a

$$I_{DC} = \frac{I_{max}}{\pi}, I_1 = \frac{I_{max}}{2} \dots (42)$$

Lo cual arroja:

$$\eta = \frac{\frac{I_{max}^2}{8} R_L}{\frac{I_{max}}{\pi} V_{CC}} = \frac{\frac{I_{max}^2}{8} \cdot \frac{V_{CC}}{I_{max}/2}}{\frac{I_{max}}{\pi} V_{CC}} = \frac{\pi}{4} = 78.5\%$$

La eficiencia es mucho mayor a la del clase A, sin embargo, es importante recalcar que puesto que el amplificador clase B tiene $I_Q = 0$ entonces $I_{max} = I_p$, lo que significa que la potencia se reduce 6dB en comparación al amplificador clase A (Nota: aquí se analiza un amplificador clase B de un solo transistor con filtro a la salida, a diferencia del *push-pull* analizado anteriormente el cual utiliza dos transistores para llevar a cabo la amplificación de la onda completa).

Las componentes de C.D. y de cada armónico de la corriente en función del ángulo de conducción pueden obtenerse mediante el análisis de Fourier, y se presentan en las siguientes ecuaciones [84].

$$I_{DC} = \frac{I_{max}}{2\pi} \frac{2 \sin(\alpha/2) - \alpha \cos(\alpha/2)}{1 - \cos(\alpha/2)} \dots (43)$$

$$I_n = \frac{1}{\pi} \int_{-\alpha/2}^{\alpha/2} \frac{I_{max}}{1 - \cos(\alpha/2)} (\cos \theta - \cos(\alpha/2)) \cos n\theta d\theta \dots (44)$$

La figura 33 muestra algunos de los armónicos de la corriente en función del ángulo de conducción α .

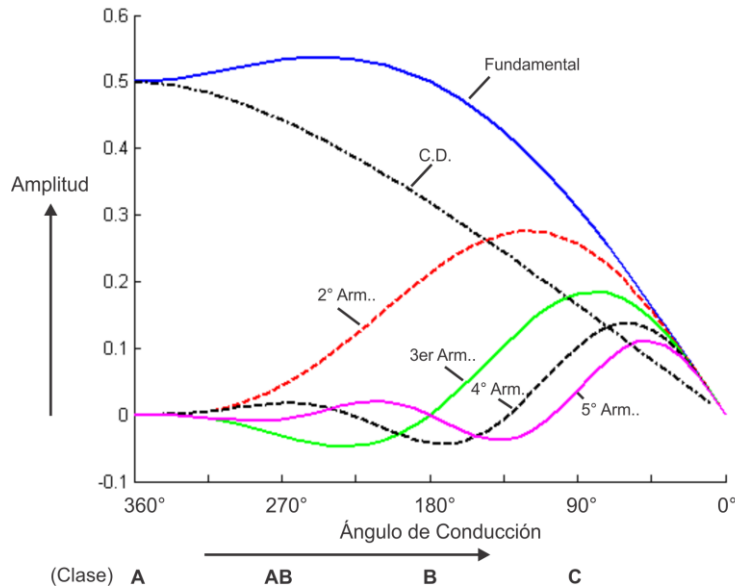


Figura 33.- Amplitud de la corriente de armónicos en función del ángulo de conducción

De manera similar se puede obtener la potencia a la salida (Respecto a un amplificador Clase A) y la eficiencia en función del ángulo de conducción como se muestra en la figura 34a.

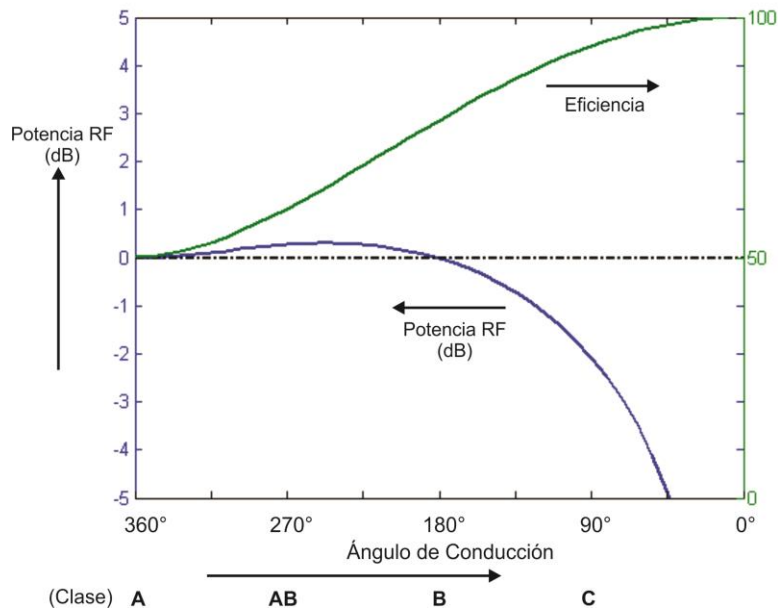


Figura 34a.- Potencia entregada respecto a Clase A, contra eficiencia.

La figura 34b muestra la curva de eficiencia del amplificador clase C en función del ángulo de conducción. Se puede observar que, en el extremo inferior, la eficiencia es del 100% cuando el ángulo de conducción es cero, esto es de esperarse puesto que el transistor se encuentra totalmente apagado. Por el otro lado, en el extremo superior se puede observar la operación en clase B la cual corresponde a una eficiencia del 78.5%, la operación en clase C se define entre estos extremos.

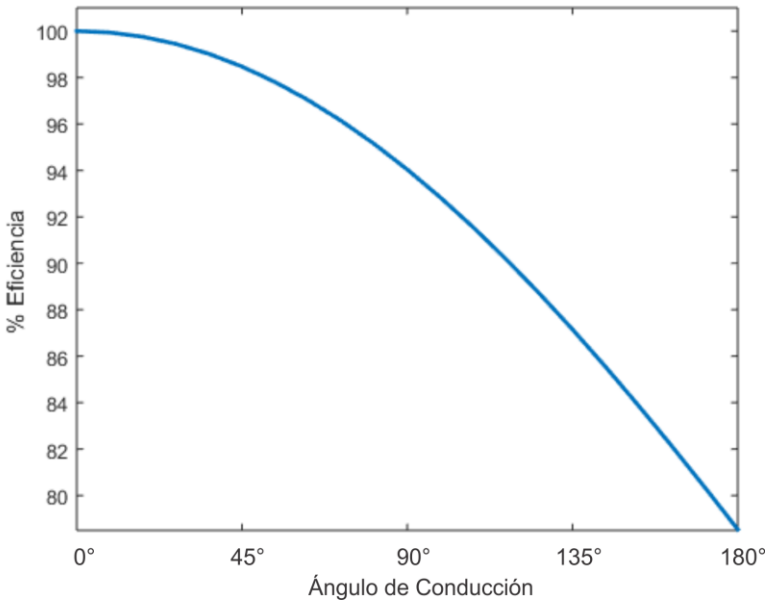


Figura 34b.- Eficiencia en función del ángulo de conducción para el amplificador Clase C.

Clase J/Clase B continuo

En los amplificadores clase B existe la dificultad de presentar un corto circuito perfecto a los armónicos superiores en un rango amplio de frecuencias, por tanto, surge el amplificador clase J [84], el cual, permite al diseñador tener mayor flexibilidad en el desarrollo de las redes de acoplamiento mientras que se mantiene la misma eficiencia de un amplificador clase B. Esto se logra haciendo que varíe el ángulo de las impedancias de la fundamental y el segundo armónico presentadas al amplificador, el resultado es una familia de voltajes, con distintas formas de onda, pero que poseen la cualidad que todas ellas producen la misma eficiencia que un amplificador clase B tradicional.

La ecuación que rige la forma de onda de voltaje es [85], [86]

$$v_{ds} = (1 - \cos \theta)(1 - \alpha \sin \theta) \dots (45)$$

El parámetro de diseño α se permite que varíe en el intervalo $-1 \leq \alpha \leq 1$ logrando así, que se altere la relación de fase entre la corriente y el voltaje. Las distintas curvas obtenidas para algunos valores de α se muestran en la figura 35.

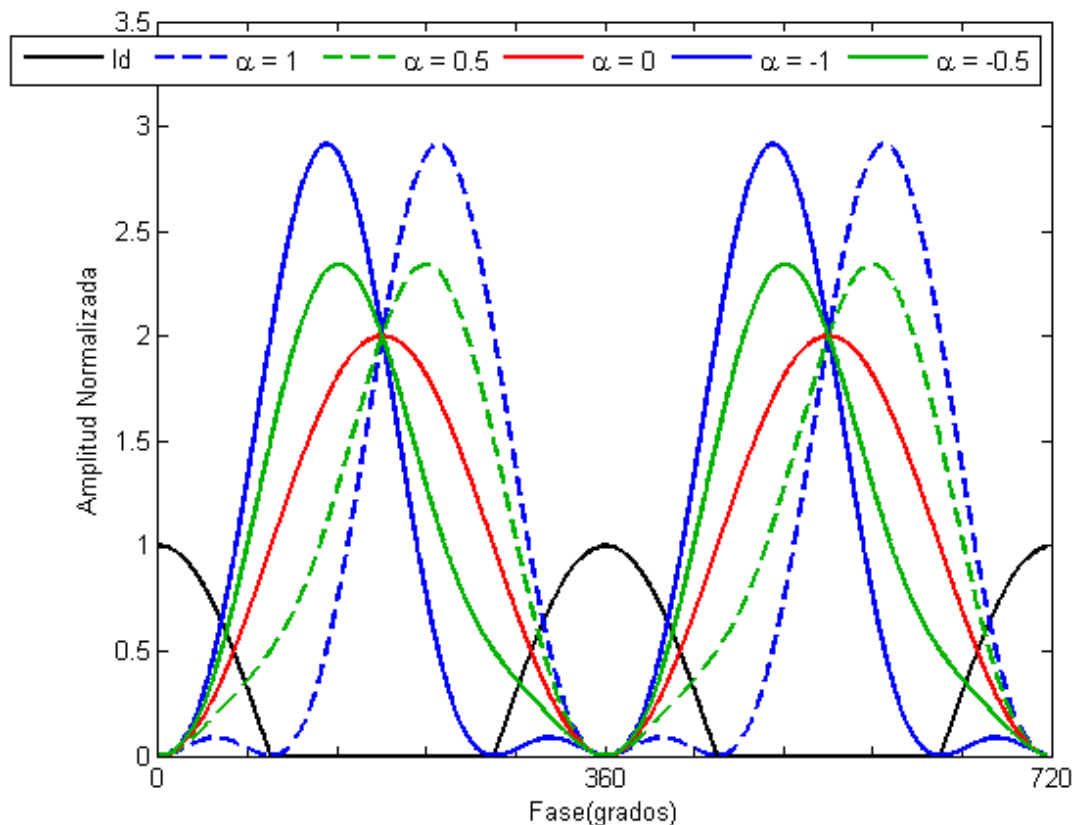


Figura 35.- Formas de onda de voltaje para distintos valores del parámetro alfa

En la figura 35 se puede observar que para $\alpha = 0$ la operación del amplificador se reduce a un Clase B tradicional, mientras que para valores de $\alpha \neq 0$ se obtienen formas de onda con voltaje pico más alto, pero con la misma eficiencia de un clase B. Se muestra también la forma de onda de la corriente (I_d).

Las impedancias de la fundamental y del segundo armónico en función del parámetro α son [85]

$$Z_{1f} = R_L + j\alpha R_L \dots (46a)$$

$$Z_{2f} = 0 - j\alpha \frac{3\pi}{8} R_L \dots (46b)$$

Donde Z_{1f} y Z_{2f} representan las impedancias de la fundamental y el segundo armónico respectivamente, mientras que R_L es la resistencia óptima calculada a partir de la línea de carga del transistor.

Clase F

El amplificador Clase F es una arquitectura que proporciona una alta eficiencia mediante la saturación del dispositivo y la cuidadosa manipulación de los armónicos generados, de tal manera que el traslape entre las ondas de corriente y voltaje de drenaje del transistor sea mínimo. El amplificador Clase F ideal requiere que se presenten terminaciones de circuito abierto para los armónicos impares y corto circuito para los armónicos pares, esto con la finalidad de obtener una forma de onda cuadrada para el voltaje del drenaje, mientras que la onda de corriente se mantiene como la que presenta un amplificador Clase B, es decir como una señal rectificada de media onda, ambas se muestran en la figura 36.

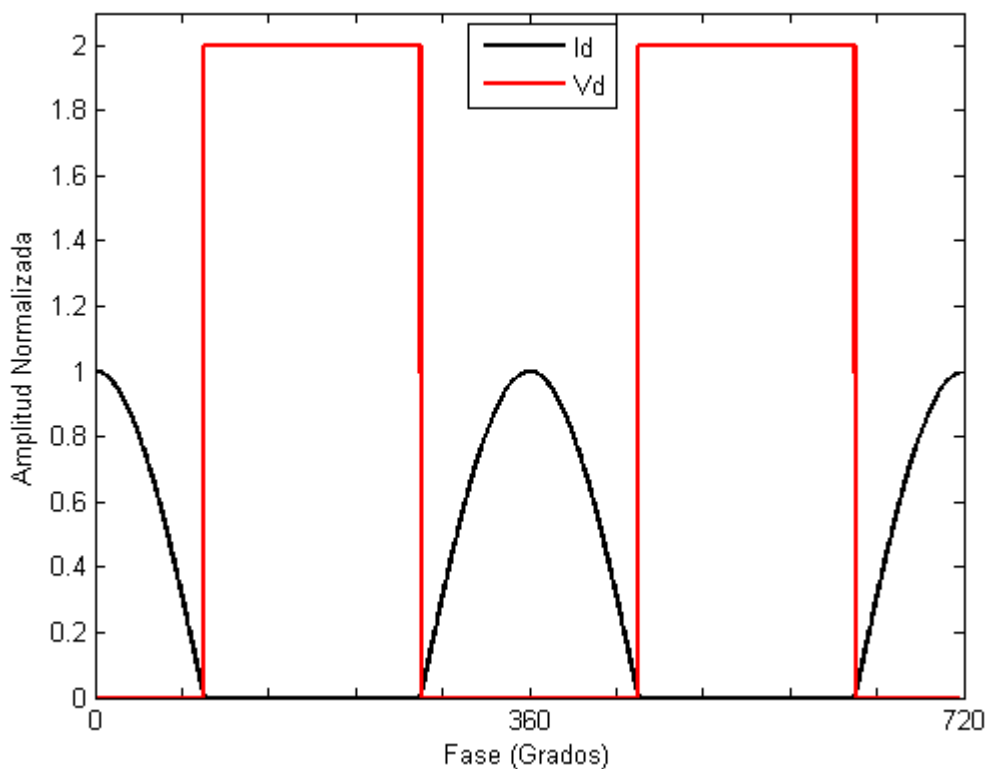


Figura 36.- Formas de onda de voltaje (en rojo) y corriente (en negro) de un amplificador clase F idealizado

Las ecuaciones para el voltaje y la corriente del amplificador clase F son las siguientes

$$v_{DS} = V_{DC} + V_1 \cos \theta + V_3 \cos 3\theta + V_5 \cos 5\theta + \dots \quad \dots (47)$$

$$i_{DS} = I_{DC} - I_1 \sin \theta - I_2 \cos 2\theta - I_4 \cos 4\theta + \dots \quad \dots (48)$$

Si se logran las formas de onda anteriores se puede obtener una eficiencia teórica del 100%, sin embargo, en la práctica resulta muy complicado proveer terminaciones de circuito abierto para todos los armónicos impares, por lo que normalmente se considera únicamente el tercer armónico y por consiguiente la eficiencia obtenida será menor al 100%.

Un prototipo con elementos concentrados de dicho amplificador se presenta en la figura 37

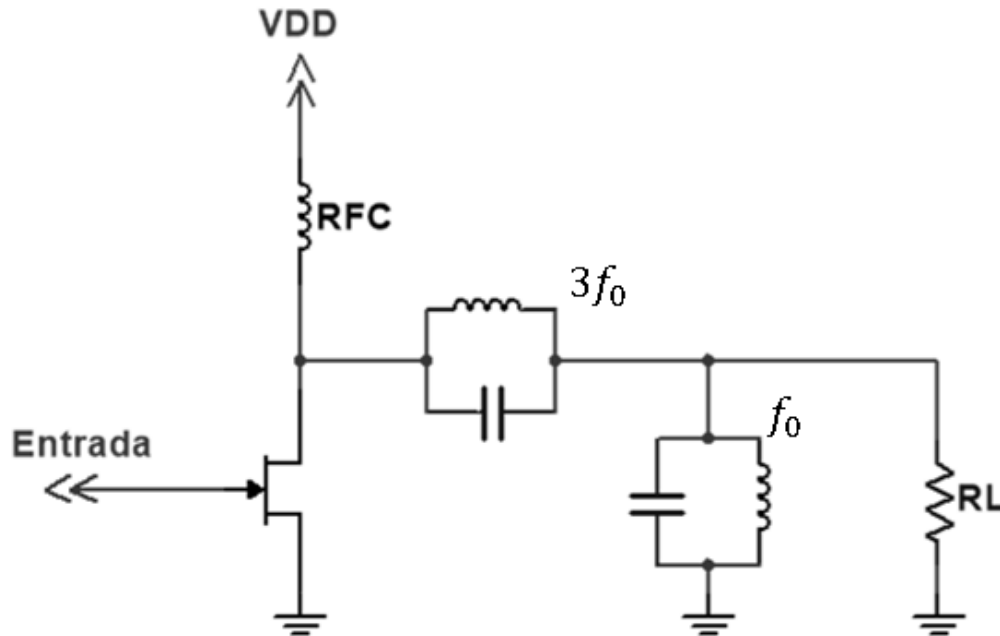


Figura 37.- Amplificador Clase F con parámetros concentrados

En la figura 37 se pueden observar dos circuitos resonantes colocados en el drenaje del transistor, uno de ellos sintonizado al tercer armónico ($3f_0$) y el segundo sintonizado a la fundamental (f_0). El funcionamiento del amplificador es el siguiente: El circuito tanque sintonizado a $3f_0$ presenta una alta impedancia al tercer armónico y una baja impedancia a todas las demás frecuencias, permitiendo el paso hacia la carga de todas las frecuencias con excepción del tercer armónico, el segundo circuito tanque provee una baja impedancia hacia tierra para todas las frecuencias con excepción de la fundamental, por lo tanto la carga únicamente verá la fundamental, mientras que desde la perspectiva del transistor existirán la fundamental y el tercer armónico.

El resultado de combinar el tercer armónico con la fundamental es la obtención de una forma de onda con características similares a las de una onda cuadrada, sin embargo, su forma dependerá de la magnitud del voltaje del tercer armónico

respecto al voltaje de la fundamental, se ha demostrado que las formas de onda más planas que se pueden obtener mediante la adición del tercer armónico se presentan cuando la magnitud del tercer armónico es $V_1/9$, es decir, una novena parte de la amplitud de la fundamental, logrando así una eficiencia teórica del 88.4% [87]. Para valores de tercer armónico superiores a $V_1/9$ la forma de onda presenta una sobre-excursión y doble pico en su respuesta, sin embargo, es importante mencionar que cuando el tercer armónico presenta una amplitud de $(1/6)V_1$ no se obtiene la forma de onda más plana pero la eficiencia obtenida es del 90.7% [84]. La figura 38 ilustra el voltaje y corriente de drenaje para este último caso.

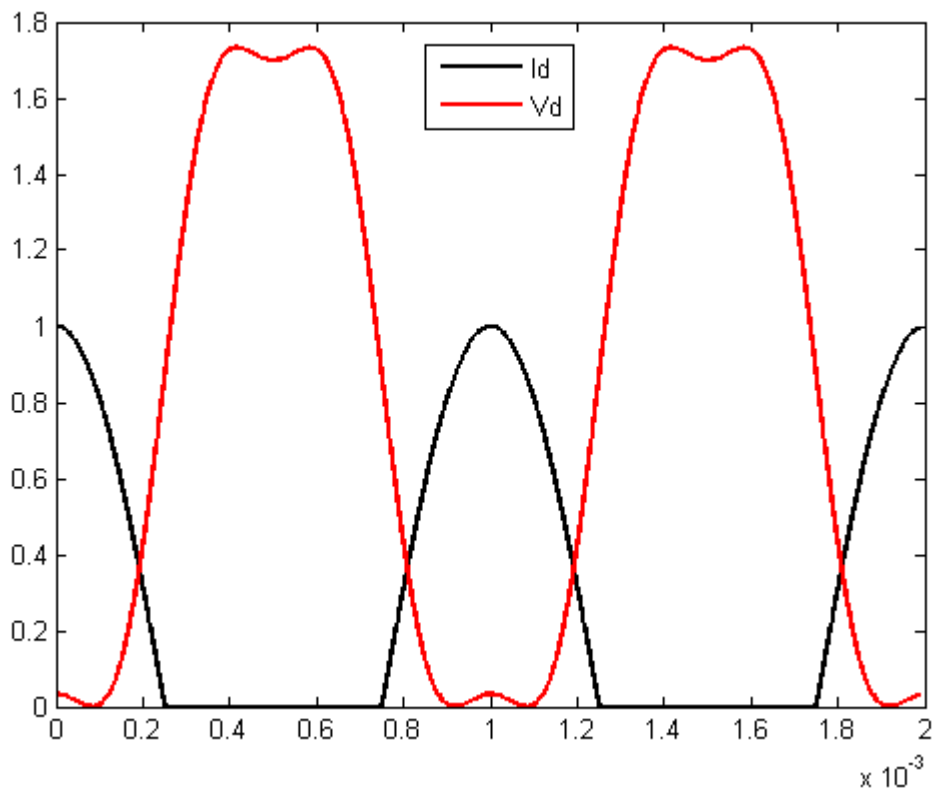


Figura 38.- Formas de onda de voltaje (en rojo) y corriente (en negro) para un amplificador clase F práctico

Un prototipo de amplificador clase F utilizando elementos de parámetros distribuidos se presenta en la figura 39.

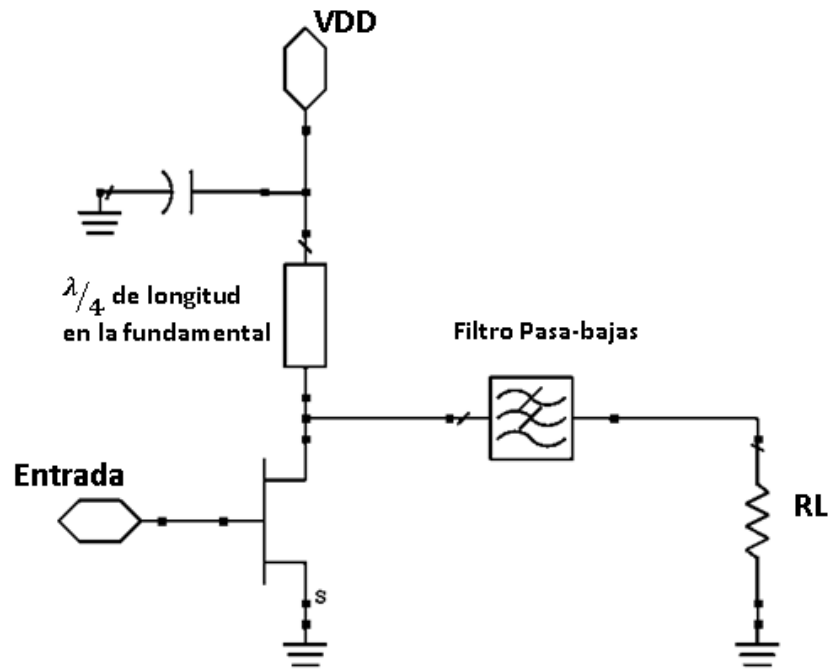


Figura 39.- Amplificador Clase F con elementos distribuidos.

Uno de los elementos clave en el circuito anterior es el transformador $\lambda/4$ a la frecuencia fundamental, el capacitor conectado en uno de sus extremos funge como un corto circuito para las frecuencias de RF, por lo tanto, al otro lado del transformador (del lado del drenaje del transistor) se presentará un circuito abierto a la frecuencia fundamental y a todos los armónicos impares, mientras que para los armónicos pares se presentará un corto circuito. Esto tendrá como resultado, una forma de onda de voltaje que incluye únicamente armónicos impares, mientras que para la forma de onda de corriente existirán únicamente armónicos pares.

Las figuras 40 y 41 muestran la magnitud de los parámetros S11 y S21 de un transformador $\lambda/4$ a 1 GHz., se puede observar que, para la frecuencia fundamental de 1 GHz, así como para todos los armónicos impares, el transformador presenta una carga de circuito abierto (S11=0 y S21=1), mientras que para los armónicos pares se presenta un corto circuito a tierra (S11=1, S21=0).

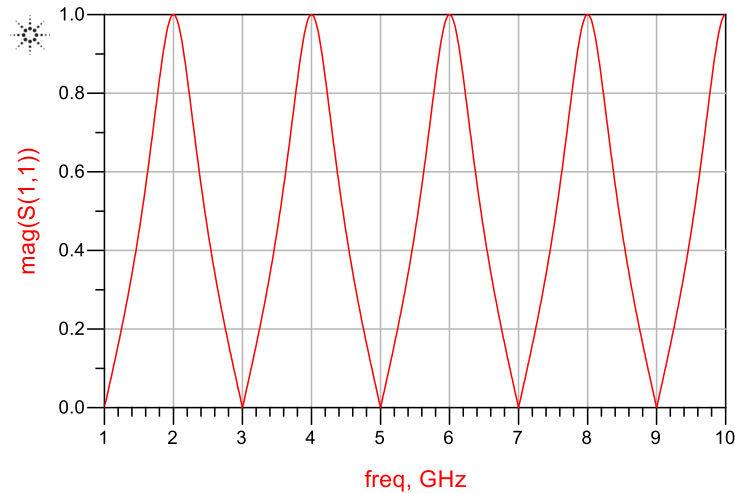


Figura 40.- Magnitud del parámetro S11 para un transformador $\lambda/4$

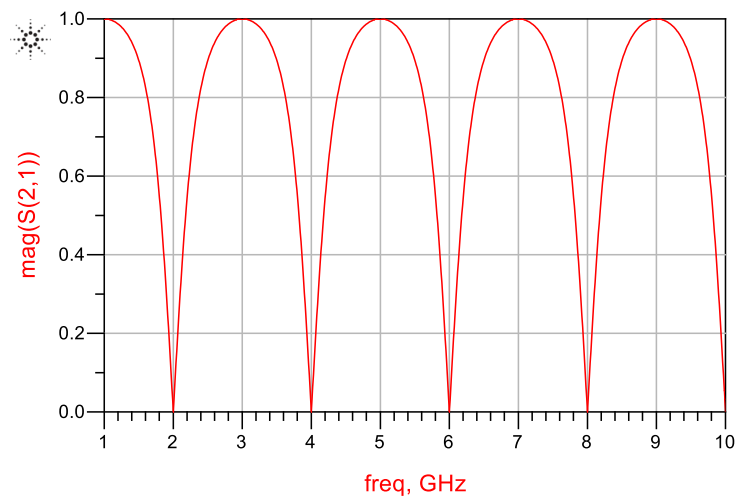


Figura 41.- Magnitud del parámetro S21 para un transformador $\lambda/4$

Clase F Continuo

La naturaleza de los amplificadores clase F mencionada anteriormente, tiene como resultado que posean una operación de banda angosta, la dificultad principal radica en diseñar una red de acoplamiento que presente al transistor una impedancia de circuito abierto para el tercer armónico, y un corto circuito para el segundo armónico, en un rango amplio de frecuencias. Por tal motivo, recientemente se ha propuesto el amplificador Clase F continuo [86], [88].

De manera similar que el clase J es una extensión del amplificador clase B, el clase F continuo representa una extensión del amplificador clase F, en el cual, se permite que varíe el ángulo del segundo armónico y la carga fundamental presentados al transistor, mientras que el tercer armónico permanece como

circuito abierto, esto abre la posibilidad para obtener una familia de curvas distintas para el voltaje de drenaje, las cuales poseen la notable característica de producir la misma eficiencia que un amplificador clase F, es decir, se amplía el espacio de diseño del amplificador y con ello se pueden obtener amplificadores de banda ancha.

La ecuación que rige el voltaje de drenaje del amplificador Clase F Continuo puede ser determinada como se muestra en [88] :

$$v_{ds} = \left(1 - \frac{2}{\sqrt{3}} \cos \theta\right)^2 \left(1 + \frac{1}{\sqrt{3}} \cos \theta\right) (1 - \gamma \sin \theta) \dots (49)$$

Mientras que la corriente se mantiene igual a la de un Clase F convencional

$$i_{DS} = I_{DC} - I_1 \sin \theta - I_2 \cos 2\theta - I_4 \cos 4\theta + \dots \dots (50)$$

La ecuación (49) genera una familia de curvas dependientes de la variable γ , las cuales producen la misma eficiencia que un amplificador clase F convencional, en el rango $-1 \leq \gamma \leq 1$.

Una familia continua de soluciones puede ser manipulada sobre cierta banda de frecuencias mediante la actualización de la forma de onda de voltaje para obtener una eficiencia teórica del 90.7%.

La figura 42 muestra algunas de las curvas de voltaje que se obtienen al variar el parámetro γ en el rango $-1 \leq \gamma \leq 1$

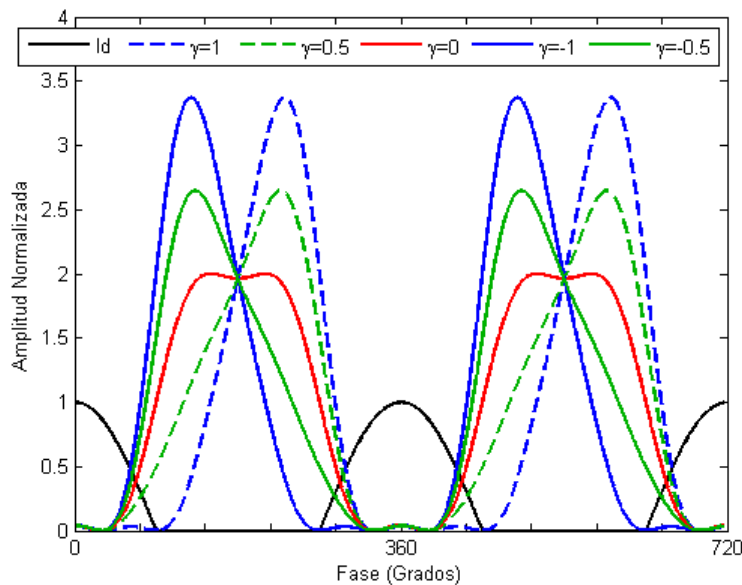


Figura 42.- Formas de onda del amplificador Clase F Continuo

El amplificador clase F continuo produce las siguientes impedancias para la fundamental, el segundo y tercer armónicos [89]:

$$Z_{1f} = \left[\frac{2}{\sqrt{3}} + j \frac{7}{6\sqrt{3}} \gamma \right] \cdot R_{opt} \dots (51a)$$

$$Z_{2f} = -j \frac{3\pi}{4} R_{opt} \gamma \dots (51b)$$

$$Z_{3f} = \infty \dots (51c)$$

Es importante observar de las ecuaciones anteriores que cuando $\gamma = 0$, el amplificador clase F continuo se reduce a las impedancias de un clase F convencional.

Arquitecturas conmutadas

Otro tipo de arquitectura no lineal son las arquitecturas conmutadas, como su nombre lo dice, el transistor opera como un interruptor o conmutador, esto tiene como resultado que se minimice el traslape entre el voltaje y la corriente que circula por el transistor, maximizando así la eficiencia. De los amplificadores más comunes de este tipo son el clase D y el clase E, siendo este último el más común para aplicaciones en el orden de los GHz, normalmente este tipo de amplificadores son más utilizados en radio frecuencia y microondas de baja frecuencia (1-3GHz.)

Amplificador Clase E

En el sentido más tradicional, el amplificador clase E puede ser modelado de forma elemental como se muestra en la figura 43.

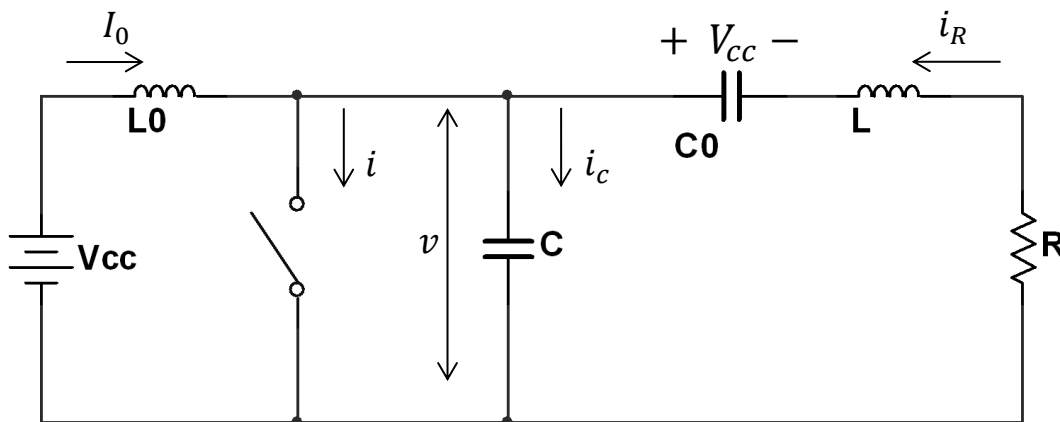


Figura 43.- Circuito Equivalente para el Amplificador Clase E

El transistor se modela como un interruptor, la inductancia L_0 es un *choke* de RF utilizado para polarizar el transistor, la capacitancia C puede representar la combinación de la capacitancia de salida del transistor más una capacitancia agregada externamente. C_0 y L forman un circuito resonante sintonizado a la fundamental el cual produce una forma de onda sinusoidal a la salida.

Cuando el interruptor se encuentra encendido, el circuito puede ser descrito por un sistema de ecuaciones diferenciales de primer orden, dadas por [90]

$$V_{cc} = L \frac{di_R(t)}{dt} + i_R(t)R \quad \dots (52)$$

$$i(t) = I_0 + i_R(t) \quad \dots (53)$$

Si se toma en cuenta la condición inicial $i(0) = 0$, la corriente que fluye a través del interruptor se encuentra descrita por

$$i_s(t) = \frac{V_{cc} + I_0 R}{R} \left[1 - \exp\left(-\frac{R}{L}t\right) \right] \quad \dots (54)$$

Así mismo, cuando el interruptor se encuentra abierto, se producen otro par de ecuaciones diferenciales de primer orden.

$$V_{cc} = v(t) + L \frac{di_R(t)}{dt} + i_R(t)R \quad \dots (55)$$

$$C \frac{dv(t)}{dt} = I_0 + i_R(t) \quad \dots (56)$$

Tomando en cuenta las condiciones iniciales $i_R(t_1) = i(t_1) - I_0$ y $v(t_1) = 0$ se obtiene el voltaje a través del interruptor

$$v(t) = (V_{cc} + I_0 R) \left[1 + \frac{1}{\omega} \sqrt{d^2 + \omega^2} \exp(-\delta t) \sin(\omega t + \varphi) \right] \quad \dots (57)$$

Donde

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad \delta = \frac{R}{2L} = \frac{\omega_0}{2Q_L}$$

$$d = \frac{i(t_1)}{(V_{cc} + I_0 R) C} - \delta$$

$$\varphi = \tan^{-1} \left(\frac{\omega}{d} \right) \quad \omega = \sqrt{\omega_0^2 - \delta^2}$$

Cuando se utilizan estos amplificadores en altas frecuencias, el análisis en el dominio del tiempo no es el más práctico, sin embargo, el análisis en frecuencia suele ser más práctico cuando se lidia con frecuencias superiores a la frecuencia máxima de operación [77]

Arquitecturas Compuestas

Existen otro tipo de amplificadores cuyo funcionamiento se basa en el uso de dos o más amplificadores los cuales cumplen una función distinta. En el caso más sencillo se cuenta con dos amplificadores: uno principal y otro auxiliar, el uso de este amplificador auxiliar tiene como resultado que se obtengan altos niveles de eficiencia inclusive cuando el amplificador principal se opera en modo back-off, es decir con niveles de señal de entrada no óptimos. Los dos principales amplificadores de este tipo son el amplificador Doherty y el amplificador Chireix.

El amplificador Doherty

El amplificador de potencia Doherty ha sido extensamente adoptado en aplicaciones de banda L y banda S, y es típicamente utilizado como amplificador de radio base celular. La idea principal del Doherty se basa en modular la carga de un amplificador de manera activa, con el propósito de operar dicho amplificador en su condición de máxima eficiencia para un rango predeterminado de señal de entrada y/o niveles de potencia de salida.

Para lograr lo anterior, la terminación presentada al dispositivo amplificador llamado amplificador principal (P), se modula de manera activa por medio de un segundo dispositivo amplificador denominado amplificador auxiliar (A). Un esquema de este amplificador se presenta en la figura 44.

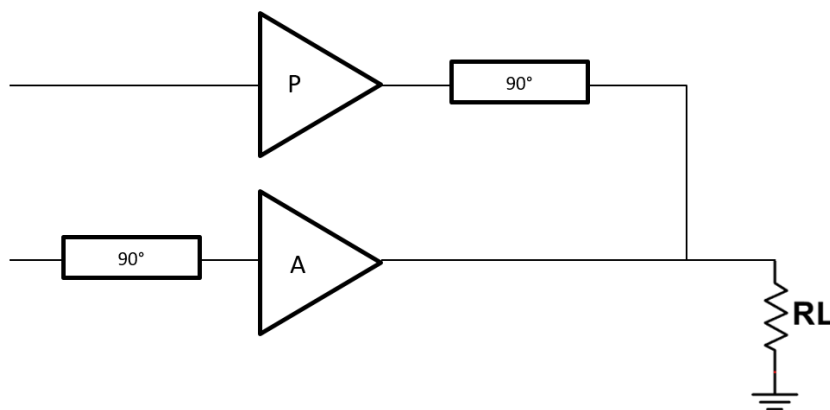


Figura 44.- Amplificador Doherty

Para lograr la modulación de la carga de forma activa se considera el circuito que se muestra en la figura 45, donde I_1 representa el amplificador principal e I_2 representa el amplificador auxiliar.

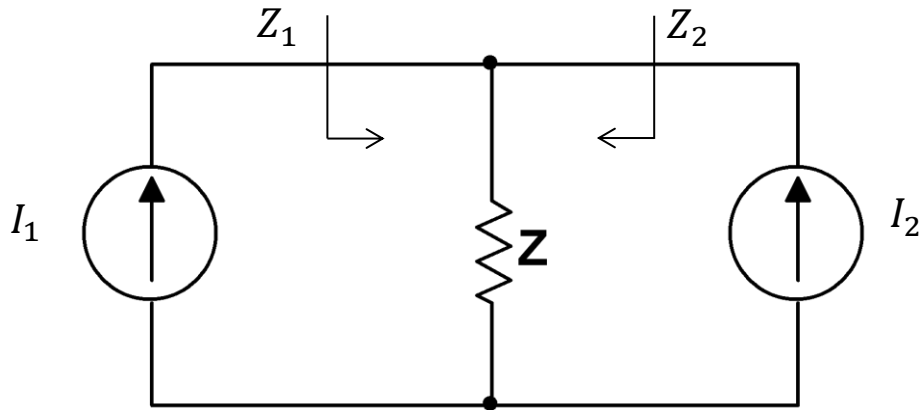


Figura 45.- Modulación de carga

La impedancia presentada a I_1 e I_2 se encuentra determinada por [77]

$$Z_1 = Z \left(1 + \frac{I_2}{I_1} \right) \dots (58a)$$

$$Z_2 = Z \left(1 + \frac{I_1}{I_2} \right) \dots (58b)$$

Lo que quiere decir que la carga vista por una fuente es controlada por la otra fuente de corriente. El modular la carga de forma activa permite presentarle al transistor la carga óptima aun cuando el transistor opera en back-off (niveles de señal de entrada menores al nivel óptimo) por producto de señales que posean modulación de envolvente, el variar la carga permite mantener los mismos niveles de eficiencia inclusive cuando se presentan niveles de potencia de entrada reducidos.

El amplificador Chireix

El amplificador Chireix consta de otro tipo de arquitectura que también hace uso de dos o más amplificadores para obtener altos niveles de eficiencia inclusive cuando el amplificador se opera en back-off, por ejemplo, cuando se inyecta una señal que tiene modulación de amplitud.

El principio básico de dicho amplificador puede ser descrito por la siguiente identidad trigonométrica

$$\cos A + \cos B = 2 \cos\left(\frac{A+B}{2}\right) \cdot \cos\left(\frac{A-B}{2}\right) \dots (59)$$

Si una señal modulada en amplitud $S_{ent}(t)$ es aplicada a un modulador de fase, se puede generar dos señales con amplitud fija $S_1(t)$ y $S_2(t)$ tales que [84]:

$$S_{ent}(t) = A(t) \cos(\omega t) \dots (60)$$

y

$$S_1(t) = \cos(\omega t + \cos^{-1}(A(t))) \dots (61)$$

$$S_2(t) = \cos(\omega t - \cos^{-1}(A(t))) \dots (62)$$

Si se aplica la señal a dos amplificadores con ganancia de voltaje G , la salida combinada será:

$$S_{sal} = G(S_1(t) + S_2(t)) \dots (63)$$

Aplicando la identidad trigonométrica dada por (59) resulta en:

$$S_{sal} = 2GA(t) \cos(\omega t) \dots (64)$$

Este resultado ilustra que una señal modulada en amplitud y aplicada a un modulador en fase, genera dos señales de envolvente constante las cuales pueden ser amplificadas por amplificadores no lineales, y cuando son recombinadas a la salida, se recupera la modulación de amplitud de la señal original.

El esquema simplificado del amplificador Chireix se muestra en la figura 46:

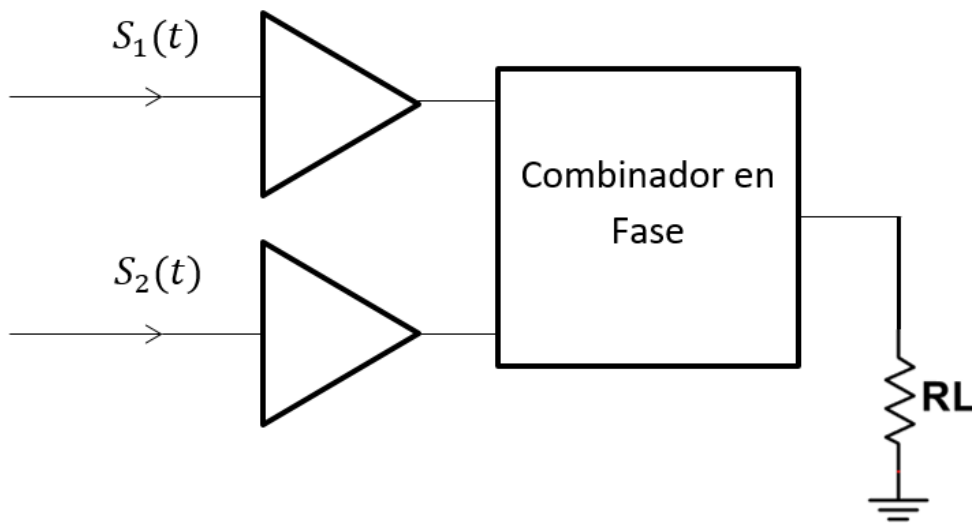


Figura 46.- Amplificador Chireix

Medición “Load-Pull”

Debido a que en los amplificadores de potencia los transistores operan a señal grande, no se puede determinar la carga óptima que debe ser presentada a dicho transistor mediante la utilización de los parámetros S. Un método que permite determinar la carga óptima de forma experimental es el método “Load-Pull” el cual consiste en variar la carga presentada a la salida del amplificador manteniendo la entrada acoplada, mientras que se mide la potencia o la eficiencia del amplificador para cada valor de carga.

Conclusión

En este capítulo se presentó la tecnología de semiconductores más utilizada en el desarrollo de amplificadores de potencia, así mismo se mencionaron los distintos modelos a gran señal y se presentaron las distintas clases de amplificadores más relevantes hasta el momento en el área de microondas. Una vez hecha esta revisión, en el siguiente capítulo se desarrollarán diseños de amplificadores de potencia, la clase de operación elegida para el diseño es la clase F, ya que presenta altos niveles de eficiencia y representa un diseño relativamente simple en comparación con las otras clases de amplificadores mencionadas. Una vez concluidos los diseños del capítulo 3, se fabricará uno de ellos, este proceso se describe en el capítulo 4.

Capítulo III:

Diseño de amplificadores Clase F

Introducción

En este capítulo se presenta el diseño de dos amplificadores clase F, para ello se mencionará detalladamente el proceso que se llevó a cabo para obtener una operación de alta eficiencia. El primer diseño trata de un amplificador que utiliza el transistor CGH40010F de CREE puesto que se trata de un transistor que puede proporcionar los 40 dBm de potencia requeridos, mientras que el segundo diseño utiliza un transistor NE3210S01 de CEL el cual puede proporcionar los 10 dBm requeridos para el diseño. De los dos diseños únicamente el segundo de ellos se fabricó y se midió, este proceso se describe en el capítulo 4.

Primer diseño de un amplificador Clase F

Se llevó a cabo el diseño de un amplificador clase F a 2GHz con una eficiencia superior al 70% y una potencia de salida de 40 dBm. Para ello, se diseñaron las redes de entrada, salida, estabilización y polarización del amplificador.

Se desea que la frecuencia de operación del amplificador sea de 2 GHz, el transistor seleccionado es el CGH40010F de la marca CREE, este transistor se encuentra especificado para una potencia de 40 dBm, además de que se trata de un transistor de GaN, material el cual provee de un voltaje de ruptura elevado, propiedad muy deseable en los amplificadores de potencia.

Los modelos que se utilizarán para su diseño serán el modelo embebido desarrollado por la Universidad Estatal de Ohio (OSU) y el modelo proporcionado por CREE. Utilizando estos modelos se puede obtener una simulación bastante precisa y fidedigna del amplificador. El diseño parte de realizar la red de acoplamiento a la salida del transistor, primero utilizando líneas de transmisión ideales y posteriormente se realiza la conversión en microcinta, así mismo se agrega la red de polarización del drenaje del transistor, así como la red estabilización a la salida del mismo, por lo que el diseño debe considerar los efectos que estas redes tienen sobre la red de acoplamiento. Una vez realizada y optimizada la red de acoplamiento a la salida, se lleva a cabo la red de acoplamiento a la entrada, la cual, incluye a su vez la red de polarización de la compuerta y dos redes de estabilización, una de ellas en serie y otra en derivación, posteriormente se optimizó esta red completa de entrada para obtener la máxima potencia y eficiencia a la salida del transistor.

Red de acoplamiento de salida

Se comenzó el diseño con la red acoplamiento a la salida del amplificador, esto se debe a que los amplificadores de potencia son principalmente sensibles a las terminaciones armónicas que se presentan a su salida, afectando de manera muy significativa la eficiencia y el modo de operación del amplificador. Una razón más para enfocarse en la red de salida se debe al modelo utilizado en este diseño: el modelo embebido, el cual proporciona las terminaciones que se deben presentar al empaquetado del transistor que producirán las terminaciones deseadas en el plano intrínseco del transistor, por tanto, es de vital importancia el proporcionar las impedancias más exactas posibles para así lograr la operación deseada.

Para la operación en clase F, el transistor deberá ser polarizado en el borde entre el corte y la saturación, así mismo, la red de salida del amplificador deberá presentar la carga óptima para la fundamental, un corto circuito para el segundo armónico y un circuito abierto para el tercer armónico, tomando como referencia el plano intrínseco del transistor, ya que en el plano del empaquetado las terminaciones que deberán ser presentadas se verán afectadas por la presencia de parásitos del transistor.

El primer paso consta en determinar la resistencia fundamental que produce la máxima oscilación de voltaje a la salida del transistor dado un punto máximo de corriente, de esta manera se obtiene la máxima potencia a la salida del amplificador. Para determinar dicha carga se hizo uso de la línea de carga y las curvas de corriente-voltaje del transistor, seleccionando como punto máximo una corriente de aproximadamente 2.3 A. Observando la recta de carga y obteniendo el inverso de la pendiente de dicha recta, se determinó que la resistencia óptima (R_{OPT}) se encuentra entre 20 y 30 ohms, este valor se puede seleccionar dependiendo del valor máximo de corriente deseado. La figura 47 muestra una línea de carga en el plano intrínseco con una resistencia óptima en la fundamental de 22 ohm, la línea de carga representa un amplificador clase B, esto se debe a que aún no se ha proporcionado terminación para el tercer armónico.

En rojo se muestra la línea de carga obtenida y en azul se muestran las curvas de corriente y voltaje del transistor, se puede observar que la corriente máxima es aproximadamente 2.3 A, mientras que el voltaje máximo es de 53V. El voltaje de la rodilla en el punto máximo de la recta de carga es de aproximadamente 2.5V, sin embargo, es importante observar que si se operara el transistor a valores de corriente más elevados el voltaje de rodilla se incrementa considerablemente.

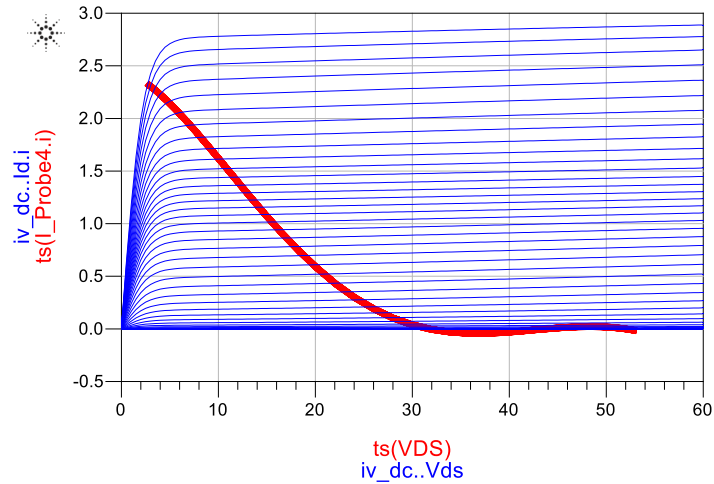


Figura 47.- Línea de Carga de un amplificador Clase B (en rojo), Líneas de corriente-voltaje del transistor (en azul)

Cabe recalcar que la figura 47 muestra las curvas de corriente-voltaje (IV) y la línea de carga en el plano de la fuente de corriente del transistor, es decir representa la respuesta del transistor sin la presencia de componentes parásitos o trampas.

Añadiendo la terminación para el tercer armónico como circuito abierto, se obtiene la operación en clase F, por tanto, en el modelo embebido es tan sencillo como proporcionar mediante un ajustador de cargas (*Load Tuner*) la impedancia requerida de circuito abierto para el tercer armónico y corto circuito para el segundo armónico.

En la figura 48 se muestran las conexiones realizadas en ADS

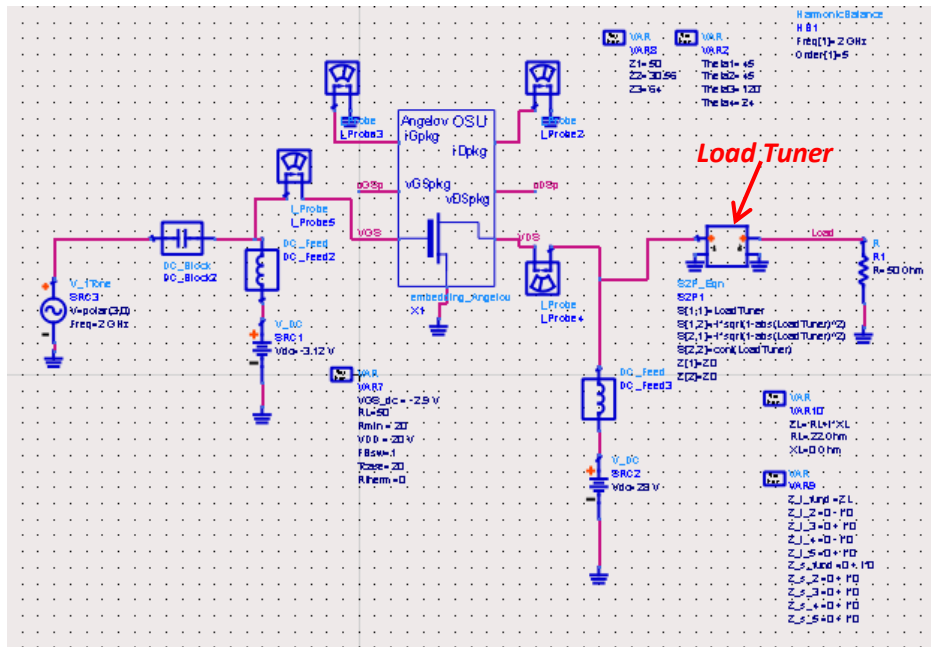


Figura 48.- Utilización del Modelo Embebido

Agregando el tercer armónico con el *load tuner* y proyectando al empaquetado, se obtiene la línea de carga que se muestra en la figura 49.

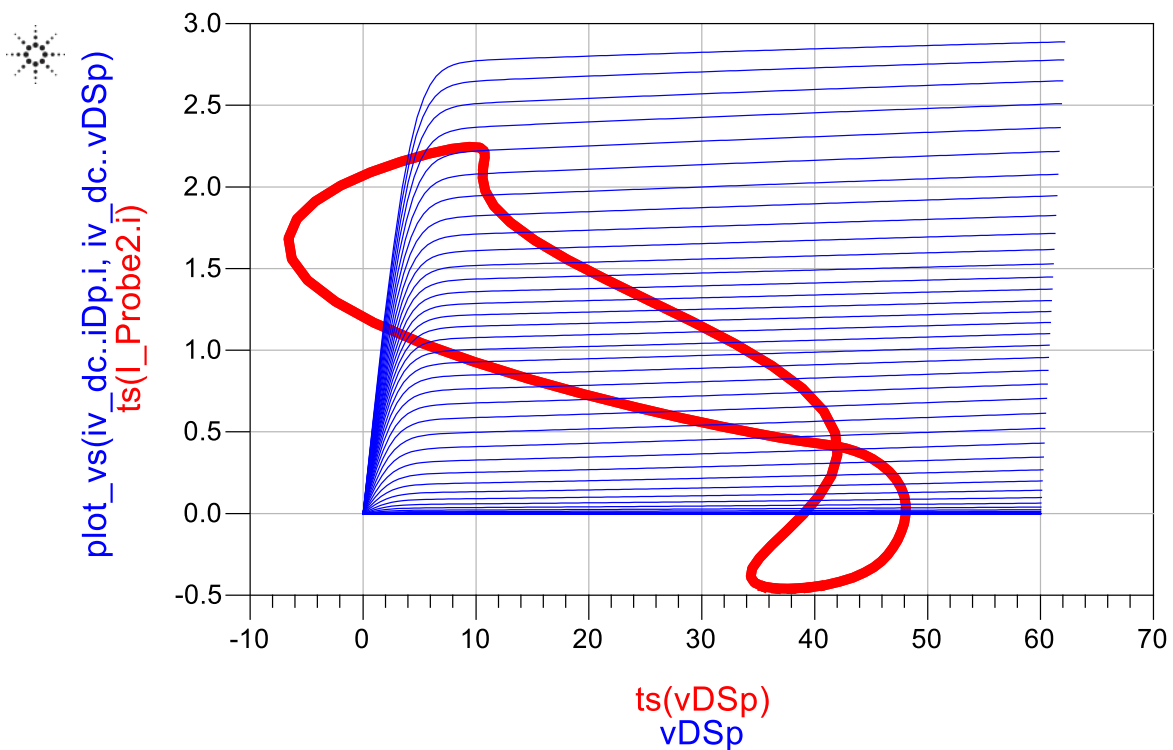


Figura 49.- Recta de carga de un amplificador Clase F proyectada al empaquetado

Resulta interesante la curva de la figura 49 puesto que la línea de carga ha sufrido una enorme transformación al ser proyectada del plano intrínseco al plano del empaquetado, en especial, se puede observar la presencia de voltajes y corrientes de drenaje negativos ocasionados por la presencia de componentes parasitas del transistor.

La operación en el empaquetado del amplificador no es la que resulta importante, lo importante es cómo opera el transistor en el plano intrínseco, es decir en el punto de la fuente de corriente. Efectivamente, en el plano del empaquetado se obtienen voltajes y corrientes que distan mucho de su valor ideal.

Con el uso del modelo embebido se pueden proyectar al plano del empaquetado las impedancias que deberán ser presentadas para la fundamental, segundo y tercer armónico, considerando todos los componentes parásitos del transistor, estas impedancias proyectadas son las que deben ser presentadas al empaquetado de tal forma que el transistor opere en clase F en el plano intrínseco. Las impedancias proyectadas al empaquetado y las impedancias en el plano intrínseco se presentan en la carta Smith que se muestra en la figura 50.

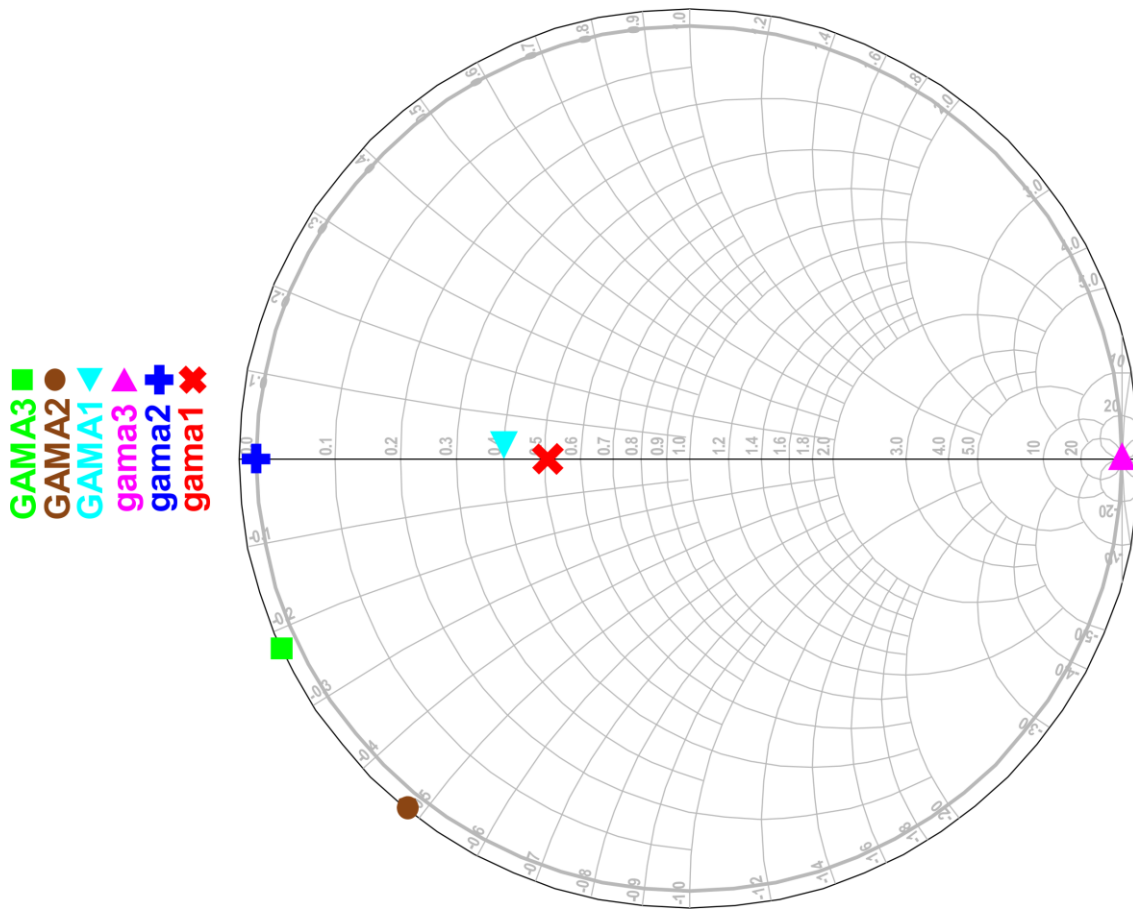


Figura 50.- Carta Smith ilustrando el valor de la impedancia para la fundamental (Rojo), segundo (azul) y tercer (magenta) armónicos en el plano intrínseco, así como la fundamental (turquesa), segundo (café) y tercer armónico (verde) proyectados al empaquetado

Los colores rojo, azul y magenta (indicados por las letras minúsculas) representan las impedancias de la fundamental, segundo y tercer armónico respectivamente, mientras que en turquesa, café y verde (indicados por letras mayúsculas) se muestran las impedancias proyectadas al empaquetado, son estas últimas las que deben ser presentadas al transistor. Al observar la posición del segundo y tercer armónico proyectados al empaquetado se puede notar que su posición se encuentra ligeramente fuera del límite de la carta Smith, este valor no puede realizarse con redes pasivas, sin embargo, puesto que las impedancias no se encuentran muy lejanas del borde, se puede redondear su valor a uno dentro de la carta Smith. Tomando estas consideraciones el valor de cada impedancia que se debe presentar al amplificador en el plano del empaquetado son:

$$Z_f = 18.6 - j0.7 \Omega$$

$$Z_2 = 0 - j23.9 \Omega$$

$$Z_3 = 0 - j10.9 \Omega$$

O bien expresado como coeficientes de reflexión

$$\Gamma_1 = 0.5 \angle -178.1^\circ$$

$$\Gamma_2 = 1 \angle -128.4^\circ$$

$$\Gamma_3 = 1 \angle -155.5^\circ$$

Para confirmar el valor de carga óptima, se llevó a cabo una medición “Load-Pull” simulada en ADS como se describe en [91], la figura 51 muestra el arreglo experimental utilizado.

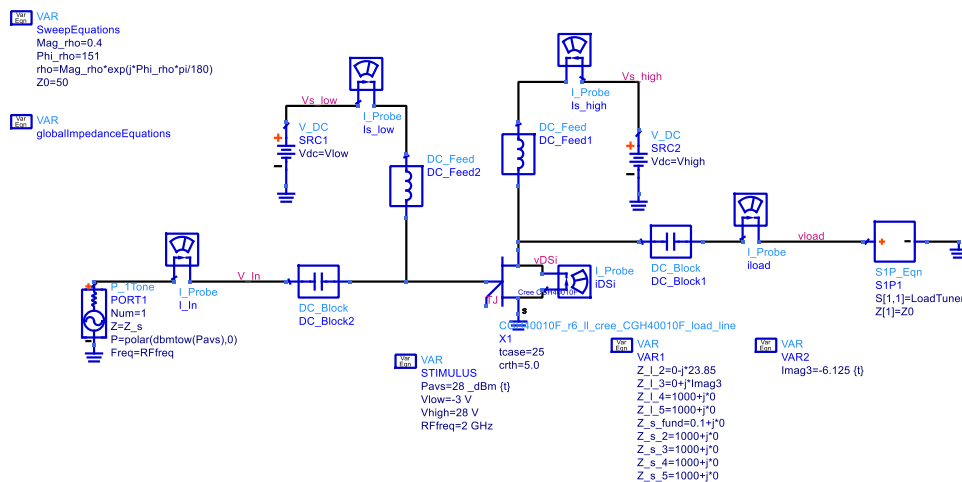


Figura 51.- Arreglo Experimental Utilizado Para Llevar a cabo el Load-Pull

Se llevó a cabo la simulación y se trazaron los contornos de potencia, los cuales se muestran en la figura 52.

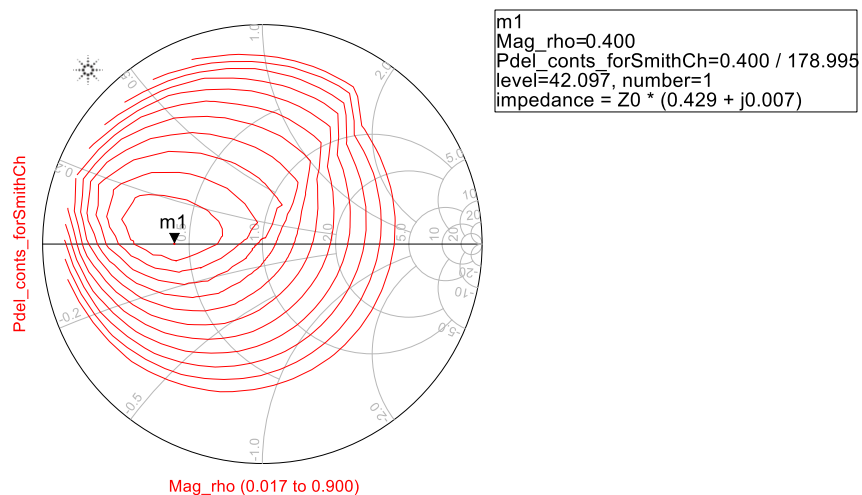


Figura 52.- Contornos de Potencia

En la figura 52, puede observarse que el coeficiente de reflexión óptimo para la carga fundamental es de $\Gamma_1 = 0.4 \angle 178.9$, valor que se asemeja mucho al determinado por el modelo embebido.

Utilizando los valores anteriores, es posible sintetizar una red que cumpla con estos objetivos. Existen muchos métodos para realizar una red de acoplamiento, sin embargo, aquí se optará por realizar una red en la cual se divida el problema en partes, es decir, se diseñará una red que conste de distintas secciones, cada una encargada de producir los coeficientes de reflexión requeridos por cada uno de los armónicos.

Un prototipo de red con elementos ideales se presenta en la figura 53.

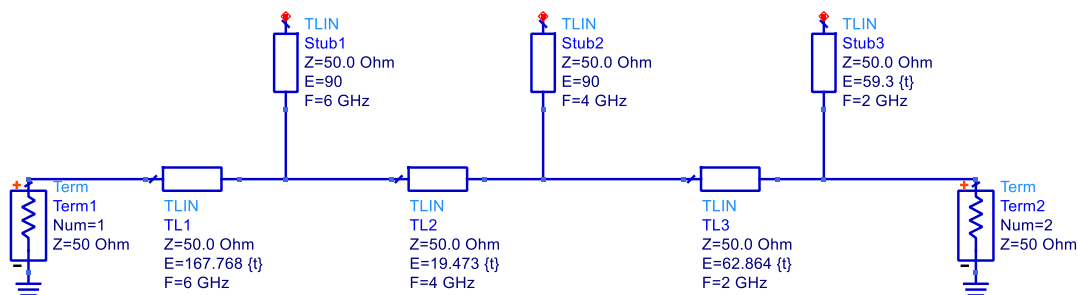


Figura 53.- Red de Acoplamiento con Líneas Ideales

La red consta de tres secciones, cada una incluye un *stub* abierto en derivación y una línea de transmisión, la primera sección de *stub* y línea se encargan de proveer la terminación del tercer armónico, la segunda sección provee la terminación del segundo armónico, y, por último, la tercera sección se encarga de proveer la terminación para la fundamental. Para mantener el coeficiente de reflexión del segundo y tercer armónico en el borde de la carta Smith, los *stubs* 1 y 2 correspondientes al tercer y segundo armónico respectivamente, deben tener una longitud eléctrica de 90° , es decir se trata de transformadores $\lambda/4$ los cuales al estar abiertos en un extremo producirán un corto circuito en su extremo opuesto, por tanto, el problema de sintetizar la red se reduce a determinar la longitud eléctrica de las líneas de transmisión y el tercer *stub*. Para ello, se realizó un proceso de ajuste manual recursivo donde cuidadosamente se parametrizó la longitud eléctrica de la línea de transmisión correspondiente al tercer armónico hasta obtener el coeficiente de reflexión deseado. El coeficiente de reflexión del tercer armónico afectará todas los coeficientes posteriores, es decir, los coeficientes de reflexión del segundo armónico y de la fundamental se verán afectados por la línea y *stub* de la sección correspondiente al tercer armónico, sin embargo, este último casi no sufrirá ninguna desviación debido a las secciones correspondientes al segundo armónico y la fundamental, lo mismo sucede con la

sección del segundo armónico, la cual afectará la posición del coeficiente de el segundo armónico y de la sección posterior, es decir, la sección de la fundamental, pero el segundo armónico casi no se verá afectado por esta última. Por tanto, es de vital importancia ir ajustando las secciones en el orden adecuado, comenzando por la sección del tercer armónico, posteriormente se deberá ajustar la sección del segundo armónico y por último la sección de la fundamental.

La figura 54 muestra la magnitud del coeficiente de reflexión tras haber realizado el proceso mencionado anteriormente, mientras que la figura 55 muestra la fase para cada armónico

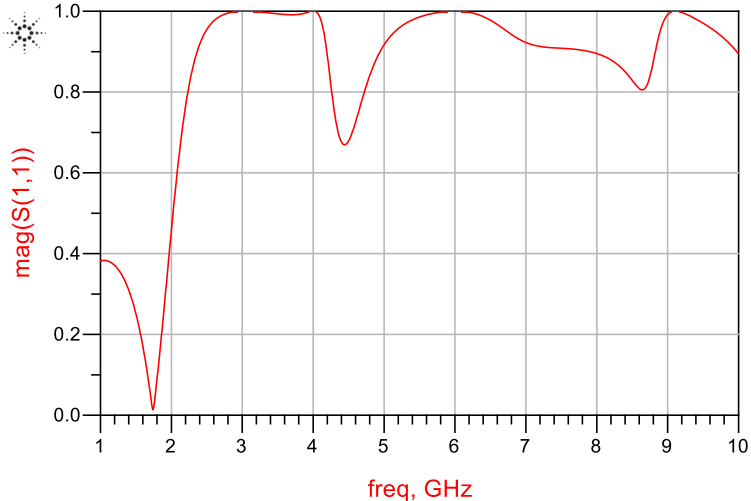


Figura 54.- Magnitud del parámetro S11

m1 freq=2.000GHz phase(S(1,1))=178.095	m2 freq=4.000GHz phase(S(1,1))=-128.441	m3 freq=6.000GHz phase(S(1,1))=-155.536
--	---	---

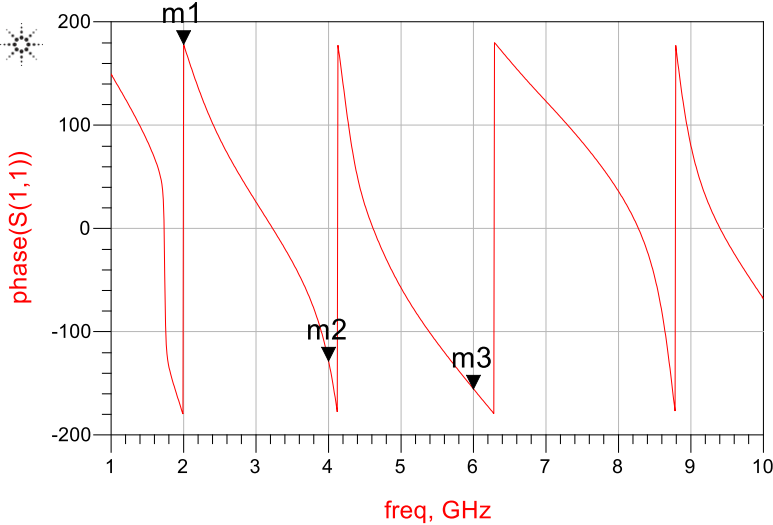


Figura 55.- Fase del parámetro S11, mostrando también la fase de cada armónico.

Una vez terminada la red con líneas ideales se utilizó el modelo de CREE para verificar la operación de la red de salida, mediante la observación de las terminaciones en el plano intrínseco se pudo apreciar que existía una pequeña desviación de los valores esperados para la operación en clase F, es decir los armónicos no se encontraban del todo en su lugar correspondiente de la carta Smith, por lo que tuvo que realizarse un ajuste de la red de salida para determinar los valores para el segundo y tercer armónico que más se acercaran a la operación en clase F, así mismo se ajustó la sección de la red correspondiente a la fundamental mientras se monitoreaba la potencia desarrollada, así se pudo seleccionar una terminación para la fundamental que maximizara la potencia desarrollada. Los coeficientes de reflexión optimizados son los siguientes:

$$\Gamma_1 = 0.5 \angle 148.4^\circ$$

$$\Gamma_2 = 1 \angle -126.6^\circ$$

$$\Gamma_3 = 1 \angle -167.5^\circ$$

De estos nuevos valores, se puede observar que los ángulos del segundo y tercer armónico cambiaron muy poco, sin embargo, la nueva impedancia en la fundamental varía considerablemente de la calculada mediante la línea de carga utilizando el modelo embebido. Los nuevos valores para la red de acoplamiento optimizada se muestran en la figura 56.

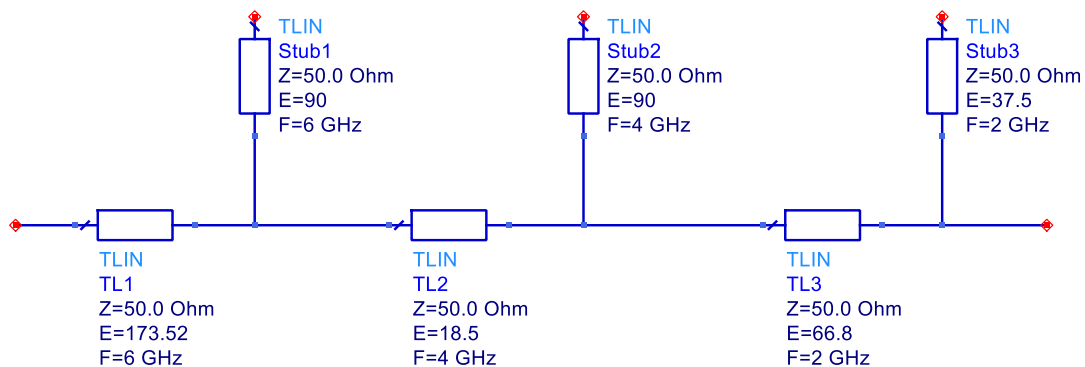


Figura 56.- Línea de acoplamiento a la salida optimizada

Para implementar esta red de acoplamiento se utilizará microcinta, para ello, las líneas ideales deben ser convertidas a líneas reales de microcinta, éstas últimas dependerán fuertemente del sustrato que se utilice para su fabricación, por lo tanto, se seleccionó el sustrato Rogers RT/Duroid 5880LZ debido a sus excelentes propiedades dieléctricas. Las características principales del sustrato se despliegan en la tabla 6.

Tabla 6.- Características del Sustrato Rogers Duroid 5880LZ

Grosor del dieléctrico:	50 mil
Constante dieléctrica (ϵ):	2
Factor de disipación ($\tan \delta$):	0.0021
Grosor del conductor:	35 μ m de cobre electro depositado

Para hacer la conversión de las líneas ideales a línea de microcinta considerando el sustrato utilizado, se utilizó el programa LineCalc que forma parte del software ADS, introduciendo en dicho programa los valores del sustrato, la impedancia característica de la línea (seleccionada en 50 ohm) y la longitud eléctrica deseada, se pudo obtener las dimensiones de la red de microcinta, es importante mencionar que para el correcto modelado de la red en microcinta, también se deben añadir elementos que representen discontinuidades, tales como las uniones entre líneas y *stubs*, así como saltos o cambios en el ancho de una línea y otra. A la red realizada en microcinta se le deben adicionar elementos adicionales los cuales forman parte de la red polarización y la red de estabilización.

Red de polarización a la salida

La red de polarización es una parte muy importante en el diseño de un amplificador de potencia, para empezar, se ubicó en una posición posterior a la sección de la red de acoplamiento correspondiente a la fundamental, es decir, al final de la red de acoplamiento, y con una impedancia característica mayor, esto con el fin de perturbar en menor medida las terminaciones armónicas que se habían ajustado previamente.

Cuando se diseña una red de polarización, lo ideal es que esta afecte en menor medida el funcionamiento de la red de acoplamiento de salida, para ello es aconsejable que la línea de alimentación de C.D. sea de una longitud eléctrica de 90°, y a su vez, se debe presentar un corto circuito en el extremo de esta línea, de tal forma que en el extremo de la línea $\lambda/4$ conectado a la salida de la red de acoplamiento se obtenga una terminación de circuito abierto a la frecuencia de la fundamental, de esta manera, la red de polarización será lo más inocua en la operación de la red de acoplamiento. Para lograr el corto circuito en un extremo de la línea $\lambda/4$, deben adicionarse una serie de capacitores de desacoplamiento, estos capacitores representan un corto circuito para frecuencias de RF, pero representan un circuito abierto en términos de C.D., es así que la línea de alimentación de C.D. previa a la posición de estos capacitores puede ser tan larga como se requiera, ya que, desde la perspectiva de RF, la línea de alimentación se termina donde se encuentran conectados los capacitores. Es recomendable

utilizar varios valores distintos para estos capacitores, ya que cada capacitor tendrá una frecuencia de auto resonancia distinta, logrando así un corto circuito más efectivo. La red de polarización de salida se muestra en la figura 57.

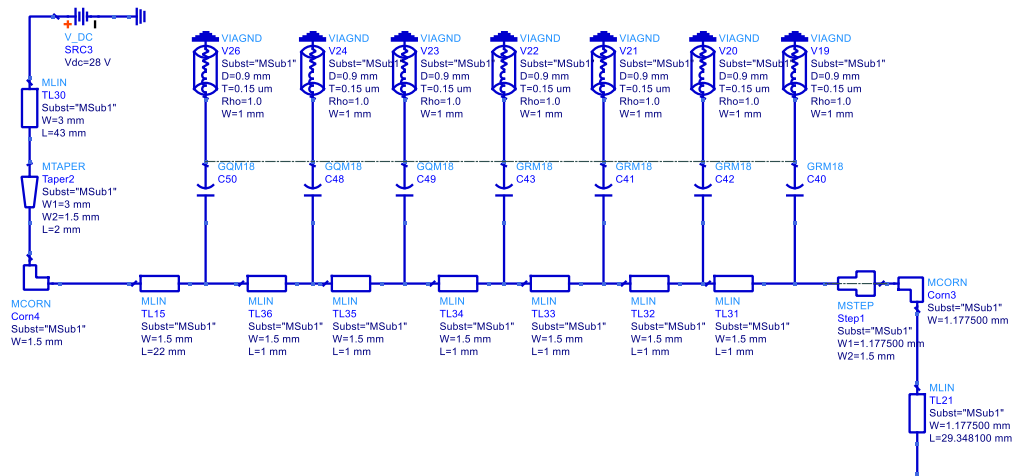


Figura 57.- Red de polarización de salida.

En la figura 57 se pueden observar 7 capacitores conectados de un lado a la línea de alimentación y del otro lado conectados a tierra, cada uno a través de una vía. La separación entre cada capacitor es de 1mm, valor que permite posicionar lo más cercanos un capacitor de otro de manera contigua. Para determinar el valor de cada capacitor, se realizó un proceso minucioso de parametrización, observando que la terminación en el extremo de la línea $\lambda/4$ (TL21) que irá conectado a la red de polarización se obtuviera un equivalente a circuito abierto. La figura 58 muestra el parámetro S11 al extremo de la línea TL21, se puede observar que la magnitud de dicho parámetro es cercana a la unidad en la frecuencia de la fundamental (2 GHz.)

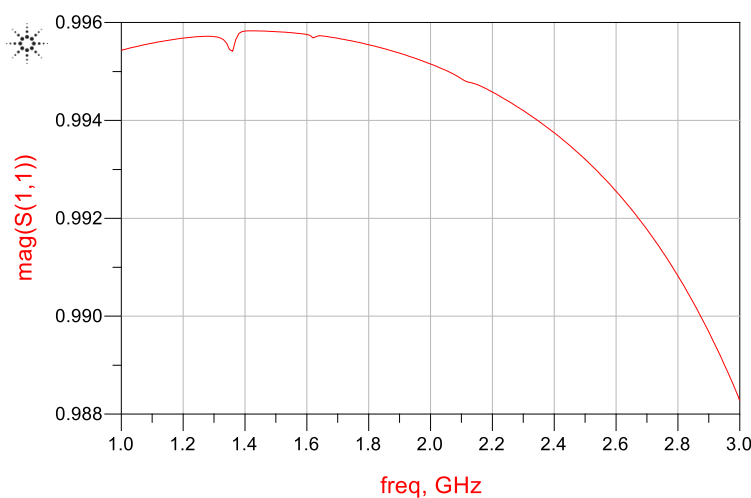


Figura 58.- Coeficiente de reflexión al extremo de la línea TL21

Los valores de los capacitores utilizados para esta red de polarización son: 1 μF , 33 nF, 6.8 nF, 1 nF, 39 pF y 1 pF. Todos los capacitores seleccionados son de la marca Murata, esto se debe a su alta calidad y al hecho de que Murata proporciona modelos de parámetros S para su implementación en ADS, logrando así una simulación más fidedigna. En la figura 55 también se puede apreciar el punto de entrada donde se conecta la fuente de C.D. de 28V que alimenta el drenaje del transistor, este valor se seleccionó debido a que es el recomendado por el fabricante ya que maximiza la oscilación de la señal.

Red de estabilización a la salida

Uno de los problemas al diseñar amplificadores son las oscilaciones no deseadas que se pueden presentar en ciertas condiciones de operación. La estabilidad de un amplificador se encuentra determinada por una serie de factores: el factor K o factor de Rollet y el factor μ . Si estos factores: K y μ son mayores o iguales a 1, y el determinante del factor de K es menor a 1, se considera al amplificador incondicionalmente estable, de manera inversa, si los factores K y μ son menores a 1, y el determinante del factor de K es mayor a 1, el amplificador es potencialmente inestable.

Para evitar estas oscilaciones no deseadas, una opción es utilizar una o más redes de estabilización que por lo general emplean una resistencia la cual puede estar acompañada de elementos reactivos tales como capacitores o inductores. El proceso de selección de componentes de las redes de estabilización suele ser un proceso de prueba y error, en el cual se agregan o quitan elementos, y se experimenta con valores de los componentes que produzcan un factor de estabilidad superior a 1, dentro y fuera de la banda de operación del amplificador.

A diferencia de los amplificadores de señal pequeña, el valor de la resistencia ubicada en la red de estabilización a la salida no puede ser de un valor muy pequeño ya que esto significaría una disipación excesiva e innecesaria de potencia por parte de dicha resistencia. El valor de la resistencia ubicada en la red de estabilización de salida es de 22 k Ω , este valor ayuda a incrementar el valor del factor de estabilización.

Para acoplar la resistencia de la red de estabilización con el resto del amplificador, se utilizan dos capacitores en paralelo que se encuentran en serie con la resistencia, la finalidad de estos capacitores es evitar que fluya C.D. por la resistencia de estabilización, ya que esto involucra un incremento en la disipación de potencia por parte de la resistencia, reduciendo la eficiencia del amplificador.

El resto de los elementos presentes en la red de estabilización representan líneas de alimentación para realizar las distintas interconexiones. Una vez más, se optó

por posicionar la red de estabilización después de la red de acoplamiento, con una impedancia característica mayor, en el mismo nodo donde se conectó la red de polarización de salida.

La figura 59 muestra la red de estabilización de salida del transistor.

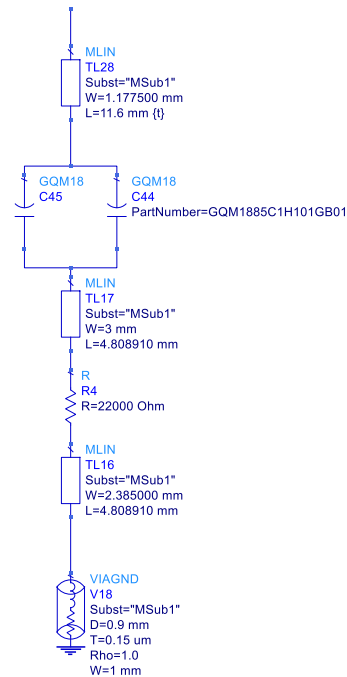


Figura 59.- Red de polarización a la salida

Una vez diseñadas las redes de polarización y de estabilización a la salida del transistor, se colocaron los capacitores de acoplamiento a la salida, cuya función es el bloquear el paso de C.D. a la carga. Estos capacitores junto con sus líneas de alimentación se muestran en la figura 60, el valor de los capacitores de acoplamiento es de 100 pF.

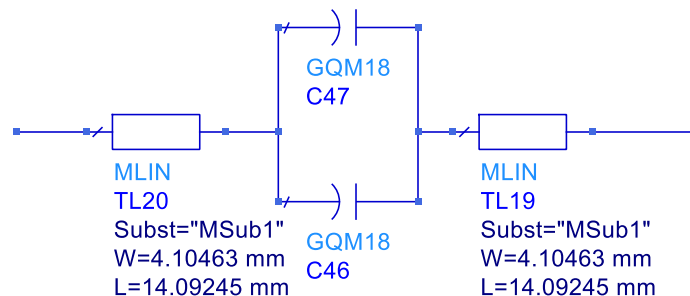


Figura 60.- Capacitores de acoplamiento a la salida

Aún cuando se tomaron medidas para reducir el impacto de las redes de polarización y estabilización sobre la red de acoplamiento de salida, se tuvo que

optimizar y ajustar las terminaciones armónicas de la red de acoplamiento para obtener los valores deseados para el tercer armónico, el segundo armónico y la fundamental.

La figura 61 muestra el resultado final de la red de salida del amplificador, donde se incluyen las redes de acoplamiento, polarización y estabilización de salida del amplificador.

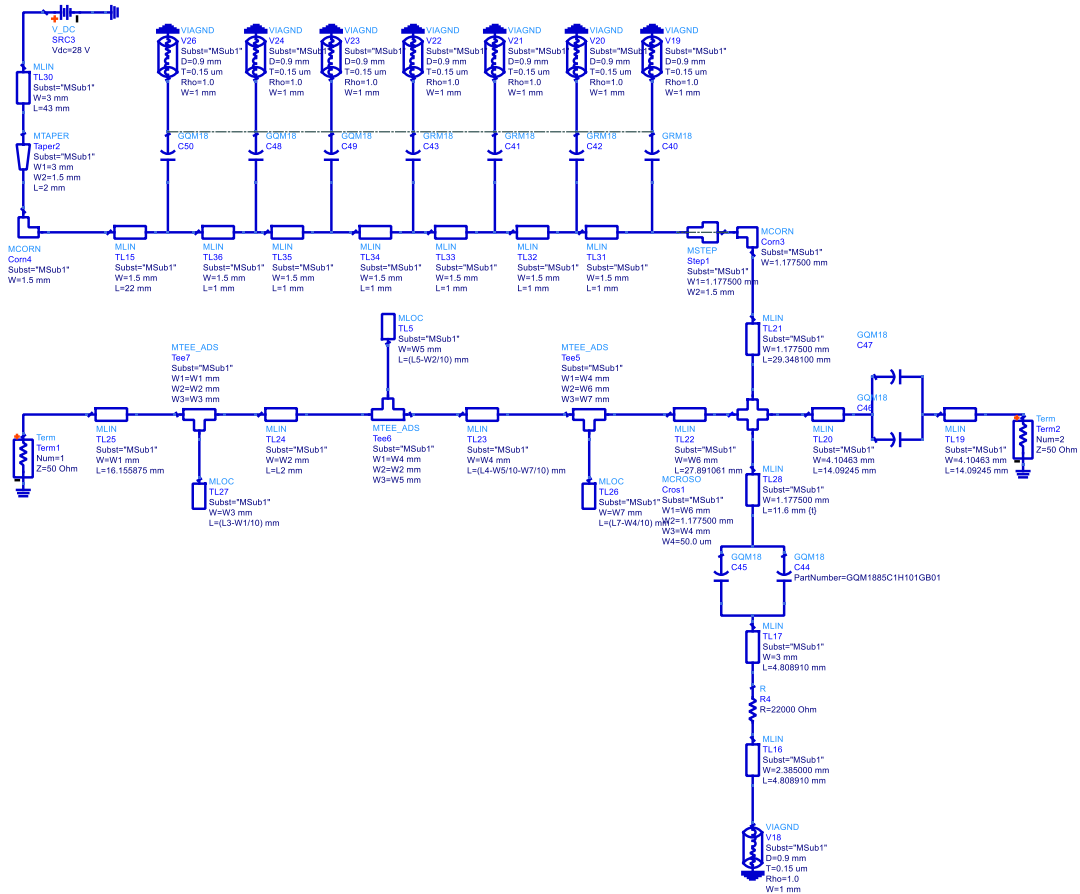


Figura 61.- Redes de acoplamiento, polarización y estabilización a la salida del transistor.

Simulación de la red de salida en Momentum de ADS

Antes de diseñar la red de entrada del amplificador, se creó el *layout* o diseño planar de la red de salida para llevar a cabo una cosimulación con la aplicación de onda completa Momentum de ADS. Así mismo, se añadieron planos de tierra y vías. El plano de tierra donde se conectarán los capacitores de desacoplamiento se muestra en la figura 62.



Figura 62.- Plano de tierra y vías (en azul claro) donde irán conectados los capacitores de desacoplamiento

Se incluyeron varias vías con el propósito de proveer un trayecto de baja impedancia hacia tierra para los capacitores de desacoplamiento.

La red completa en Momentum se muestra en la figura 63.

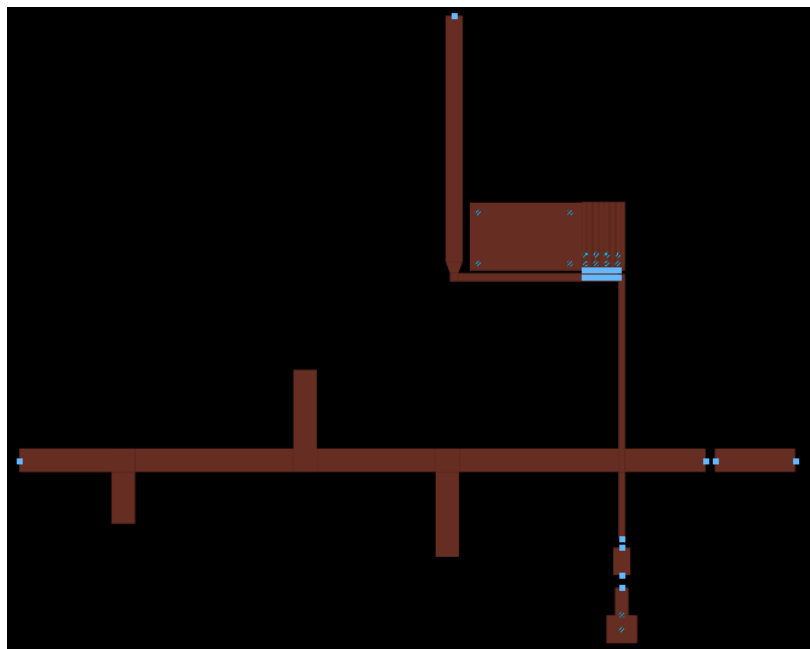


Figura 63.- Red de salida en Momentum de ADS

La impedancia que se debe presentar a la entrada del transistor debe ser el conjugado de Z_i , para ello se optó por utilizar una red simple de *stub* y línea para proporcionar el coeficiente de reflexión requerido a la entrada, para ello se realizó un proceso similar de diseño que el realizado en la red de salida. La figura 65 muestra la red de acoplamiento de entrada, junto con la línea de alimentación (TL2) de la siguiente etapa.

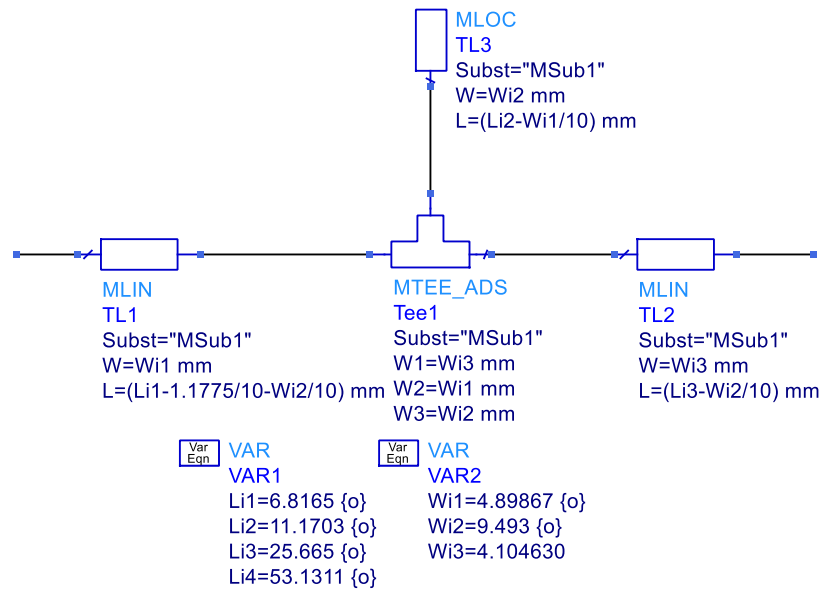


Figura 65.- Red de acoplamiento de entrada

Red de polarización de entrada.

Se realizó una red de polarización de entrada muy similar a la realizada en la salida, sin embargo se adicionó una resistencia en serie con la línea de alimentación, esta resistencia cumple dos propósitos, ayuda a evitar que ingrese RF a la fuente de alimentación, además no afecta en gran medida la polarización puesto que la corriente que fluye por la compuerta de un HEMT es muy pequeña, la segunda función que cumple es como red de estabilización, ya que ayuda a evitar las oscilaciones no deseadas.

La línea de polarización de entrada se colocó a la izquierda de la red de acoplamiento, esto con el propósito de afectar en menor medida el coeficiente de reflexión proporcionado por la red de acoplamiento. El voltaje de C.D. utilizado para polarizar la compuerta del transistor se seleccionó en -3V, este voltaje corresponde al voltaje de "pinch-off" del transistor, asegurando así una operación en clase B/F.

La red de polarización completa se muestra en la figura 66

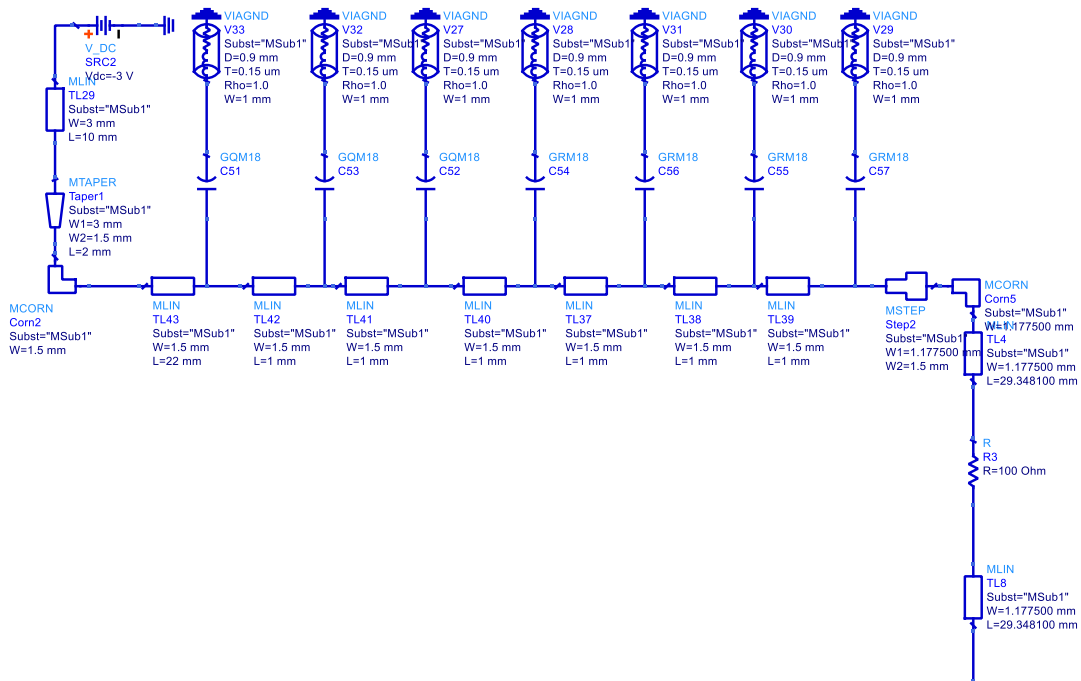


Figura 66.- Red de polarización de entrada

Redes de estabilización a la entrada

Se utilizaron dos redes de estabilización a la entrada del amplificador, con el fin de estabilizar al transistor dentro y fuera de banda. La primera red de estabilización consta de una resistencia en paralelo con un capacitor, colocados en serie con la entrada. Mediante una parametrización de los valores del capacitor y la resistencia, se obtuvo un factor de estabilidad superior a 1 utilizando un capacitor de 2 pF y una resistencia de 470 Ω , esta red junto con sus líneas de alimentación (TL6 y TL7) se muestra en la figura 67

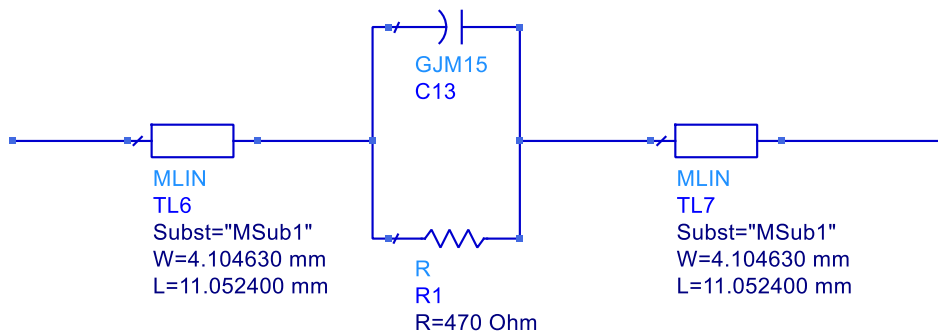


Figura 67.- Red de Estabilización de Entrada

La segunda red de estabilización consta de una resistencia de $10\ \Omega$ en derivación, esta red se asemeja mucho en su diseño a la red de estabilización conectada a la salida del transistor, una vez más se agregaron capacitores de acoplamiento de $100\ \text{pF}$ con el fin de bloquear la componente de C.D. y así evitar una mayor disminución de eficiencia. Esta red se muestra en la figura 68.

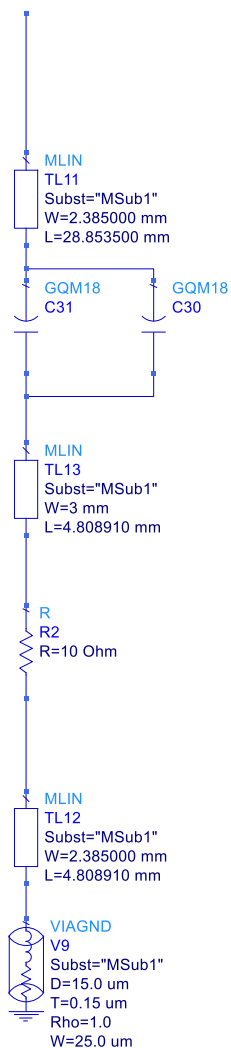


Figura 68.- Red de estabilización a la entrada

Una vez colocadas las todas las redes en el circuito, se optimizó la red de acoplamiento con el propósito de obtener una alta eficiencia. La red de entrada terminada se muestra en la figura 69.

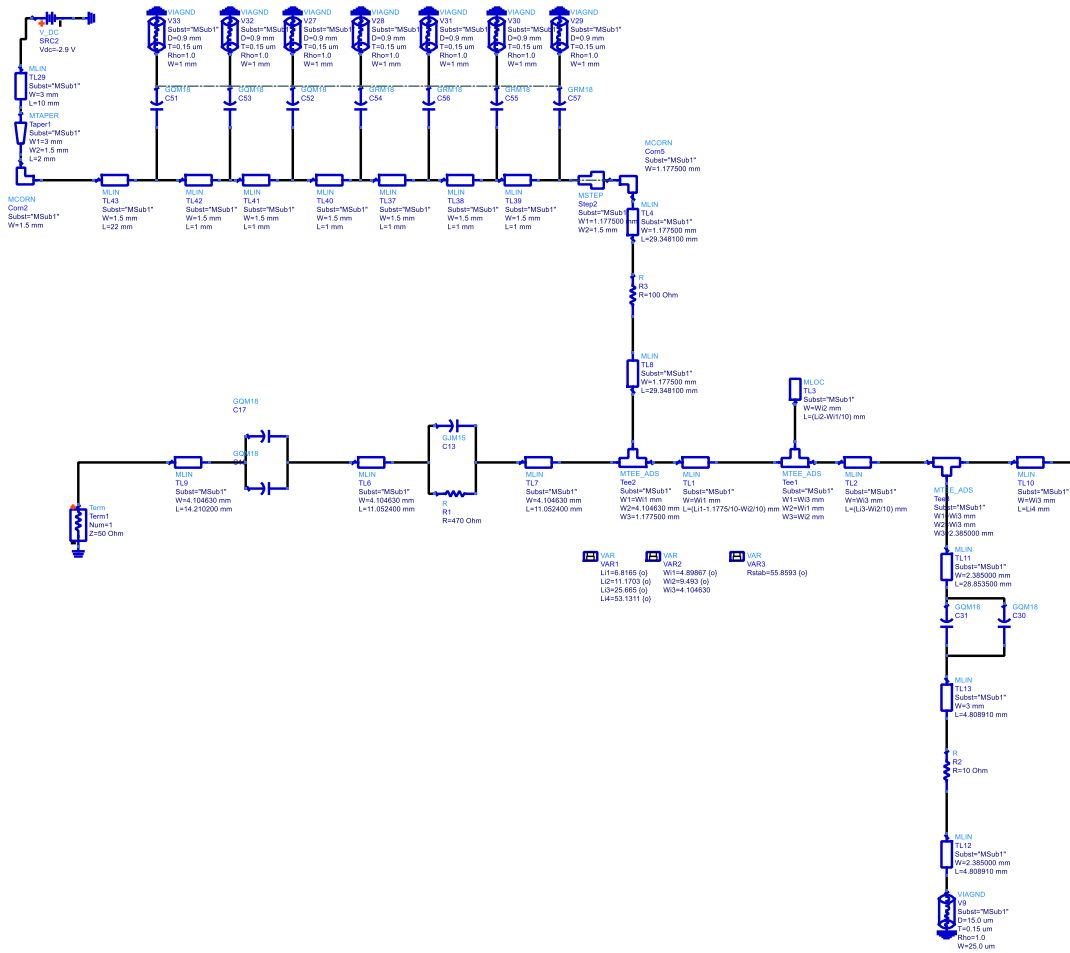


Figura 69.- Red de entrada del amplificador

Al finalizar ambas redes: la de entrada y de salida, se unieron ambas redes y se hizo una simulación de onda completa en Momentum de ADS, esto permite obtener una simulación bastante cercana al resultado final. El amplificador completo se muestra en la figura 70.

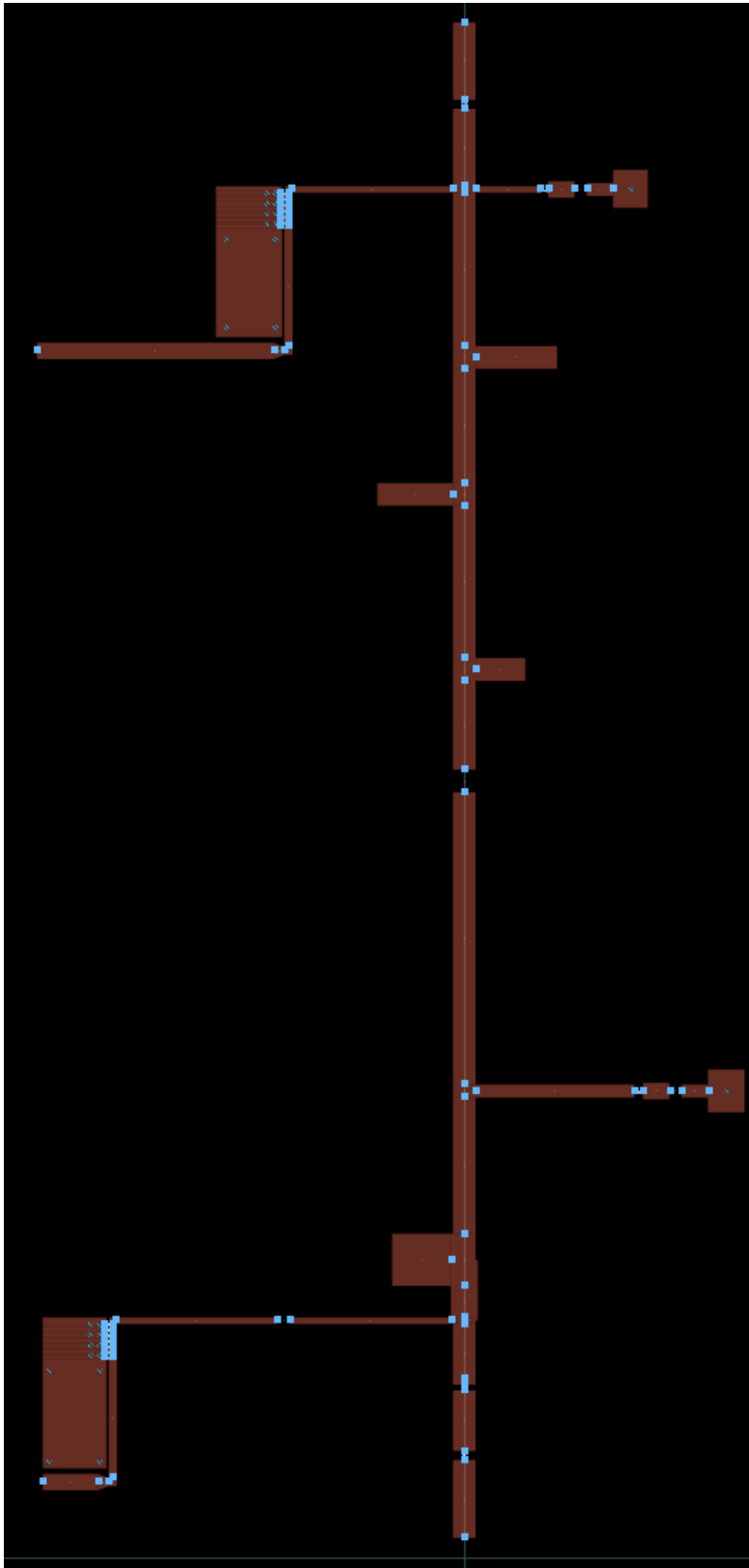


Figura 70.- Amplificador Completo

Resultados simulados

Se inyectó una señal de 28 dBm a la entrada del amplificador, la figura 71 muestra la forma de onda del voltaje a la salida en el plano del empaquetado del transistor, de la figura 71 se puede observar una amplitud de aproximadamente 55V, aunque la forma de onda dista bastante de ser la forma de onda cuadrada requerida por el amplificador clase F, esto no representa ningún problema ya que lo que se busca es que en el plano intrínseco se obtenga una onda con características similares a las de una onda cuadrada.

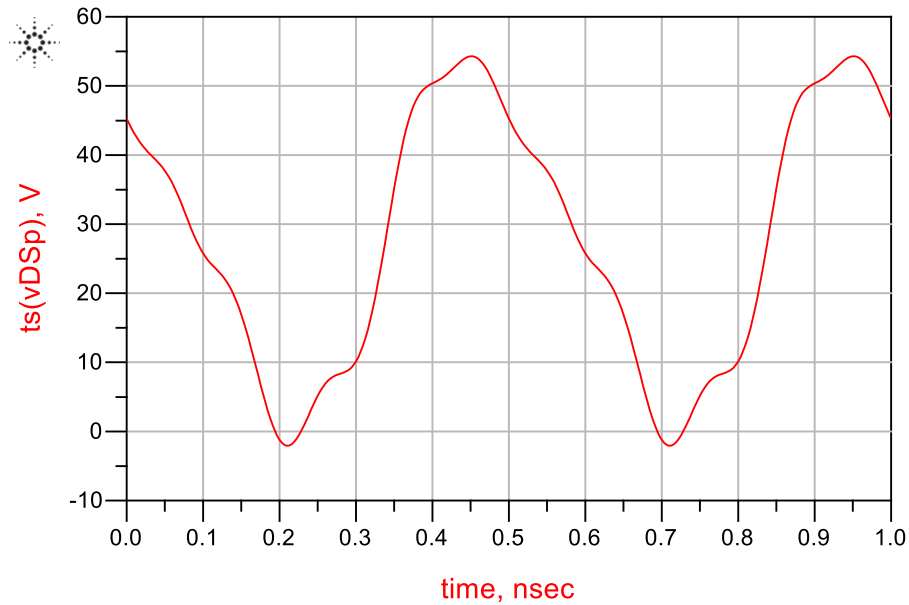


Figura 71.- Forma de onda del voltaje en el plano del empaquetado

El modelo de CREE permite medir la corriente y el voltaje en el plano intrínseco, la figura 72 muestra la forma de onda del voltaje en el plano intrínseco, es evidente que la forma de onda representa claramente un amplificador clase F. La onda presenta características similares a las de una onda cuadrada, sin embargo, puesto que únicamente se presentó una terminación armónica para el tercer armónico, la forma de onda no es completamente una onda cuadrada, esta característica es típica de los amplificadores clase F más comunes.

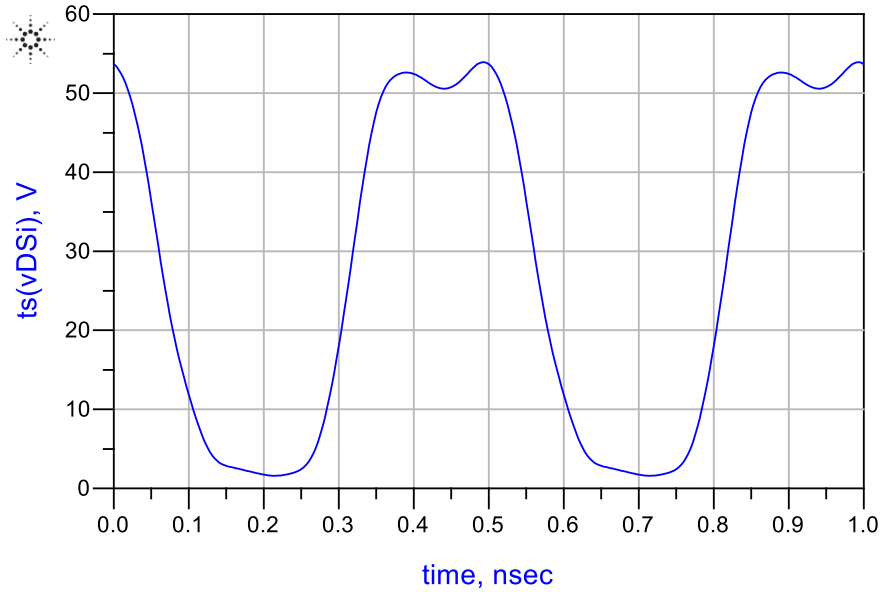


Figura 72.- Forma de onda del voltaje en el plano intrínseco

De manera similar, en las figuras 73 y 74, se presentan las formas de onda de la corriente en el plano del empaquetado y el plano intrínseco, resulta importante observar que el plano intrínseco, la forma de onda de la corriente presenta cualidades similares a las de una señal senoidal con rectificación de media onda, lo cual representa una característica típica de los amplificadores clase B y clase F.

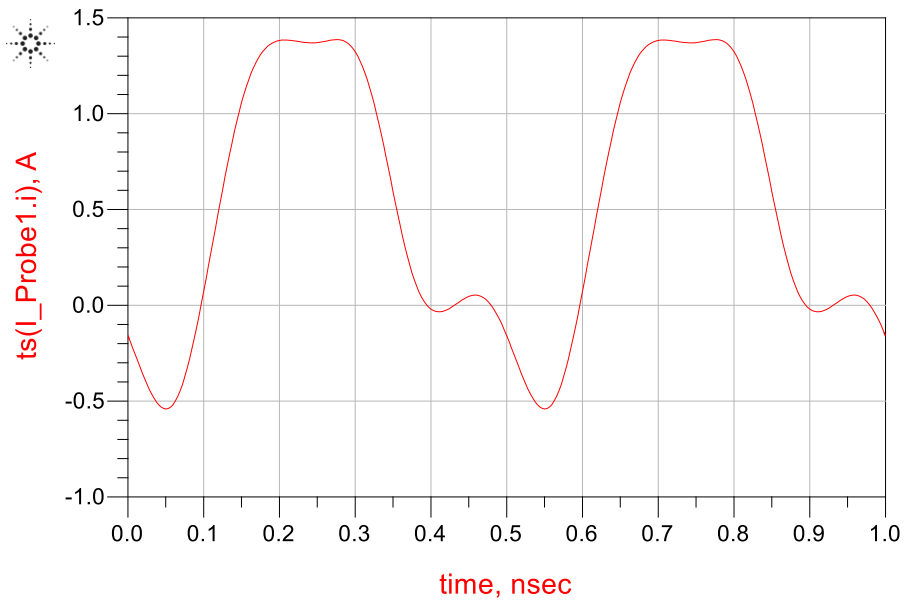


Figura 73.- Forma de onda de la corriente en el plano del empaquetado.

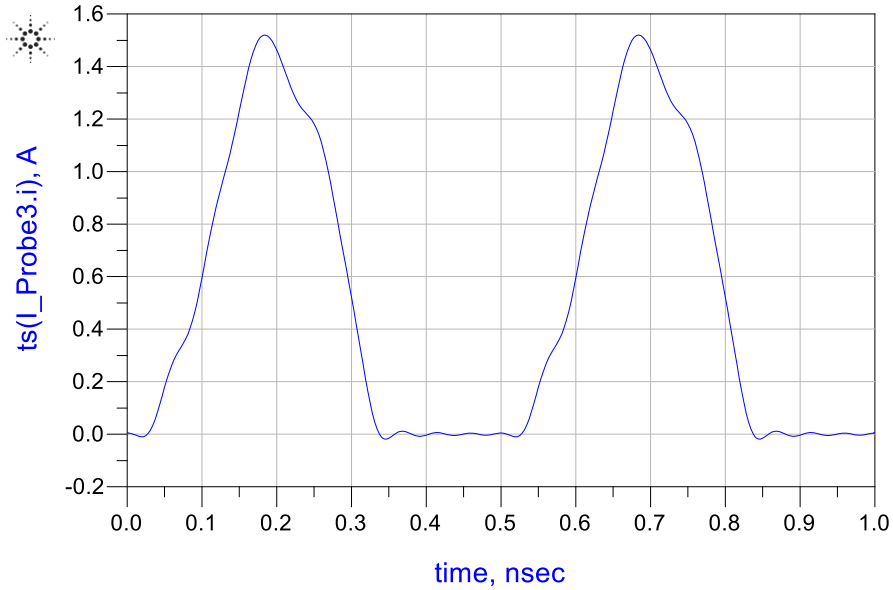


Figura 74.- Forma de onda de la corriente en el plano intrínseco

La potencia desarrollada por el amplificador fue de 10.837 W, lo cual corresponde a una salida de 40.35 dBm, estas cifras representan una ganancia de transductor de 12.35 dBm. Así mismo, la eficiencia de drenaje desarrollada es del 75.6 %, mientras que la PAE es de 72.8 %, estas cifras se resumen en la tabla 7.

Tabla 7.- Potencia de salida, Eficiencia y PAE

Potencia de Salida	Eficiencia	PAE
40.3 dBm	75.6 %	72.8 %

Para concluir, en las figuras 75, 76 y 77 se presentan los gráficos correspondientes al factor de estabilidad μ , el factor K y su determinante. Se puede apreciar que en el rango que abarca desde los 0 hasta los 10 GHz los factores de estabilidad se encuentran por encima de la unidad, mientras que el determinante se encuentra menor a 1, esto significa que el amplificador es incondicionalmente estable, dentro y fuera de banda.

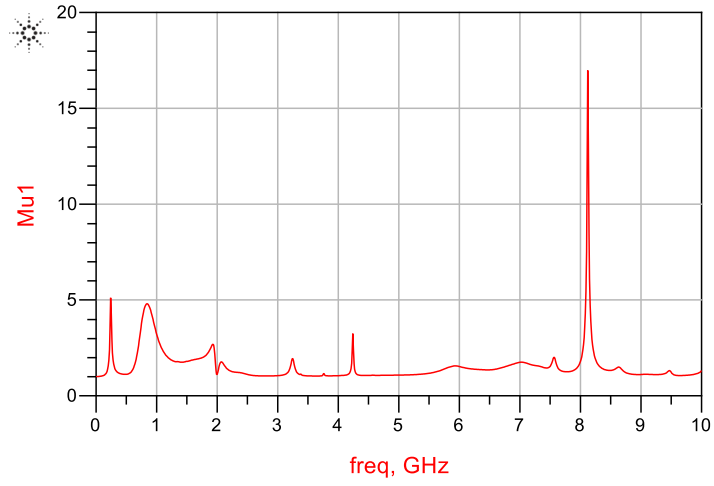


Figura 75.- Factor de estabilidad μ

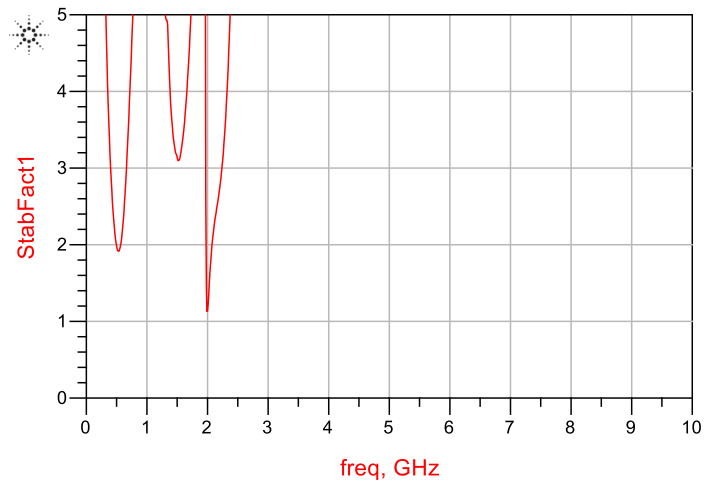


Figura 76.- Factor de estabilidad K

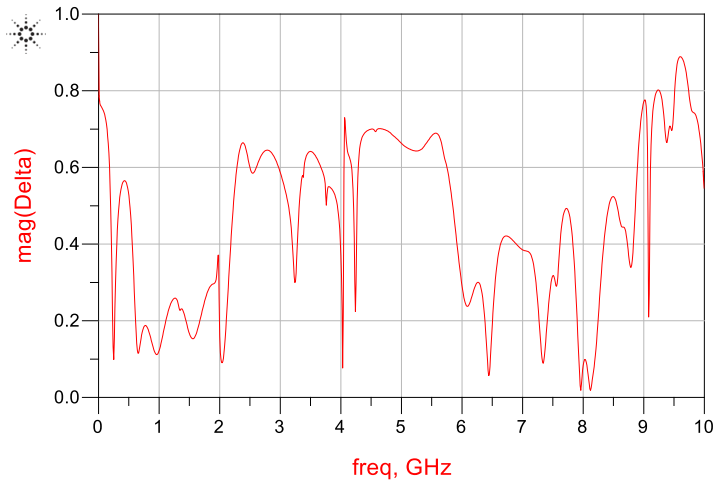


Figura 77.- Determinante de la matriz de dispersión

Segundo diseño de un amplificador clase F

Se realizó el diseño de un segundo amplificador, para ello se seleccionó el transistor NE3210S01 de CEL, se trata de un transistor de GaAs, el cual lo vuelve un buen candidato en aplicaciones de menor potencia, en este caso, CEL proporciona un modelo a señal grande del transistor, lo que permitió realizar las simulaciones, sin embargo, a diferencia del amplificador diseñado con el transistor CREE, el modelo del transistor de CEL no permite realizar mediciones en el plano intrínseco del transistor, únicamente en el plano del empaquetado, por lo tanto, se tuvo que seguir otra filosofía de diseño distinta a la realizada en el amplificador previo. El diseño del amplificador anterior requería utilizar el modelo embebido de Angelov para poder determinar las impedancias que deben ser presentadas al empaquetado de tal forma que en el plano intrínseco el amplificador opere en clase F, en el presente diseño no se cuenta con esta enorme ayuda, por lo que se tuvo que recurrir a otras técnicas de diseño como lo es el *Load-Pull*.

El transistor NE3210S01 es un HEMT de GaAs, una de sus características es que permite un voltaje máximo en su drenaje de 4V, por lo tanto, el diseño del amplificador será de baja potencia, pero que puede tener aplicaciones interesantes en aplicaciones móviles. Se pretende obtener una potencia de salida aproximada de +10 dBm y eficiencias similares a las obtenidas con el transistor CREE. La frecuencia seleccionada de operación será de 2 GHz, lo cual implica proporcionar terminaciones armónicas a la salida a 4 y 6 GHz a la salida del transistor.

El diseño de este amplificador tuvo la ventaja de contar con la experiencia aprendida en el primer diseño, por lo tanto, se hicieron modificaciones importantes que benefician al funcionamiento y desempeño del mismo. El diseño de las redes de entrada se basa en el mismo principio del amplificador anterior, es decir se realizará una red de salida que proporcione las terminaciones armónicas necesarias para la operación en clase F del transistor, de manera similar se diseñará la red de entrada de tal forma que se obtenga la mayor transferencia de potencia hacia el amplificador y una alta eficiencia. Así mismo, se adicionarán redes de polarización de entrada y de salida, y redes de estabilización para evitar oscilaciones.

Load-Pull

El primer paso en el diseño de este amplificador fue realizar un *Load-Pull* con el fin de determinar las impedancias óptimas que se deben presentar al amplificador y obtener así una alta eficiencia. La técnica de *Load-Pull* consta típicamente de un proceso de prueba y error, en el cual se hace un barrido de las impedancias en la carta Smith mientras se monitorea la potencia de salida, la eficiencia y el PAE (*Power Added Efficiency*) del amplificador, esto permite realizar contornos de PAE

y de Potencia para seleccionar de manera más conveniente el punto de operación del transistor.

Para llevar a cabo el *Load-Pull* en ADS se siguió el procedimiento presentado en [91], el cual consta básicamente en desarrollar un “*load tuner*” ajustable en el cual se pueda variar las impedancias de la fundamental, el segundo y el tercer armónico, así mismo se puede especificar una impedancia para la entrada de tal forma que se obtenga la máxima eficiencia.

Se realizó un barrido de la impedancia fundamental en la carta Smith como se muestra en la figura 78.

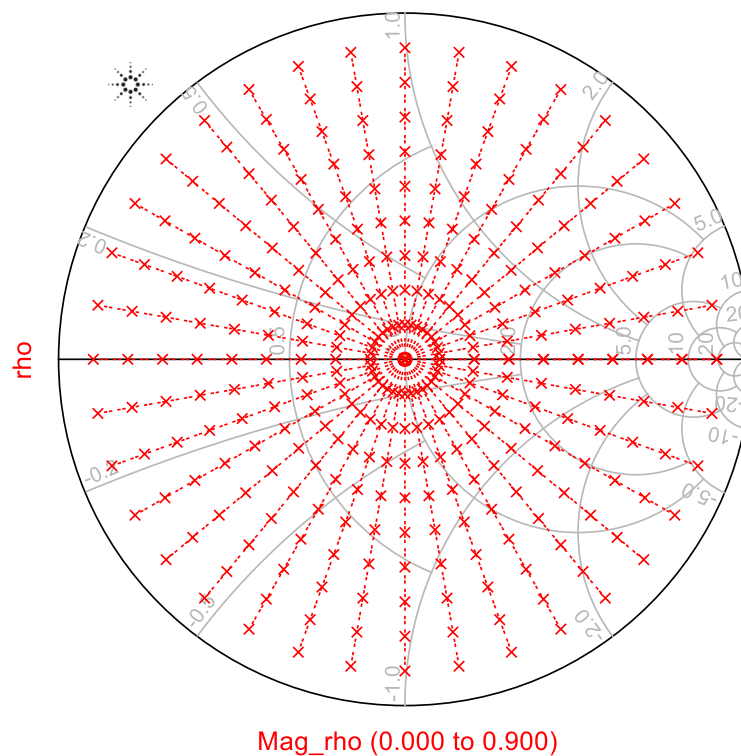


Figura 78.- Barrido de la carta Smith

Tras llevar a cabo el *Load-Pull* se pudieron trazar los contornos de potencia y de PAE que se muestran en las imágenes 79 y 80. En ellas, se puede apreciar que el punto de máxima PAE es de aprox. 75%, mientras que el punto de máxima potencia es de aproximadamente 13 dBm. En la elaboración de estos contornos se barrieron también el segundo y tercer armónico, y la impedancia de entrada hasta obtener la máxima eficiencia.

m1
 Mag_rho=0.628
 PAE_conts_forSmithCh=0.628 / 10.000
 level=75.137, number=1
 impedance = Z0 * (3.846 + j1.385)

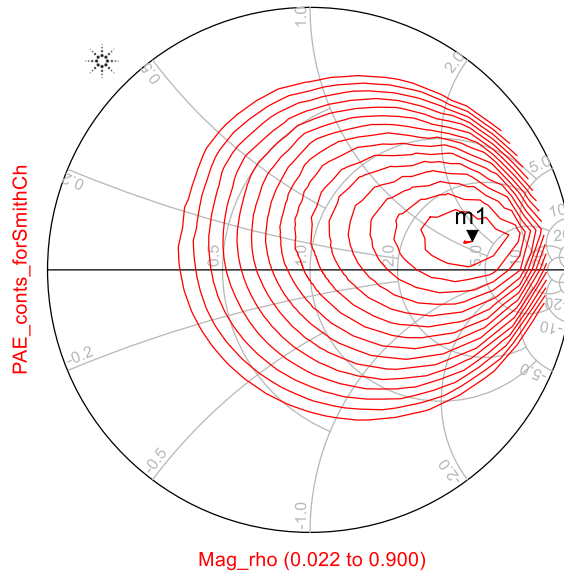


Figura 79.- Contornos de PAE

m2
 Mag_rho=0.225
 Pdel_conts_forSmithCh=0.225 / 102.524
 level=13.364, number=1
 impedance = Z0 * (0.827 + j0.383)

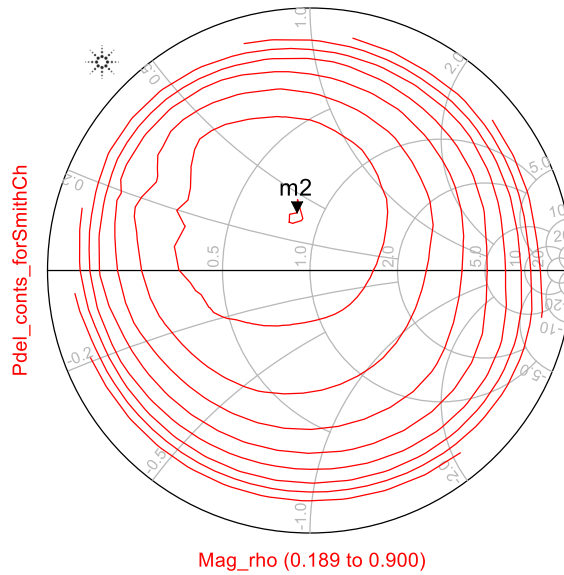


Figura 80.- Contornos de Potencia de Salida (en dBm)

Si se grafican los contornos de PAE y potencia de salida en una misma carta Smith se pueden ver las intersecciones entre ellos, en la figura 82 se puede observar que existe un marcador (m3) posicionado en un punto donde la PAE es de 69 % y la potencia es aproximadamente 12 dBm, esta interseccion representa un punto intermedio donde se consigue una buena PAE al mismo tiempo que una alta potencia de salida.

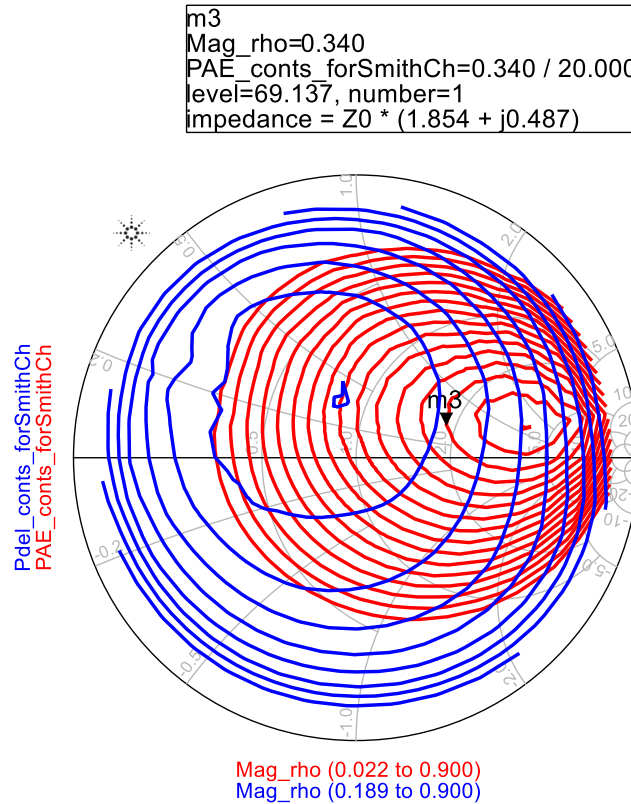


Figura 81.- Intersección de los contornos de potencia (en azul) y PAE (en rojo)

Red de acoplamiento de salida

El punto m3 en la figura 81 será seleccionado para diseñar la red de acoplamiento de salida, este punto representa la siguiente impedancia en la fundamental:

$$Z_f = 92.7 + j24.4 \Omega$$

O bien, expresada como coeficiente de reflexión:

$$\Gamma_f = 0.34 \angle 20^\circ$$

De manera similar, las impedancias obtenidas para el segundo y tercer armónico son:

$$Z_2 = 0 + j140 \Omega$$

$$Z_3 = 0 - j200 \Omega$$

O bien, expresadas como coeficientes de reflexión:

$$\Gamma_2 = 1 \angle 39.3^\circ$$

$$\Gamma_3 = 1 \angle -28.1^\circ$$

Utilizando estos valores se puede sintetizar una red de acoplamiento a la salida. Una vez más, se seleccionó una red que divide el problema en partes, es decir, constará de una sección encargada de proveer el coeficiente de reflexión requerido para el tercer armónico, otra sección para el segundo armónico y por último una sección para proveer el coeficiente de reflexión de la fundamental.

Las secciones encargadas de proporcionar las terminaciones armónicas para el tercer y segundo armónico constan de secciones de líneas de transmisión y *stubs* abiertos en derivación con una longitud eléctrica de 90° para cada armónico en cuestión. Una vez más, lo que se busca lograr con estos transformadores $\lambda/4$ es mantener la impedancia en el borde de la carta Smith, mientras que las líneas conectadas a estos transformadores proveen el ángulo requerido para la terminación armónica, logrando así un coeficiente de reflexión cuya magnitud es la unidad.

El paso siguiente consta de sintetizar la red de salida con las características deseadas, para ello, se siguió un procedimiento similar al realizado en el diseño anterior, es decir se comenzó por parametrizar la longitud eléctrica de la línea de transmisión encargada de proporcionar la terminación del tercer armónico, posteriormente se parametrizó la longitud eléctrica de la línea correspondiente al segundo armónico, y por último se seleccionaron las longitudes de la línea y *stub* correspondientes a la fundamental. Estas líneas se llevaron a cabo en microcinta, sin embargo, existe una diferencia notable: en el diseño anterior tanto las líneas de transmisión como los *stubs* poseen una impedancia característica de 50Ω , mientras que en el presente diseño se mantuvo la impedancia característica de las líneas en 50Ω , pero para los *stubs* se seleccionó una impedancia característica de 75Ω , esto con el propósito de que los *stubs* fueran más delgados, esto se debe a la observación realizada por el autor, que cuando el diseño en microcinta se convierte a su equivalente en Momentum, se obtiene una mejor congruencia en

los resultados al disminuir el tamaño de las discontinuidades causadas por los *stubs*.

El sustrato seleccionado para llevar a cabo la construcción de las líneas en microcinta fue el Rogers 4003C debido a sus bajas pérdidas y buenas propiedades dieléctricas. Las características principales de este sustrato se muestran en la tabla 8.

Tabla 8.- Propiedades del Sustrato Rogers 4003C

Grosor del dieléctrico:	20 mil
Constante dieléctrica (ϵ):	3.55
Factor de disipación ($\tan \delta$):	0.0021
Grosor del conductor:	17 μm de cobre electro depositado

En la red de acoplamiento de salida de este amplificador hay una diferencia notable respecto al primer diseño, y esa es que, en lugar de colocar la red de polarización posterior a la red de acoplamiento, se colocó en el mismo punto del tercer *stub* (el que corresponde a la terminación de la fundamental), una vez más se descubrió que al colocar la red de acoplamiento en esta posición, se reduce su interacción con el resto de la red de acoplamiento. La red de acoplamiento se muestra en la figura 82.

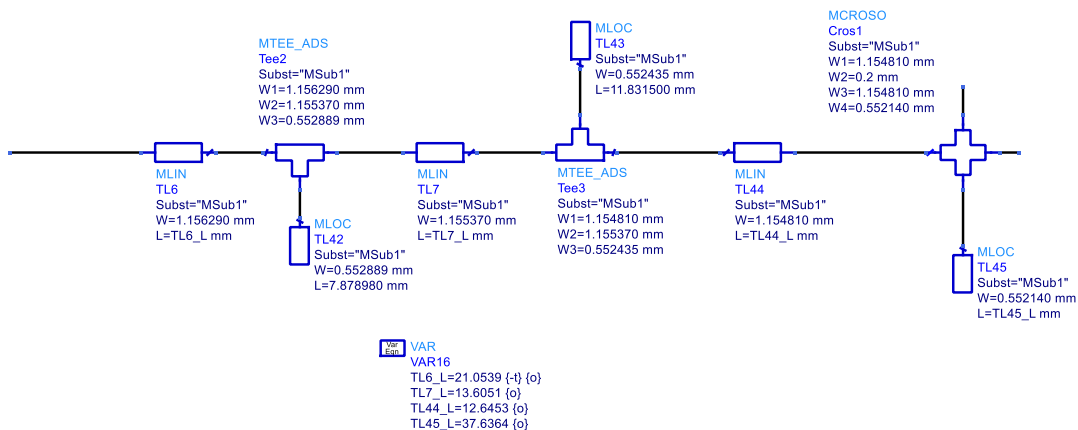


Figura 82.- Red de acoplamiento de salida

Red de polarización de salida

La red de polarización a la salida es muy similar a la realizada en el primer diseño, sin embargo, se encontró que si se colocaban menos capacitores de desacople, la diferencia era mínima, por lo tanto, se seleccionaron capacitores de $1\ \mu\text{F}$, $6800\ \text{pF}$ y $39\ \text{pF}$. La línea de transmisión que se conecta directamente al punto del tercer *stub* de la red de acoplamiento se seleccionó una vez más con una longitud eléctrica de 90° , y para reducir la interacción de esta red de polarización con la red de acoplamiento, el ancho de la línea de alimentación se seleccionó de $200\ \mu\text{m}$, esto es permisible puesto que la potencia de salida es baja y no se requiere de líneas anchas.

El voltaje de polarización sugerido por el fabricante es de $2\ \text{V}$, sin embargo, se seleccionó un voltaje de $1.9\ \text{V}$ para evitar que la onda de salida sobrepase los $4\ \text{V}$ de amplitud, los cuales representan el voltaje máximo de ruptura establecido por el fabricante del transistor. La figura 83 muestra esta red de polarización de salida.

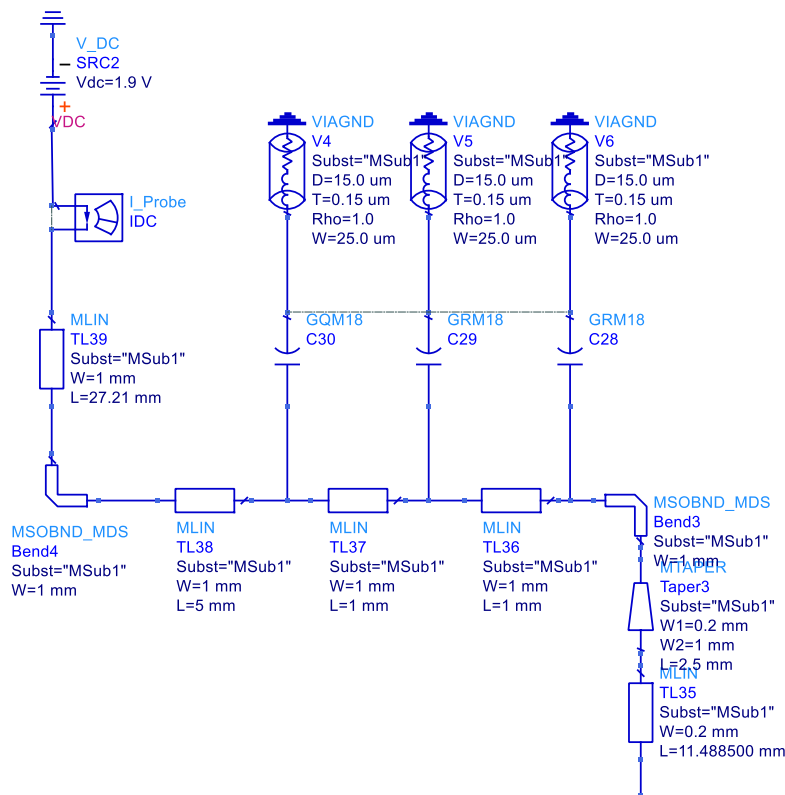


Figura 83.- Red de polarización de salida

Por último, se colocaron líneas de alimentación y un capacitor de acoplamiento de 100 pF, las cuales se muestran en la figura 84.

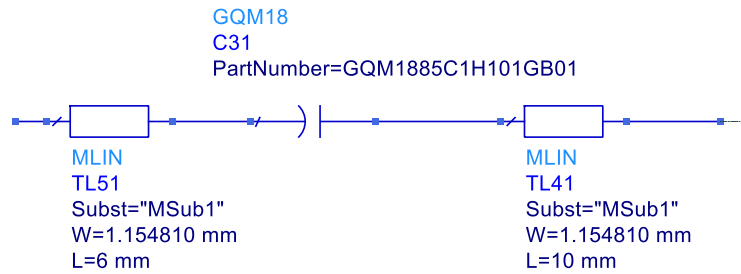


Figura 84.- Líneas de alimentación y capacitor de acoplamiento de salida

La red de salida completa se muestra en la figura 85, obsérvese que la red de polarización se encuentra conectada en el mismo punto que el tercer stub.

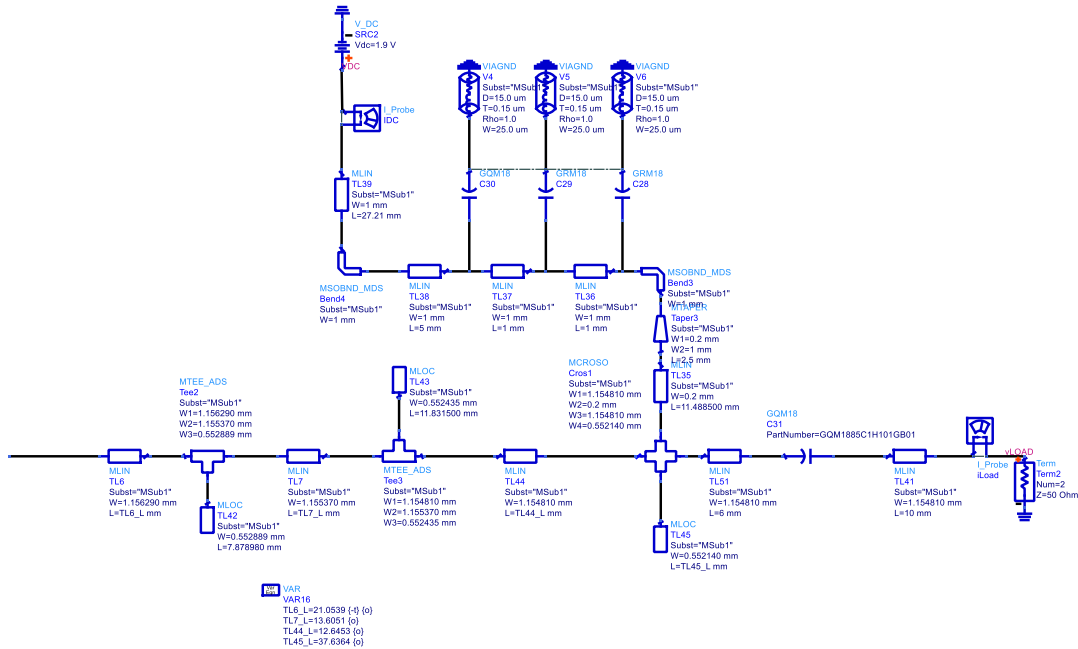


Figura 85.- Red de salida

Una vez completada la red en microcinta se trasladó el diseño a Momentum, con el propósito de realizar una simulación de onda completa. Se añadieron planos de tierra para los capacitores de desacople y si incluyeron vías. La red de salida completa se despliega en la figura 86, obsérvese que los stubs son más delgados que las líneas principales, debido a su mayor impedancia característica, también

obsérvese que la línea de polarización es bastante delgada, disminuyendo las discontinuidades.

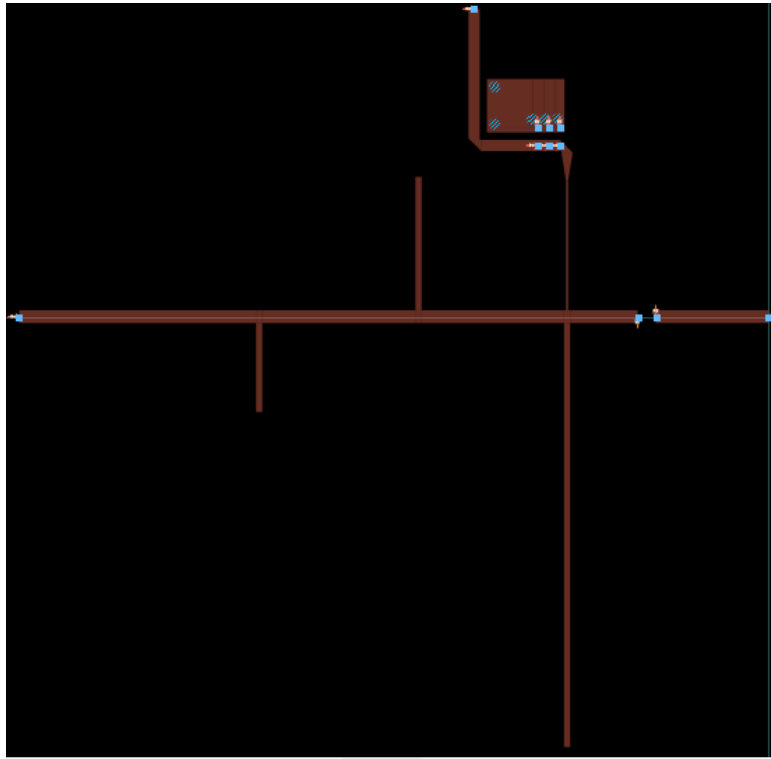


Figura 86.- Red de salida en Momentum

Red de acoplamiento de entrada

La red de acoplamiento de entrada es una parte muy importante en los amplificadores de potencia. A diferencia del diseño anterior, en esta ocasión tampoco se cuenta con un modelo embebido que permita determinar la impedancia que debe ser presentada a la entrada del transistor, para obtenerla se recurrió al *Load-Pull*, la impedancia con la cual se obtuvo la mayor potencia y eficiencia es la siguiente.

$$Z_i = 80 + j380 \Omega$$

O bien, expresada como coeficiente de reflexión

$$\Gamma_i = 0.9 \angle 14.4^\circ$$

La arquitectura que se seleccionó para realizar la red de acoplamiento de entrada es de doble *stub* con línea de transmisión, una vez más se optó por colocar la línea de polarización en el punto del primer *stub* (el que se encuentra más hacia la izquierda) esto con el fin de perturbar en menor medida la red de acoplamiento, se

agregaron dos redes de estabilización y se optimizó la red completa para obtener la máxima eficiencia y la potencia de salida deseada. El prototipo en microcinta de la red de acoplamiento se muestra en la figura 87. Una vez más se seleccionó una impedancia característica de 50Ω para las líneas de transmisión, mientras que para los *stubs* se especificó una impedancia característica de 75Ω con el fin de disminuir las discontinuidades y lograr una simulación de onda completa en Momentum que no varíe mucho respecto a la simulación hecha en el simulador circuital de ADS.

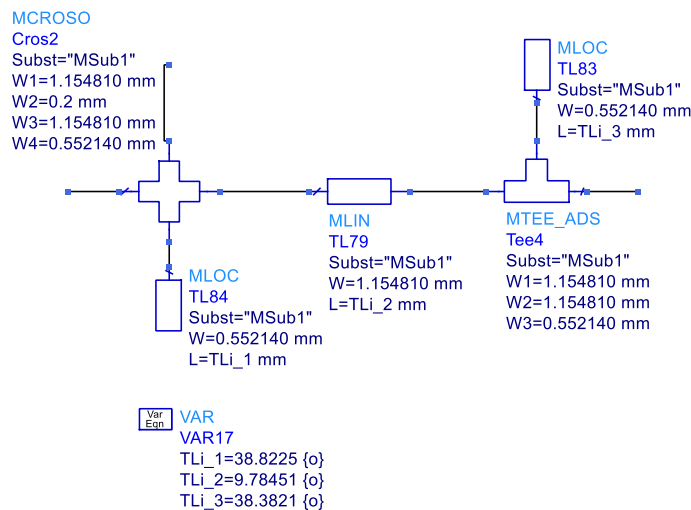


Figura 87.- Red de acoplamiento de entrada

Red de polarización de entrada

Se desarrolló la red de polarización de entrada, la cual es la encargada de proporcionar el voltaje negativo a la compuerta del transistor. La red de polarización a la entrada es muy similar a la red de polarización de salida, con la notable diferencia que se incorpora una resistencia de 560Ω en serie con la línea de alimentación, la cual cumple las funciones de estabilización del transistor, y, además, provee una trayectoria de mayor impedancia para la señal de RF, disminuyendo así las posibilidades de inyectar una señal de RF a la fuente de C.D. El valor de esta resistencia fue seleccionado mediante una parametrización de su valor, al mismo tiempo que se monitoreaba el factor de estabilidad del amplificador.

La red de polarización de entrada se conectó en el mismo punto que el primer stub correspondiente a la red de acoplamiento. El colocar la red de polarización en este punto reduce su interacción con la red de acoplamiento.

A la línea de alimentación de C.D. se añadieron capacitores de desacoplamiento en derivación, estos capacitores funcionan como corto circuito para RF, mientras que desde la perspectiva de C.D., estos capacitores son virtualmente circuitos abiertos. Los capacitores seleccionados para la red de polarización de entrada son los mismo que los que se utilizaron para la red de salida, es decir, se trata de capacitores de 1 μ F, 6800 pF y 39 pF.

El voltaje de polarización de C.D. de la compuerta se seleccionó en -0.8 V, con base en mediciones experimentales se determinó que el voltaje de *pinch-off* del transistor se encuentra entre -0.8 y -0.7V, polarizar el transistor en este valor permite la operación en modo clase B/F.

La red de polarización de entrada se muestra en la figura 88.

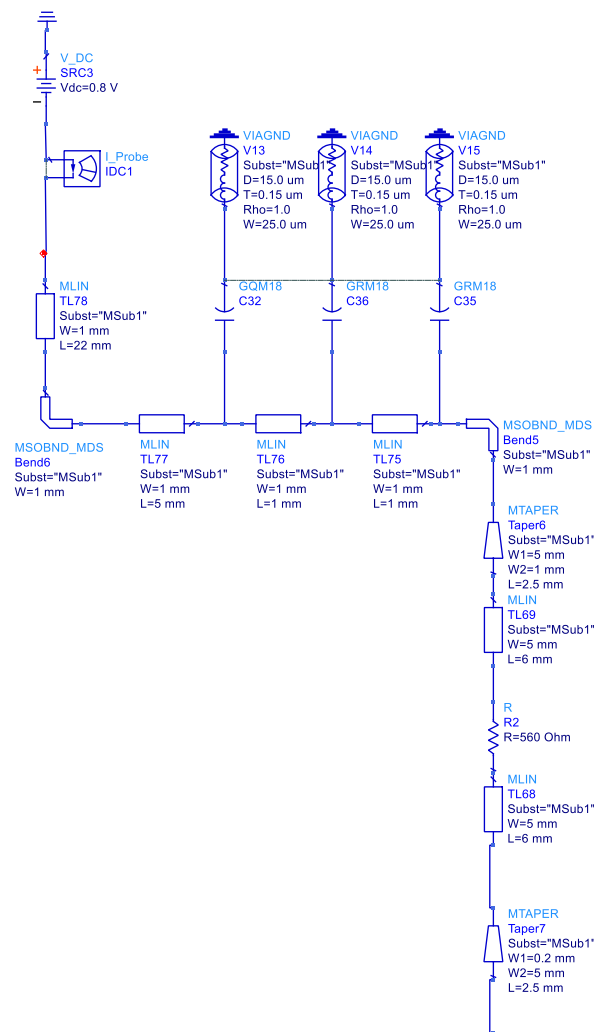


Figura 88.- Red de polarización de entrada

Redes de estabilización a la entrada

Con el fin de estabilizar al transistor dentro y fuera de banda, se recurrió al uso de dos redes de estabilización colocadas a la entrada del amplificador, la primera de las redes consta de una resistencia en serie con la compuerta, mientras que la segunda red consta de una resistencia en derivación. La resistencia de estabilización en serie se colocó prácticamente a la entrada del amplificador, antes de los capacitores de acoplamiento (DC Blocks), a partir de simulaciones se determinó que colocarlo en esta posición incrementa la efectividad de la resistencia sobre el factor de estabilidad. El valor de esta resistencia determinado mediante simulaciones es de $3\ \Omega$. La resistencia de estabilización en serie, junto con sus líneas de alimentación se muestran en la figura 89.

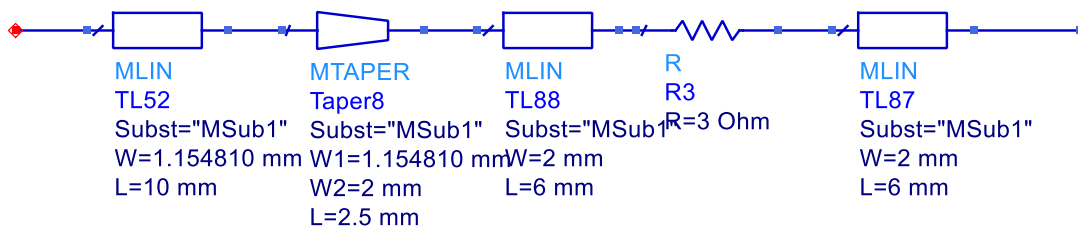


Figura 89.- Red de estabilización en serie con la entrada.

La siguiente red de estabilización consta de una resistencia de $110\ \Omega$ en derivación colocada cerca de la compuerta del transistor, en serie con esta resistencia se encuentra un capacitor de desacoplamiento, cuyo objetivo es bloquear la componente de directa para no reducir la eficiencia del amplificador al existir un consumo indeseado de C.D. por parte de la resistencia. El valor de esta resistencia fue seleccionado mediante su ajuste, mientras que se monitoreaba el factor de estabilidad. La red de estabilización en derivación se muestra en la figura 90.

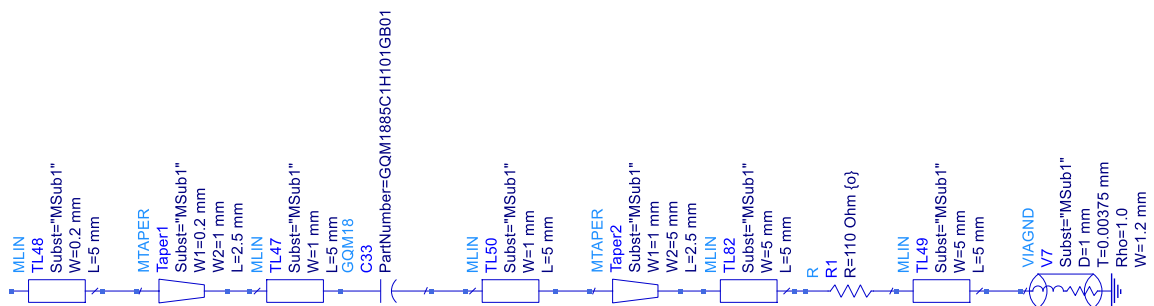


Figura 90.- Red de estabilización en derivación

Una vez que se colocaron todos estos elementos en la red de entrada, se optimizó la red de acoplamiento de entrada con el fin de obtener una mayor eficiencia y potencia a la salida. La red completa se muestra en la figura 91.

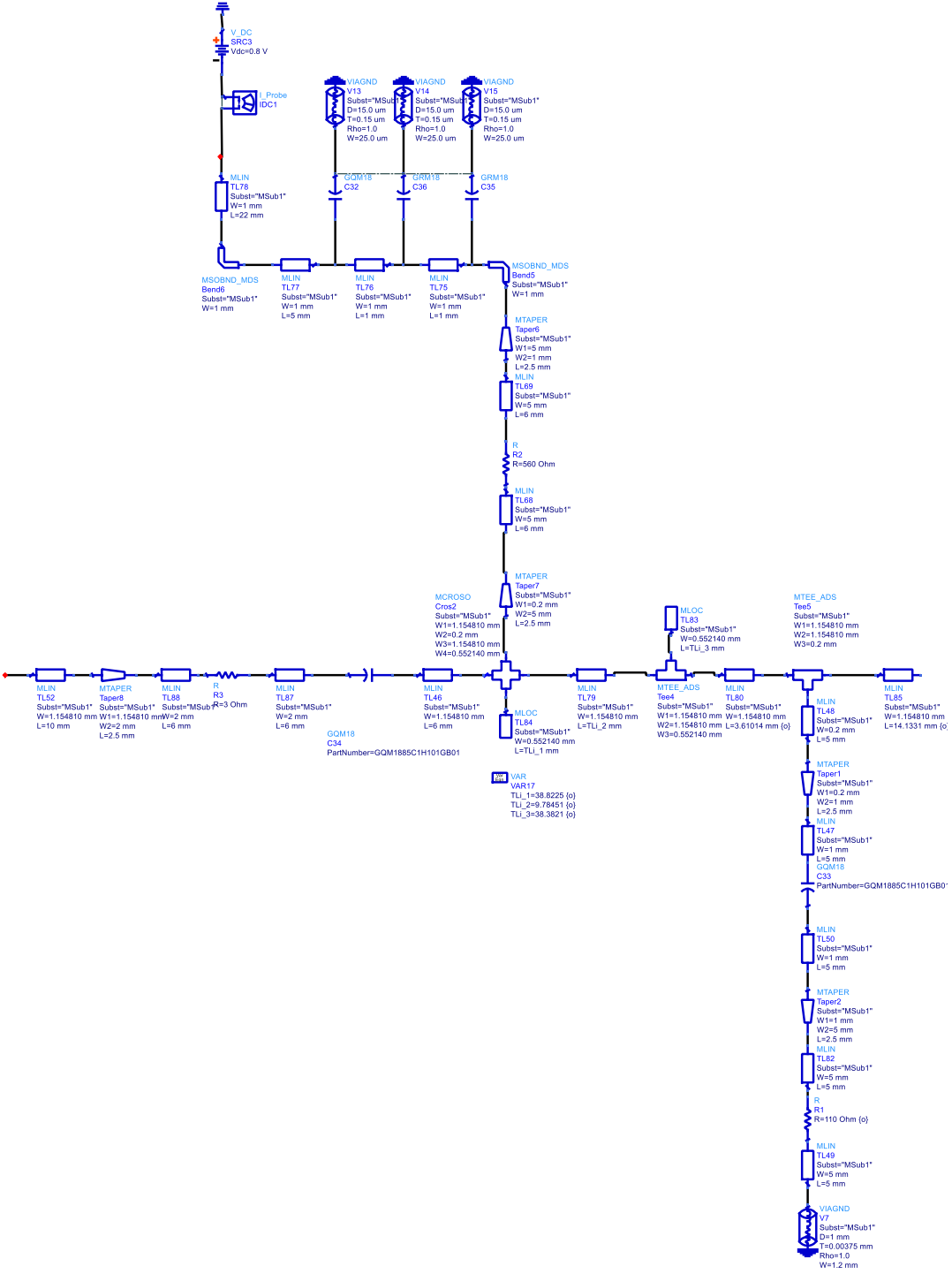


Figura 91.-Red de entrada

Al haber terminado las redes de entrada y de salida se llevó a cabo una simulación en Momentum de ADS. El amplificador completo en microcinta se muestra en la figura 92.

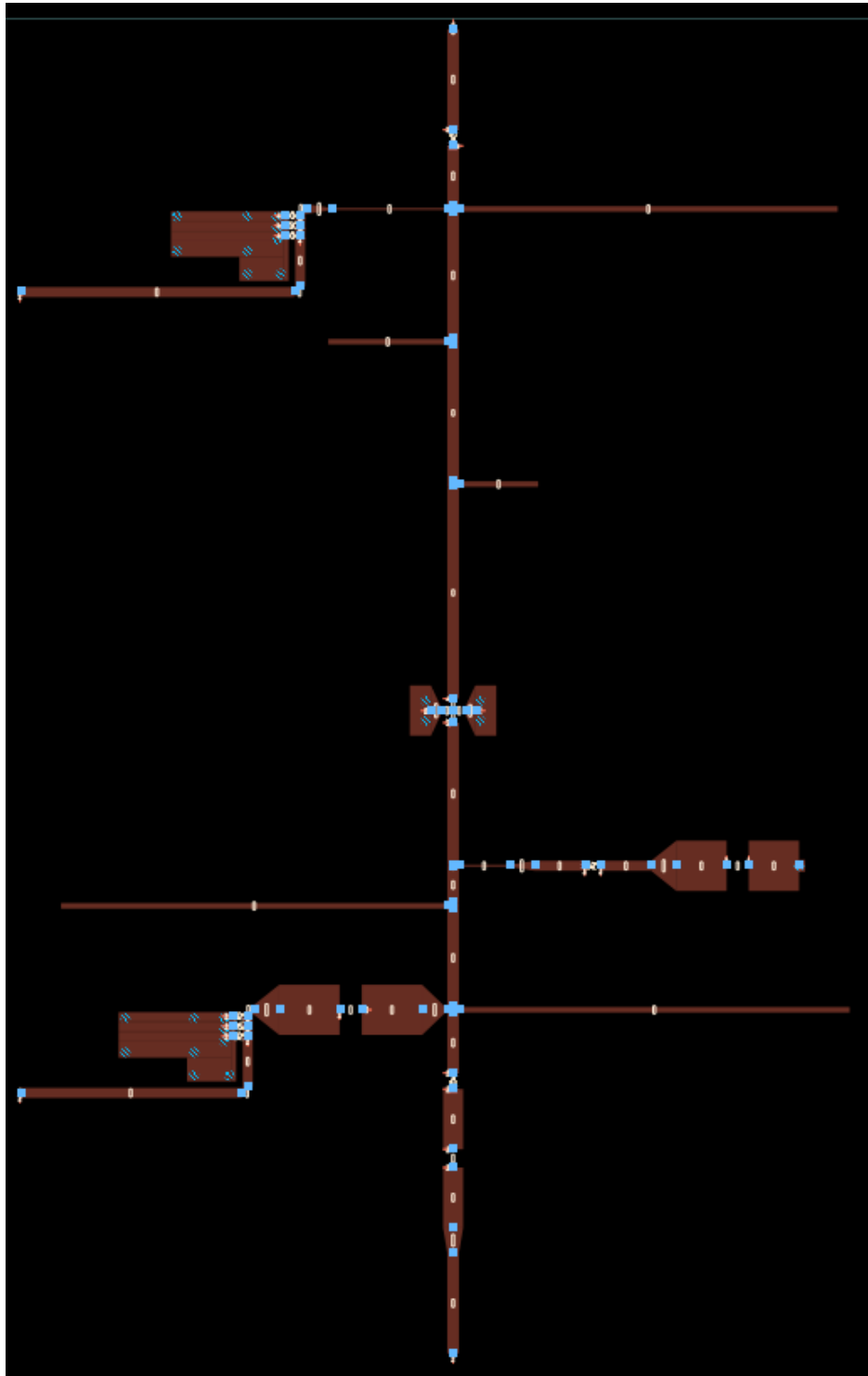


Figura 92.- Amplificador completo

Resultados simulados

Con base en una rutina de optimización se determinó que la señal de entrada que maximiza la PAE en el amplificador es de -2 dBm. Por tanto, se inyectó esta señal a la entrada del amplificador mientras que se monitoreaba la potencia de salida, la ganancia y PAE del amplificador. Los resultados de estos datos se muestran en la tabla 9.

Tabla 9 .- Resultados simulados

Eficiencia	PAE	Ganancia	Potencia de Salida
74.7%	70 %	12 dB	10 dBm

El voltaje de ruptura en el drenaje del transistor se encuentra especificado por el fabricante a 4V. En la figura 93 se puede observar la forma de onda del voltaje de drenaje del transistor, es evidente que la onda no sobrepasa en ningún momento los 4V especificados por el fabricante.

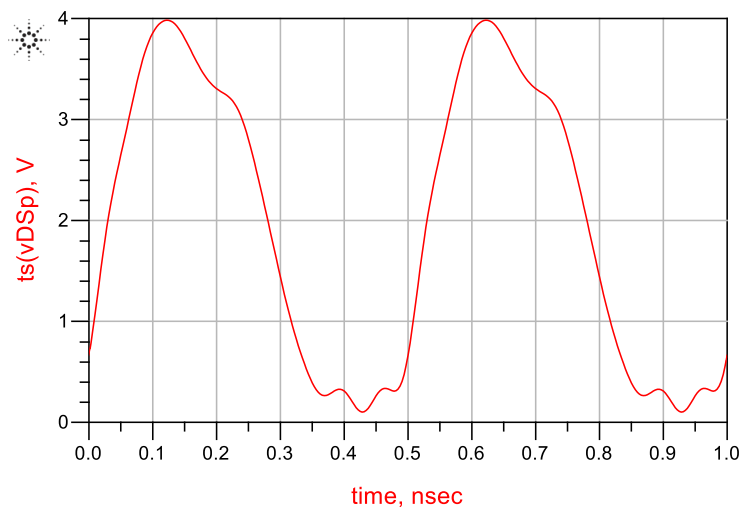


Figura 93.- Voltaje de drenaje a fuente del transistor

La corriente de drenaje se muestra en la figura 94.

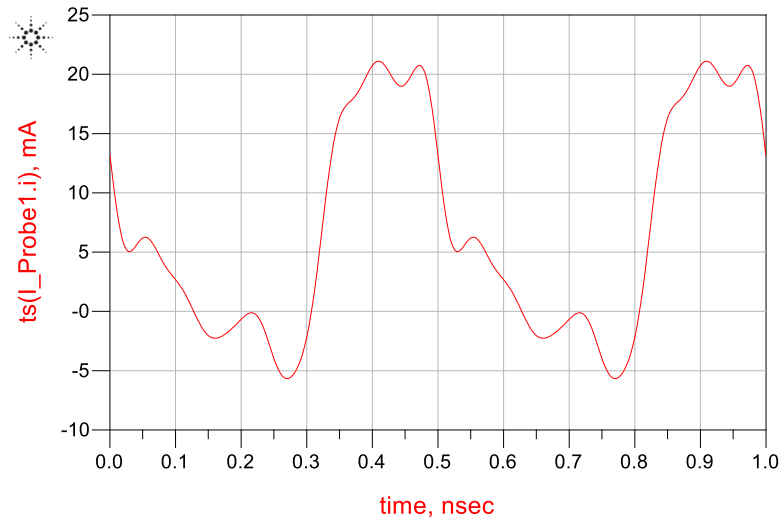


Figura 94.- Corriente de drenaje a fuente

Las imágenes 95, 96 y 97 muestran los factores de estabilidad y el determinante de la matriz de dispersión para el amplificador. Como se puede observar en estas imágenes, el amplificador es incondicionalmente estable dentro y fuera de banda.

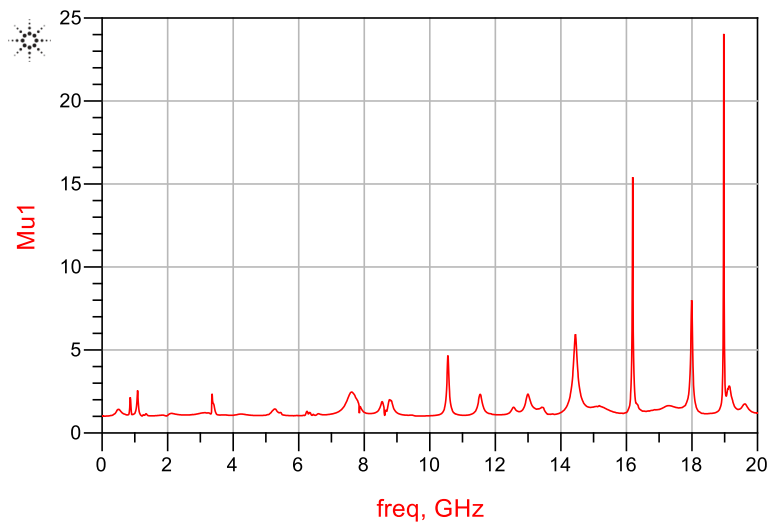


Figura 95.- Factor de estabilidad μ

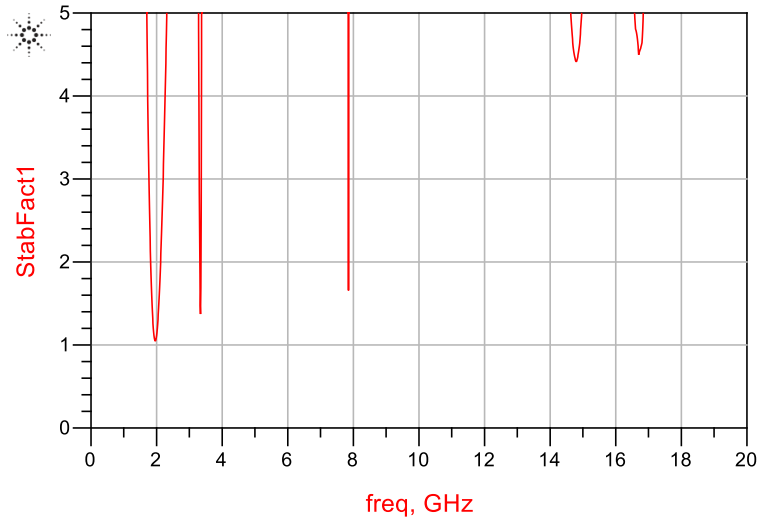


Figura 96.- Factor de estabilidad K

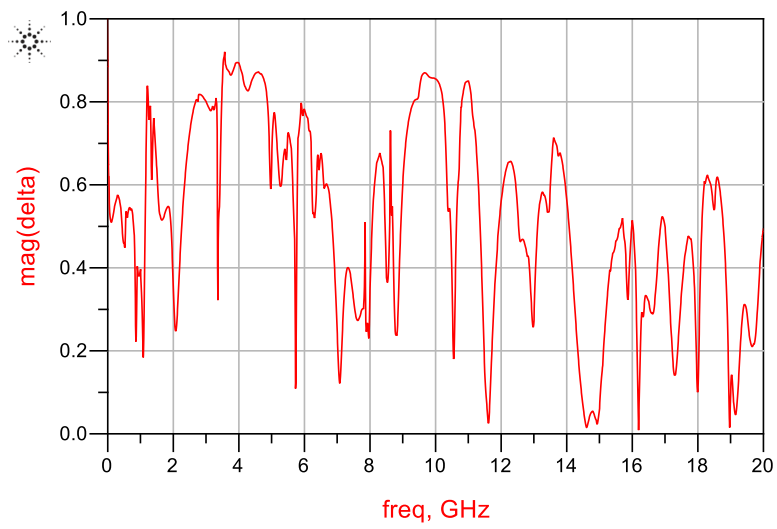


Figura 97.-Determinante de la matriz de dispersión

Capítulo IV:

Resultados

Experimentales

En este capítulo se detallarán aspectos sobre la construcción del segundo diseño de amplificador clase F presentado en el capítulo III, así como los diferentes resultados y mediciones experimentales obtenidos.

Medición de las curvas IV del transistor

Para comenzar, se llevaron a cabo mediciones de las curvas IV del transistor NE3210S01, para ello se utilizó un “test fixture” que sirve para colocar el transistor entre dos líneas de alimentación, este se muestra en la figura 98.



Figura 98.- Test fixture para el transistor

A los extremos del test fixture se le conectan los *bias tee's*, estos elementos sirven para polarizar el drenaje y la compuerta del transistor, mientras que bloquean la componente de directa de la vía principal de RF. Después de los *bias tee's* se agregan cargas de 50Ω tanto a la entrada como a la salida, estas cargas evitan que el transistor sea inestable y comience a oscilar.

La figura 99 muestra todo el arreglo experimental, incluyendo las conexiones de la fuente de poder.

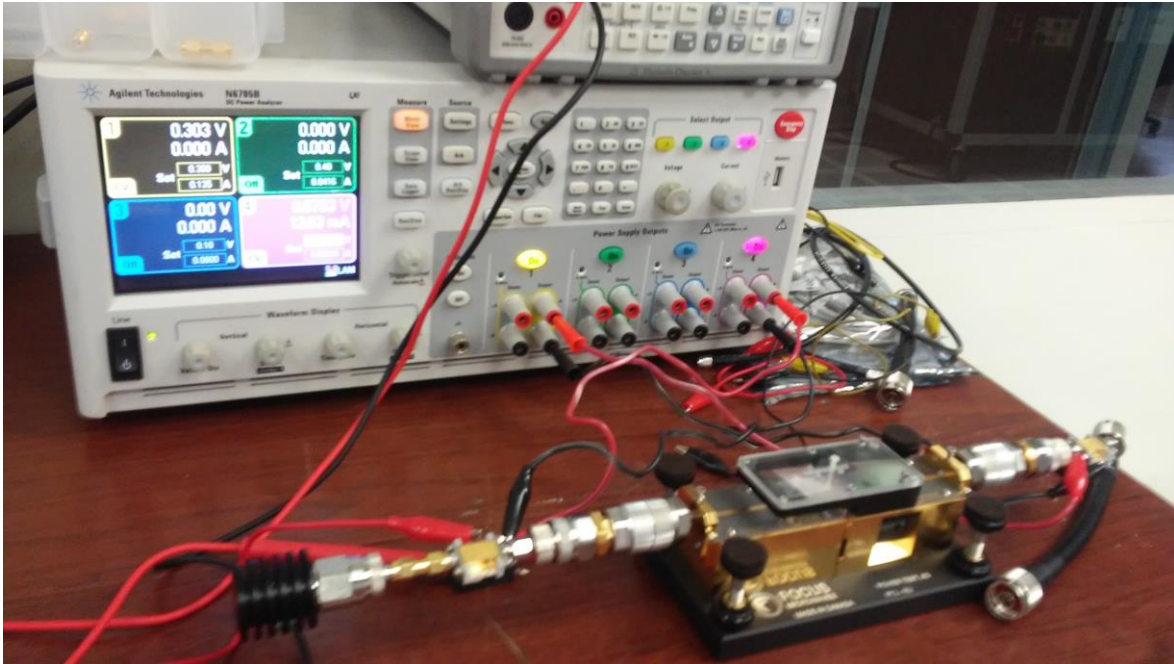


Figura 99.- Arreglo experimental para medir las curvas IV del transistor NE3210S01

A continuación, se desarrolló un código para controlar por medio del puerto GPIB a la fuente de alimentación, esta permite al usuario controlar el voltaje de cada salida y simultáneamente medir la corriente. Con este programa, se hizo un barrido del voltaje de drenaje para valores fijos de voltaje de compuerta a fuente. Específicamente, el voltaje de drenaje a fuente se barrió de 0 a 3V (VDS), para valores de voltaje de compuerta a fuente de -0.8 a 0 V en incrementos de 0.1V. Mientras se hacen estos cambios de voltaje se mide simultáneamente la corriente de drenaje a fuente (IDS). Con estos valores se pueden trazar curvas de corriente contra voltaje de drenaje a fuente para diferentes valores de voltaje de compuerta a fuente, dando como resultado las curvas I-V del transistor.

Las curvas obtenidas después de las mediciones se muestran en la figura 100.

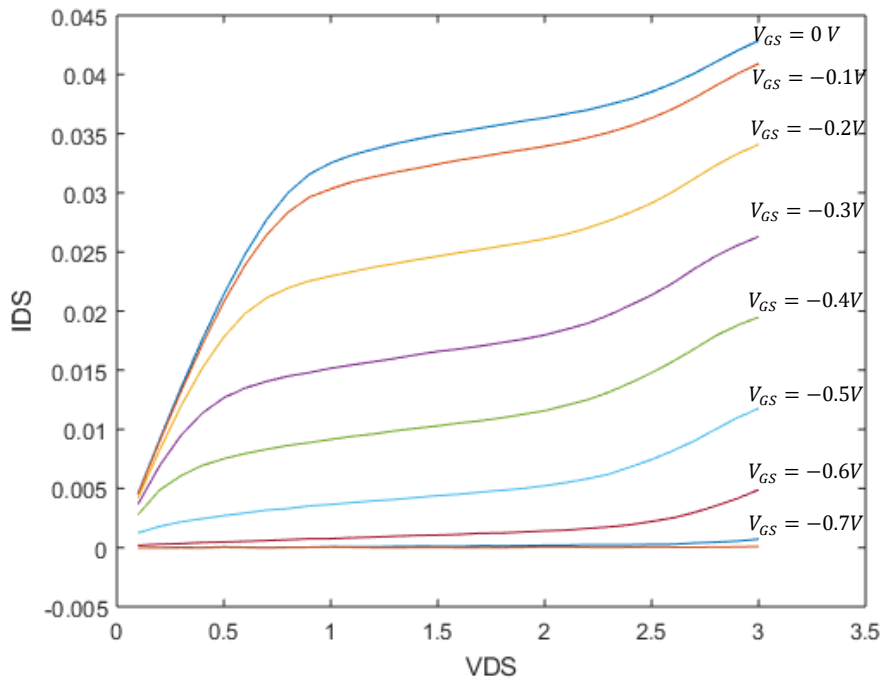


Figura 100.- Curvas I-V medidas

Así mismo, se presentan en la figura 101 las curvas I-V simuladas en ADS utilizando el modelo del transistor, obsérvese que la simulación no modela correctamente el comportamiento ascendente que existe por encima de 2 V de voltaje de drenaje a fuente.

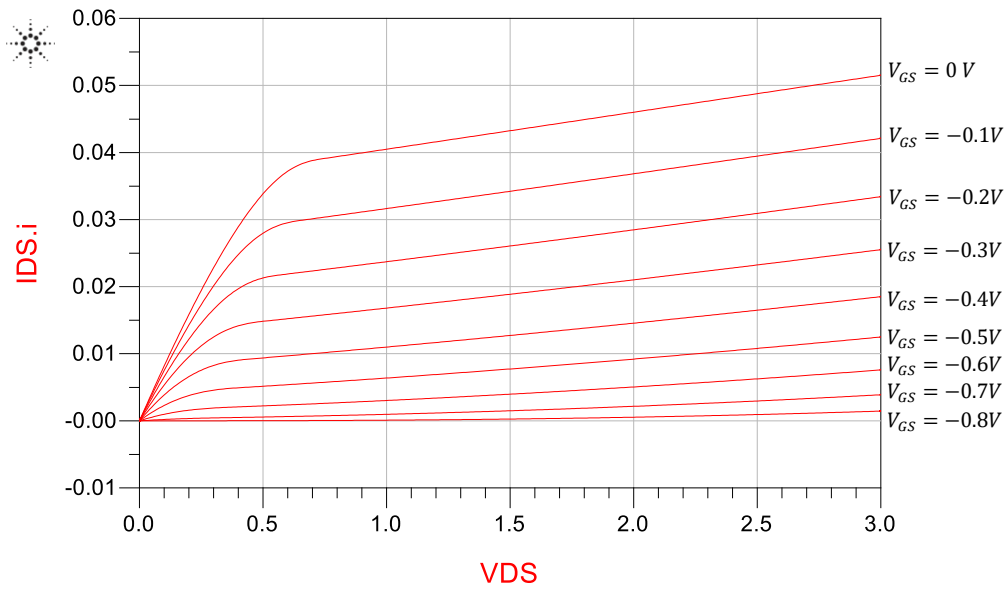


Figura 101.- Curvas I-V simuladas en ADS

Construcción del segundo amplificador clase F

El proceso utilizado para producir el circuito impreso del amplificador es la fotolitografía. Para ello primero se deben de generar las máscaras del amplificador las cuales serán impresas en un acetato, la máscara debe ser en blanco y negro. Para generar esta máscara se exportó el archivo Gerber desde ADS, para su posterior conversión a archivo de imagen. Puesto que el fotoresina utilizada es positiva, se imprimieron las máscaras en positivo. La figura 102 muestra el diseño de la máscara.

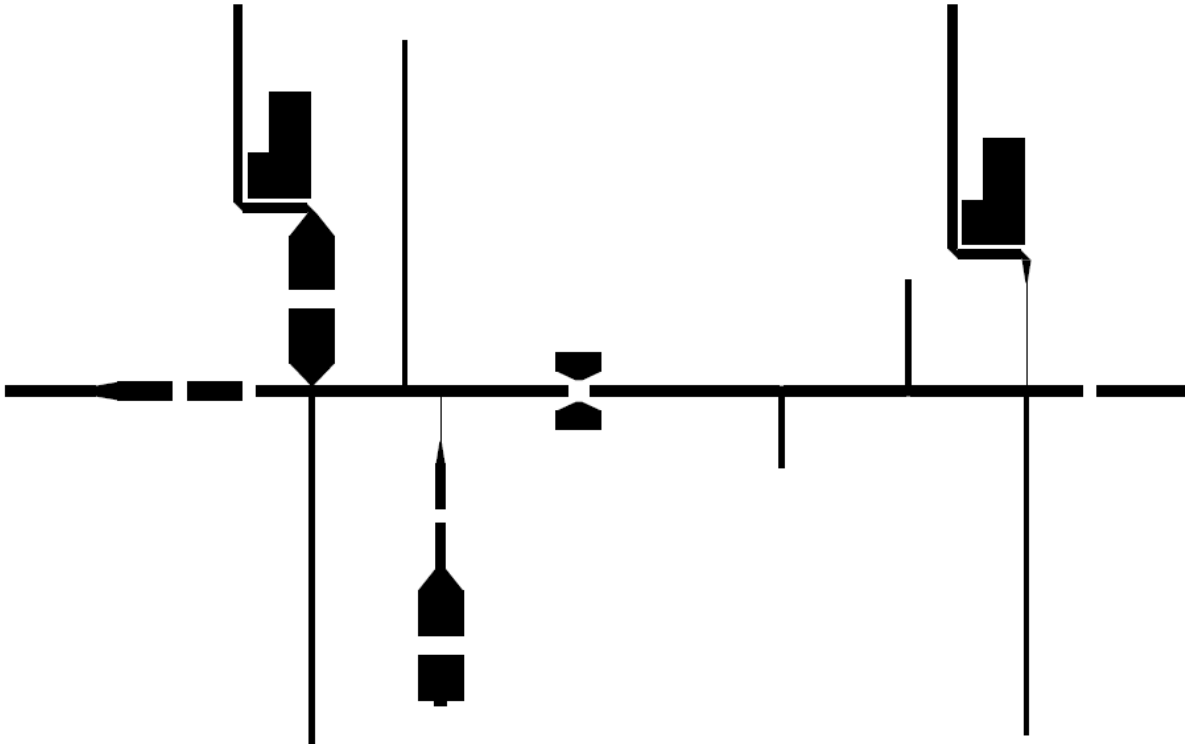


Figura 102.- Máscara utilizada para llevar a cabo el amplificador

Una vez que se cuenta con las máscaras, se puede llevar a cabo el proceso de fotolitografía adoptado y realizado por UNAMems. El primer paso consta en hacer un rebaje del espesor del cobre mediante un ataque químico utilizando peróxido de hidrogeno, esto con el fin de que sea más fácil el ataque posterior al revelado. En la figura 103 se muestra una fotografía mientras se realizaba el rebaje.

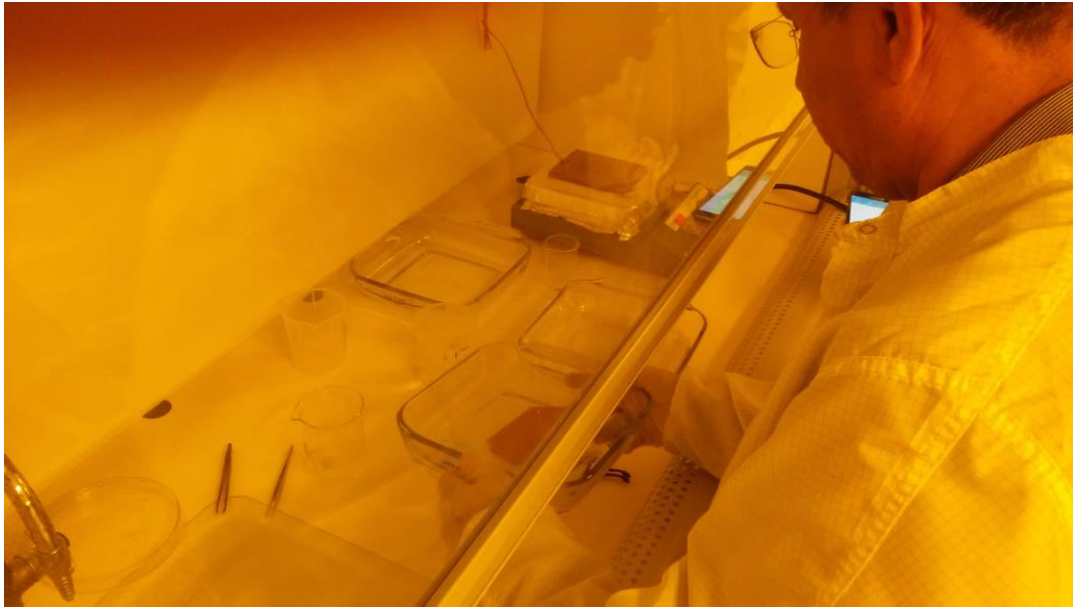


Figura 103.- Rebaje de cobre mediante ataque químico.

El siguiente paso consiste en depositar una película delgada de fotoresina en ambas caras del sustrato, esto se logra insertando la placa en un *spinner*, el cual, se encarga de distribuir de manera más homogénea la fotoresina sobre el cobre. El *spin coater* se puede observar en la figura 104.

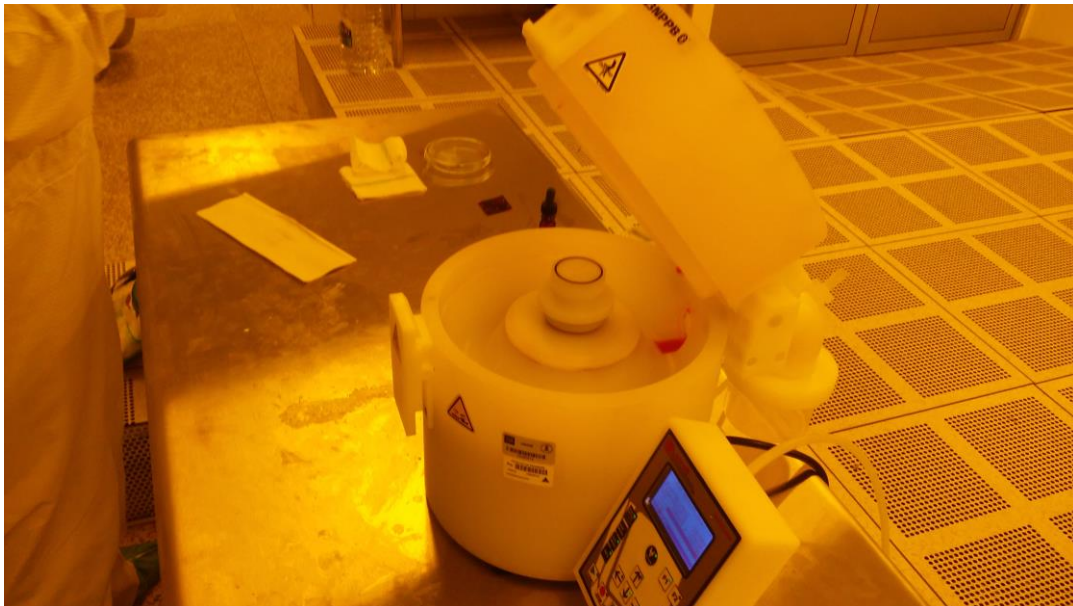


Figura 104.- Spin coater

Una vez que se colocó la fotoresina se hornea la placa unos minutos para su posterior exposición a la luz UV.

El siguiente paso consta en recortar la máscara para colocarla sobre la placa.



Figura 105.- Recorte de mascara

Una vez que se colocó la máscara sobre la placa, se posiciona en la alineadora de máscaras, en la cual, la fotoresina será expuesta a la luz UV.

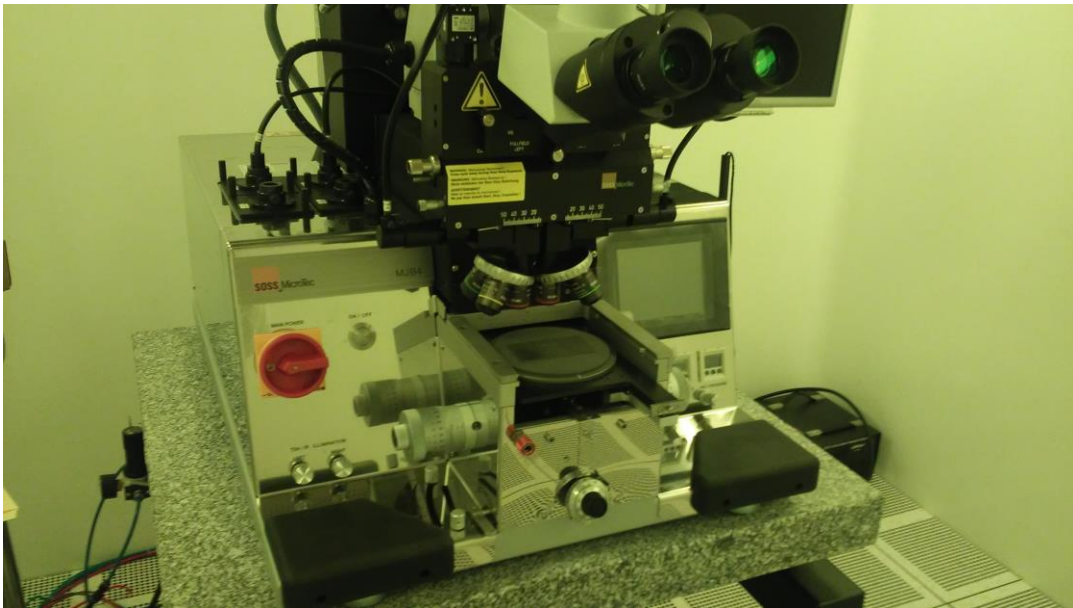


Figura 106.- Alineadora de mascaras

Puesto que la el área del diseño es de 13cm x 9 cm, mientras que el área de exposición de la alineadora es de 10cm x 10cm, primero se tuvo que exponer una parte de la placa, y luego exponer la parte restante. Esto es algo que no se había realizado previamente por parte del grupo de RF y Microondas de la UNAM, por lo que el resultado era incierto. El tiempo total de exposición fue de 120 segundos dividido en dos periodos de 60s.

Al concluir este lapso se horneó la placa durante 5 minutos y se aplicó un revelador. Al revelarse la placa se podía observar el diseño del amplificador grabado sobre el cobre. Posteriormente se atacó químicamente durante 2 minutos y 40 segundos hasta retirar todo el cobre excedente, obteniendo de manera exitosa el circuito impreso que se muestra en la figura 107.

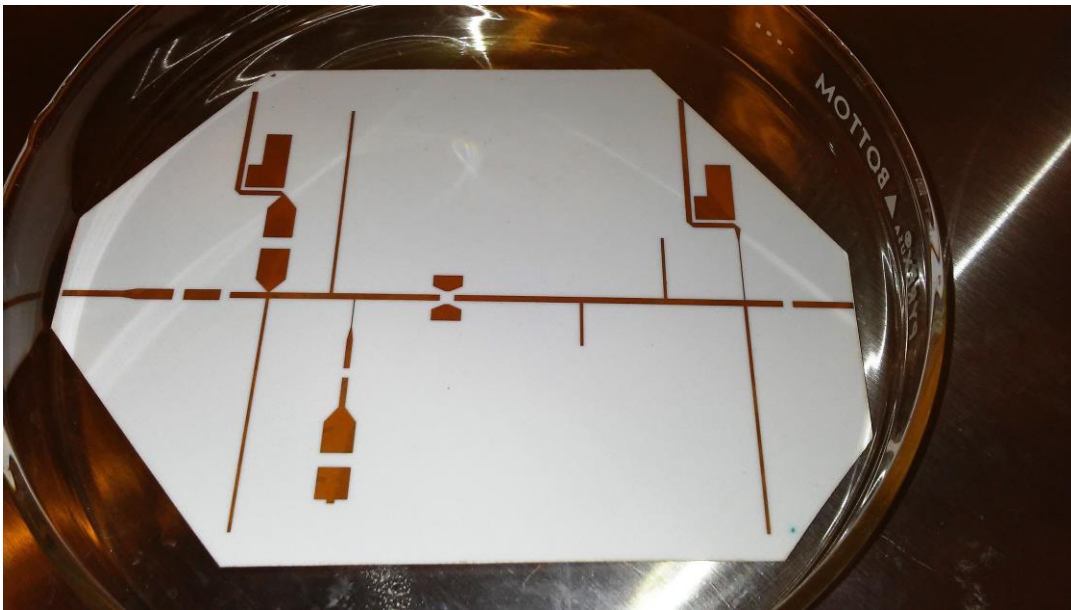


Figura 107.- Circuito Impreso

El siguiente paso consiste en la perforación de todas las vías a tierra de la placa, en total fueron 23 el número de vías. Habiendo concluido la perforación, se retiró el remanente de fotoresina utilizando acetona.

El último paso consta en soldar todos los componentes, se comenzó por soldar todos los alambres que van colocados en las vías, de tal forma de que se generen las conexiones a tierra. Posteriormente, se soldaron los capacitores de acoplamiento y los capacitores de desacoplamiento, seguido de las resistencias, el transistor NE3210S01 y por último los conectores SMA y los cables de alimentación. El amplificador terminado se muestra en la figura 108.

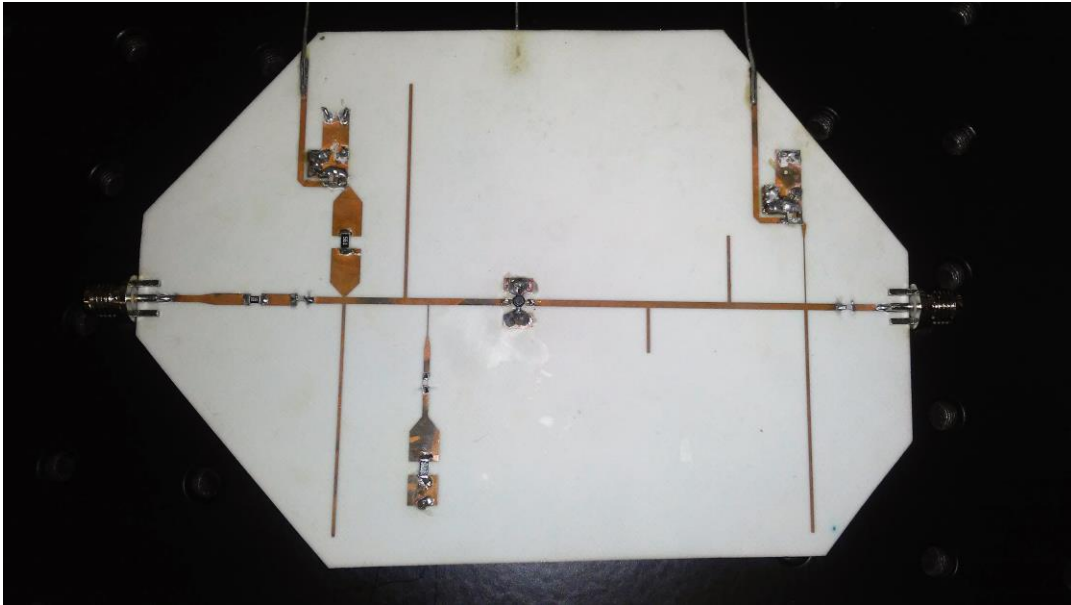


Figura 108.- Amplificador Terminado

Mediciones

Se llevaron a cabo las mediciones del amplificador diseñado y construido, el equipo utilizado para efectuar las mediciones se enumera a continuación:

1. Fuente de poder Agilent 6705B
2. Medidor de potencia de dos canales Keysight N1914A con sensores
3. Fuente de señal Rohde & Schwarz SMY02
4. Acopladores direccionales Andrew C-15-CPUS-N

La primera prueba consiste en determinar si el amplificador es estable o no, para ello se colocan cargas de 50Ω a la entrada y a la salida del amplificador, mientras que con la fuente de poder se alimentan los circuitos de polarización de entrada y de salida del amplificador. El objetivo es que no existan oscilaciones en estas condiciones, para ello se monitorea el consumo de corriente de drenaje del transistor, la cual debe ser de 0 A dada una polarización en modo Clase F. Tras obtener resultados satisfactorios, se calibró el medidor de potencia y la fuente de señal, para ello, se inyectaron 0 dBm a 2 GHz al acoplador de entrada y se observó que el canal A del medidor de potencia indicaba -15.8 dBm, se repitió el proceso para el acoplador de salida y se observó que el canal B del medidor de potencia indicaba -16.5 dBm, estos datos serán utilizados como factores de corrección, los cuales deberán ser añadidos a la potencia de entrada y salida medidas, debido a que la salida acoplada se encuentra atenuada.

Una vez calibrado el medidor de potencia, se montó la cama experimental para realizar las mediciones de potencia de entrada y de salida del amplificador.

Se conectó la fuente de señal a la entrada de un acoplador direccional, la salida se conectó directamente a la entrada del amplificador, mientras que la salida acoplada se conectó al sensor del canal A del medidor de potencia, este sensor nos indicará la potencia que está entrando al amplificador. La salida del amplificador se conectó a otro acoplador direccional, la salida de dicho acoplador se conectó a una carga de $50\ \Omega$, mientras que la salida acoplada se conectó al sensor del canal B del medidor de potencia, el cual nos indicará la potencia de salida del amplificador. Por último, se conectó una de las salidas de la fuente de poder al circuito de polarización de entrada, y otra salida de la fuente se conectó al circuito de polarización de salida del amplificador.

El flujo de señal se ejemplifica en la figura 109.

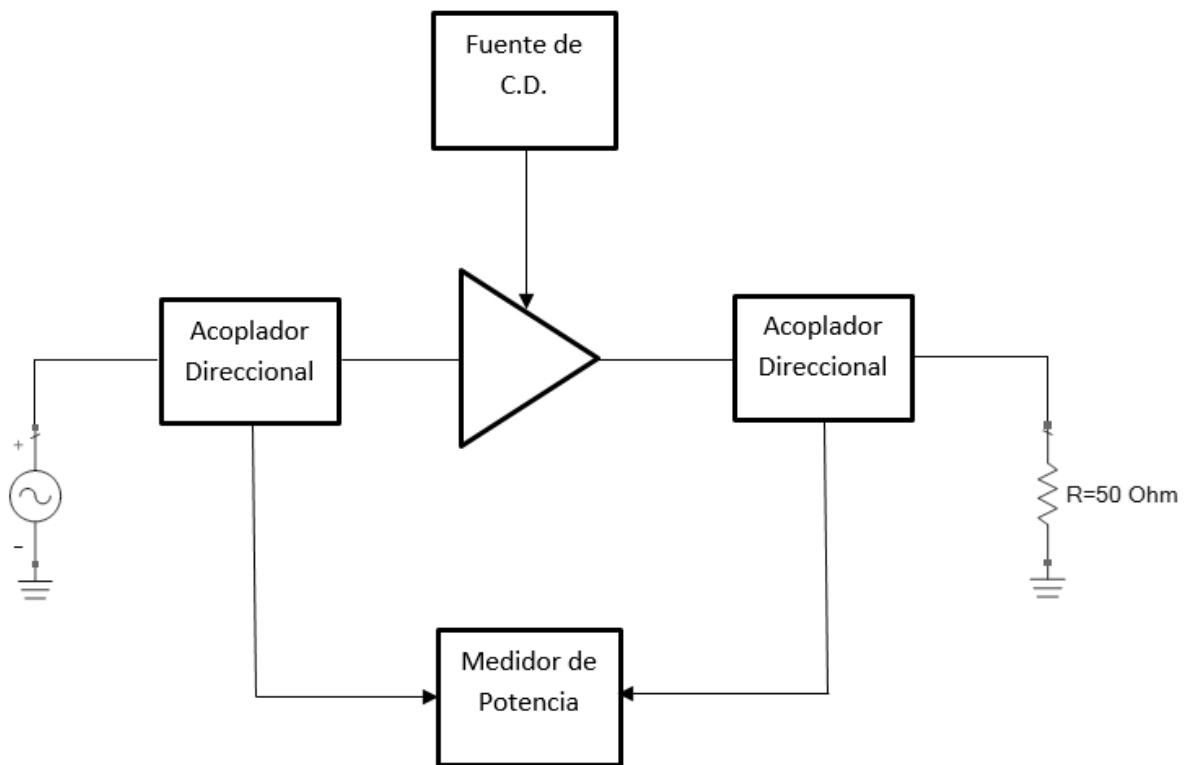


Figura 109.- Diagrama de flujo para la medición del amplificador

Las figuras 110 y 111 muestran el arreglo experimental mencionado

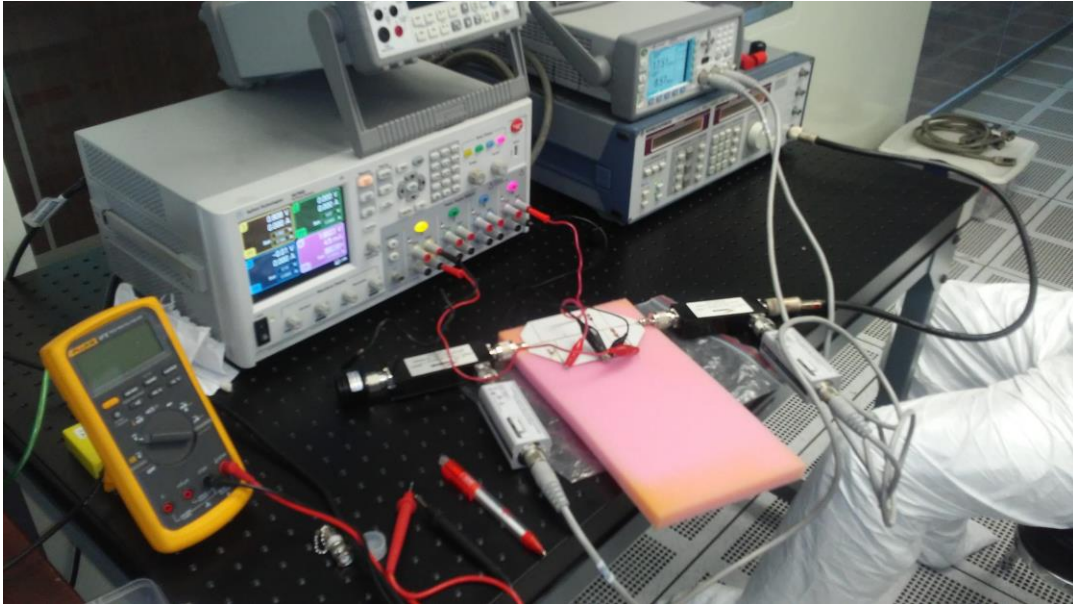


Figura 110.- Arreglo experimental

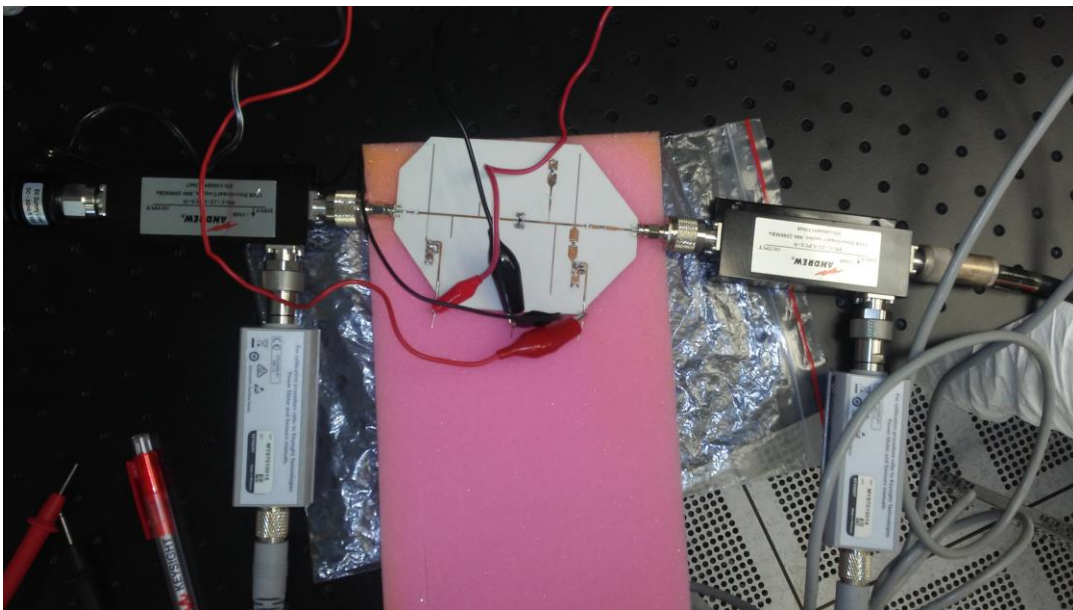


Figura 111.- Acercamiento del arreglo experimental, al centro se aprecia el amplificador, a la derecha el circuito de entrada y a la izquierda el circuito de salida

Una vez que se realizó el montaje anterior, se polarizó el amplificador, para el circuito de entrada se utilizaron -0.8 V , mientras que para el circuito de polarización de salida se aplicaron 1.9 V .

Posteriormente, se inyectó una señal de entrada de -2 dBm y 2 GHz. utilizando la fuente de señal. Simultáneamente se monitoreó la potencia de entrada y de salida,



Figura 112.- Potencia de entrada (arriba) y de salida (abajo)

A partir de la figura 112 se puede observar que la potencia de entrada medida es de -17.45 dBm, pero hay que añadir el factor de corrección de 15.8 dBm, lo que resulta en una potencia de entrada de -1.65 dBm. Lo mismo sucede con la potencia de salida la cual es -8.53 dBm, más el factor de corrección de 16.5 dBm, lo que resulta en una potencia de salida de 7.97 dBm.

La corriente de C.D. del canal 4 de la fuente de poder (IDS) indicó 4.5 mA, ésta se muestra en la figura 113.



Figura 113.- Voltaje y Corriente de Drenaje (Canal 4)

Al terminar las mediciones se realizó una experimentación del punto de polarización del transistor, para ello se ajustó el voltaje de drenaje a fuente de 1.6V, mientras que el voltaje de compuerta se mantuvo en -0.8 V.

De igual forma, se puede observar en la figura 114, que la potencia de entrada es -17.3 dBm, la cual aplicando el factor de corrección resulta en -1.5 dBm, mientras que la potencia de salida es -9.16 dB, lo que representa una salida de 7.34 dBm.



Figura 114.- Potencia de entrada (arriba) y salida (abajo) con el nuevo punto de polarización

Mientras que la corriente de C.D. de drenaje se registró en 4.2 mA, ésta se muestra en la figura 115.



Figura 115.- Voltaje y corriente de drenaje (canal 4)

Interpretación de los resultados

Los resultados obtenidos para la primera medición se despliegan en la tabla 10.

Tabla 10.- Resumen de valores para la primera medición

Voltaje de Drenaje a Fuente	1.9 V
Voltaje de Compuerta a Fuente	-0.8 V
Corriente de C.D. de Drenaje	4.5 mA
Potencia de entrada	-1.7 dBm
Potencia de salida	8 dBm
Potencia de C.D. consumida por el Amp.	8.6 mW

Con los valores anteriores se puede calcular distintos parámetros tales como la eficiencia la PAE y la ganancia, los cuales se muestran en la tabla 11.

Tabla 11.- Eficiencia, ganancia y PAE medidos (primera medición)

Eficiencia	73.3%
PAE	65.3%
Ganancia	9.6 dB

Contrastando estos valores con los resultados simulados de la tabla 12.

Tabla 12.- Eficiencia, ganancia, PAE y Potencia de salida simulados

Eficiencia	74.7 %
PAE	70 %
Ganancia	12 dB
Potencia de Salida	10 dBm

Se puede observar que la potencia de salida es menor a la simulada por 2.06 dBm, la ganancia es menor respecto a la simulada por 2.41 dB, mientras que la eficiencia es menor por 1.38% y la PAE es menor por 4.71%.

Para el otro punto de polarización se obtienen los datos de la tabla 13

Tabla 13.- Resumen de valores para la segunda medición

Voltaje de Drenaje a Fuente	1.6 V
Voltaje de Compuerta a Fuente	-0.8 V
Corriente de C.D. de Drenaje	4.2 mA
Potencia de entrada	-1.5 dBm
Potencia de salida	7.3 dBm
Potencia de C.D. consumida por el Amp.	6.7 mW

Los datos de la tabla 14 hacen evidente el hecho de que la potencia y la ganancia es aún menor en este punto de polarización, sin embargo, vale la pena analizar la eficiencia y la PAE, los cuales se muestran en la tabla 14.

Tabla 14.- Eficiencia, PAE y ganancia (segunda medición)

Eficiencia	80.7%
PAE	70.12%
Ganancia	8.84 dB

Lo primero que salta a la vista es el hecho que la eficiencia es casi 6% mayor a la reportada en la tabla 12, la PAE también es ligeramente mayor. Por lo tanto, se puede seleccionar este segundo punto de polarización si se desea una mayor eficiencia, teniendo en mente que también resulta en una disminución de la potencia de salida y la ganancia.

Conclusiones

Se realizó un estudio de los distintos tipos de amplificadores, para ello se realizó una investigación del estado del arte, la cual reveló los parámetros de interés de los amplificadores realizados hasta el momento. Posteriormente, se presentó el marco teórico donde se plantearon las bases requeridas para el desarrollo de esta tesis. Aquí se discutieron los modelos de los transistores, así como los diferentes amplificadores de potencia.

Con los conocimientos obtenidos, se desarrollaron dos diseños de amplificadores clase F, para los cuales, se detallaron las partes principales que los componen, así como el proceso que se siguió para llevarlos a cabo, comenzando desde la red de acoplamiento de salida, de entrada, así como las redes de estabilización y polarización. Con base en esto, se obtuvieron resultados simulados, los cuales, presentan parámetros comparables con aquellos amplificadores presentados en el estado del arte.

De los amplificadores diseñados se realizó la comprobación de uno de ellos mediante la fabricación y caracterización del mismo. Se realizaron mediciones experimentales tanto del transistor así como del amplificador mismo.

Trabajo a futuro

La ciencia de amplificadores se encuentra en crecimiento, por eso resulta de vital importancia el innovar en los diseños, produciendo amplificadores cada vez más eficientes a menor costo. Al momento de la escritura de esta Tesis, los amplificadores compuestos tales como el Doherty y Chireix se encuentran llamando cada vez más la atención de los diseñadores, por lo tanto, se propone como trabajo a futuro, el incorporar amplificadores como el Clase F, en arquitecturas compuestas, que permitan obtener altos niveles de eficiencia, aun cuando el nivel de señal de entrada no es óptimo. Esto permitirá descubrir distintas posibilidades de diseño, que permitan un menor consumo de energía en una industria electrónica cada vez más demandante.

Referencias

- [1] H. R. Khan y Q. Wahab, «A 24 GHz Class-A power amplifier in 0.13um CMOS technology,» de *3rd International Conference on Computer Research and Development*, 2011.
- [2] H. Venkatram , T. Oh, J. Guerber y U.-K. Moon, «Class A+ amplifier with controlled positive feedback for discrete-time signal processing circuits,» de *IEEE International Symposium on Circuits and Systems*, 2012.
- [3] S. Moloudi y A. A. Abidi, «The Outphasing RF Power Amplifier: A Comprehensive Analysis and a Class-B CMOS Realization,» *IEEE Journal of Solid-State Circuits*, vol. 48, nº 6, pp. 1357 - 1369, 2013.
- [4] H. Jang, P. Roblin, C. Quindroit, Y. Lin y R. D. Pond, «Asymmetric Doherty Power Amplifier Designed Using Model-Based Nonlinear Embedding,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, nº 12, pp. 3436 - 3451, 2014.
- [5] . K. Seokhyeon, J. Lee, K. Moon, Y. Park, D. Minn y B. Kim, «Optimized peaking amplifier of Doherty amplifier using an inductive input second harmonic load,» de *Microwave Integrated Circuits Conference*, 2016.
- [6] B. Bukvic y M. Ilic, «Simple Design of a Class-J Amplifier With Predetermined Efficiency,» *IEEE Microwave And Wireless Components Letters*, vol. 26, nº 9, pp. 699-701, 2016.
- [7] Y. Guan, W. Chen y Z. Feng, «High Efficiency and Wide Band Class-J Power Amplifier Using 2nd Harmonic Microstrip Stub Matching,» de *International Conference on Microwave and Millimeter Wave Technology* , 2012.
- [8] K. Mimis, K. A. Morris y J. P. McGeehan, «A 2 GHz GaN Class-J Power Amplifier for Base Station Applications,» de *IEEE Tropical Conference on Power Amplifiers for Wireless and Radio Applications*, 2011.
- [9] S. Saxena, K. Rawat y P. Roblin, «Continuous Class-B/J Power Amplifier Using Nonlinear Embedding Technique,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. PP, nº 99, 2016.

- [10] N. Tuffy, A. Zhu y T. J. Brazil, «Class-J RF Power Amplifier With Wideband Harmonic Suppression,» de *IEEE MTT-s Int. Microwave Symposium Digest*, 2011.
- [11] A. Yefymovych, V. Krizhanovski , R. Giofrè y P. Colantonio, «Load network design technique for microwave class-F amplifier,» de *International Conference on Microwaves, Radar, and Wireless Communication*, 2014.
- [12] Q.-Y. Guo , X. Zhang , J.-X. Xu, Y. Li y Q. Xue, «Bandpass Class-F Power Amplifier Based on Multi-Function Hybrid Cavity-Microstrip Filter,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. PP, nº 99, pp. 1-1, 2016.
- [13] J. Lin, Z. Zhang, K. Yu, S. Li, Q. Cai, J. Li y G. Zhang, «A linearity enhanced broadband Class-F power amplifier with high harmonic suppressed matching circuits for S-band applications,» de *IEEE International Conference on Microwave and Millimeter Wave Technology*, 2016.
- [14] J. Moon , S. Jee , J. Kim , J. Kim y B. Kim, «Behaviors of Class-F and Class F-1 Amplifiers,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, nº 6, pp. 1937 - 1951, 2012.
- [15] K. Kuroda , R. Ishikawa y K. Honjo, «Parasitic Compensation Design Technique for a C-Band GaN HEMT Class-F Amplifier,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, nº 11, pp. 2741 - 2750, 2010.
- [16] S. Saxena, K. Rawat y P. Roblin, «Class-F GaN power amplifier design using model-based nonlinear embedding,» de *IEEE Applied Electromagnetics Conference*, 2015.
- [17] C.-U. Yoo, M.-S. Kim y Y. Youngoo, «High-Efficiency Class-F Amplifier Design Using Defected Ground Structure,» de *International Conference on New Trends in Information and Service Science*, 2009.
- [18] Y. Wang, W.-l. Fu y Y.-z. Dong, «A 5.8 GHz class-F GaN power amplifier for solar power satellite,» de *IEEE International Conference on Communication Problem-Solving*, 2015.

- [19] M. Hayati, A. Sheikhi y A. Grebennikov, «Class-F Power Amplifier With High Power Added Efficiency Using Bowtie-Shaped Harmonic Control Circuit,» *IEEE Microwave and Wireless Components Letters*, vol. 25, nº 2, pp. 133 - 135, 2015.
- [20] T. Hwang , K. Azadet , R. . S. Wilson y J. Lin, «Characterization of Class-F Power Amplifier With Wide Amplitude and Phase Bandwidth for Outphasing Architecture,» *IEEE Microwave and Wireless Components Letters*, vol. 24, nº 3, pp. 188 - 190, 2014.
- [21] N. Tuffy, L. Guan, A. Zhu y T. J. Brazil, «A Simplified Broadband Design Methodology for Linearized High-Efficiency Continuous Class-F Power Amplifiers,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, nº 6, pp. 1952 - 1963, 2012.
- [22] R. Tong, S. He, B. Zhang , Z. Jiang, X. Hou y F. You, «A Novel Topology of Matching Network for Realizing Brodband High Efficiency Continuous Class-F Power Amplifiers,» de *Microwave Conference*, 2013.
- [23] K. Chen y D. Peroulis, «Design of Broadband Highly Efficient Harmonic-Tuned Power Amplifier Using In-Band Continuous Class-F-1/F Mode Tranferring,» *IEEE Transactions on Microwave Theory And Techniques*, vol. 60, nº 12, pp. 4107 - 4116, 2012.
- [24] B. Merrick, J. King y T. Brazil, «A Simplified Procedure for the Design of Continuous Class-F Power Amplifiers,» de *European Microwave Conference*, 2013.
- [25] T. Sharma, R. Darraji, F. Ghannouchi y N. Dawar, «Generalized Continuous Class-F Harmonic Tuned Power Amplifiers,» *IEEE Microwave And Wireless Components Letters*, vol. 26, nº 3, pp. 213 - 215, 2016.
- [26] V. Carrubba, J. Lees, J. Benedikt, P. J. Tasker y S. C. Cripps, «A Novel Highly Efficient Broadband Continuous Class-F RFPA Delivering 74% Average Efficiency for an Octave Bandwidth,» de *Microwave Symposium Digest*, 2011.
- [27] R. Ramu y S. Malarvizhi, «Design and implementation of HEMT based class-E power amplifier for 60 Ghz,» de *International Conference on Communication and Signal Processing*, 2016.

- [28] K. Chen y D. Peroulis, «Design of Highly Efficient Broadband Class-E Power Amplifier Using Synthesized Low-Pass Matching Networks,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, nº 12, pp. 3162 - 3173, 2011.
- [29] C. Rong , Y. Xu , M. Xia, Y. Luo y R. Ou, «Broadband class E GaN power amplifier design in S band with low-pass match,» de *International Conference on Communication Problem-Solving*, 2014.
- [30] A. Grebennikov, «High-Efficiency Class-E Power Amplifier With Shunt Capacitance and Shunt Filter,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, nº 1, pp. 12 - 22, 2016.
- [31] Y. Leng, Y. Zeng, L. Zhang, G. Zhang, Y. Peng, J. Guan y Y. Yan, «An Extended Topology of Parallel-Circuit Class-E Power Amplifier Using Transmission-Line Compensation,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, nº 4, pp. 1628 - 1638, 2013.
- [32] A. R. Ghorbani y M. B. Ghaznavi-Ghouschi, «A 35.6dB, 43.3% PAE class E differential power amplifier in 2.4GHz with cross coupling neutralization for IoT applications,» de *Iranian Conference on Electrical Engineering*, 2016.
- [33] C.-H. Lin y H.-Y. Chang, «A Broadband Injection-Locking Class-E Power Amplifier,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, nº 10, pp. 3232 - 3242, 2012.
- [34] F. . J. Ortega-Gonzalez, D. Tena-Ramos, M. Patiño-Gomez, J. M. Pardo-Martin y D. Madueño-Pulido, «High-Power Wideband L-Band Suboptimum Class-E Power Amplifier,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, nº 10, pp. 3712 - 3720, 2013.
- [35] X. Chen, W. Chen, F. M. Ghannouchi, Z. Feng y Y. Liu, «A Broadband Doherty Power Amplifier Based on Continuous-Mode Technology,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, nº 12, pp. 4505 - 4517, 2016.
- [36] A. Barakat , M. Thian, V. Fusco, S. Bulja y L. Guan, «Toward a More Generalized Doherty Power Amplifier Design for Broadband Operation,» *IEEE Transactions on Microwave Theory and Techniques*, vol. PP, nº 99, pp. 1 - 14, 2016.

- [37] P. Chen, J. Xia, B. M. Merrick y T. J. Brazil, «Multiobjective Bayesian Optimization for Active Load Modulation in a Broadband 20-W GaN Doherty Power Amplifier Design,» *IEEE Transactions on Microwave Theory and Techniques*, vol. PP, n° 99, pp. 1 - 12, 2016.
- [38] T. Hwang, K. Azadet , R. S. Wilson y J. Lin, «Linearization and Imbalance Correction Techniques for Broadband Outphasing Power Amplifiers,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n° 7, pp. 2185 - 2198, 2015.
- [39] M. Akbarpour, M. Helaoui y F. M. Ghannouchi, «Analytical Design Methodology for Generic Doherty Amplifier Architectures Using Three-Port Input/Output Networks,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n° 10, pp. 3242 - 3253, 2015.
- [40] H. Jang, R. Wilson , T. Canning, D. Seebacher, C. Schuberth, B. Arigong, F. Trang y S. Ward, «RF-Input Self-Outphasing Doherty–Chireix Combined Amplifier,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, n° 12, pp. 4518 - 4534, 2016.
- [41] N. Faraji y T. W. Barton, «An RF-input chireix outphasing power amplifier,» de *IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications*, 2016.
- [42] P. Asbeck y Z. Popovic, «ET Comes of Age: Envelope Tracking for Higher-Efficiency Power Amplifiers,» *IEEE Microwave Magazine*, vol. 17, n° 3, pp. 16 - 25, 2016.
- [43] B. Park, D. Kim, S. Kim, Y. Cho, J. Kim, D. Kang, S. Jin, K. Moon y B. Kim, «High-Performance CMOS Power Amplifier With Improved Envelope Tracking Supply Modulator,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, n° 3, pp. 798 - 809, 2016.
- [44] C. Florian, T. Cappello, R. P. Paganelli , D. Niessen y F. Filicori, «Envelope Tracking of an RF High Power Amplifier With an 8-Level Digitally Controlled GaN-on-Si Supply Modulator,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n° 8, pp. 2589 - 2602, 2015.
- [45] H. Jang, P. Roblin y Z. Xie, «Model-Based Nonlinear Embedding for Power-Amplifier Design,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, n° 9, pp. 986 - 2002, 2014.

- [46] D. Ren, Z. Ren, K. Zhang, . X. Zou , W. Zou y . Y. Yu, «A 0.2–2.5 GHz CMOS power amplifier using transformer-based broadband matching network,» de *International Symposium on Integrated Circuits*, 2016.
- [47] K. Kim, J. Ko, S. Lee y S. Nam, «A Two-Stage Broadband Fully Integrated CMOS Linear Power Amplifier for LTE Applications,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, nº 6, pp. 533 - 537, 2016.
- [48] J. Ham, J. Bae, H. Kim, M. Seo, H. Lee, K. C. Hwang, K.-Y. Lee, C.-s. Park, D. Heo y Y. Yang, «CMOS Power Amplifier Integrated Circuit With Dual-Mode Supply Modulator for Mobile Terminals,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, nº 1, pp. 157 - 167, 2016.
- [49] S. Shakib, H.-C. Park, J. Dunworth, V. Aparin y K. Entesari, «A Highly Efficient and Linear Power Amplifier for 28-GHz 5G Phased Array Radios in 28-nm CMOS,» *IEEE Journal of Solid-State Circuits*, vol. 51, nº 12, pp. 3020 - 3036, 2016.
- [50] H. S. Son, J. Y. Jang , D. M. Kang , H. J. Lee y C. S. Park, «A 109 GHz CMOS Power Amplifier With 15.2 dBm Psat and 20.3 dB Gain in 65-nm CMOS Technology,» *IEEE Microwave and Wireless Components Letters*, vol. 26, nº 7, pp. 510 - 512, 2016.
- [51] W. Ye, K. Ma, K. S. Yeo y Q. Zou, «A 65 nm CMOS Power Amplifier With Peak PAE above 18.9% From 57 to 66 GHz Using Synthesized Transformer-Based Matching Network,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, nº 10, pp. 2533 - 2543, 2015.
- [52] K.-L. Wu, K.-T. Lai, R. Hu, C. F. Jou, D.-C. Niu y Y.-S. Shiao, «77–110 GHz 65-nm CMOS Power Amplifier Design,» *IEEE Transactions on Terahertz Science and Technology*, vol. 4, nº 3, pp. 391 - 399, 2014.
- [53] J. Lin , C. C. Boon, X. Yi y G. Feng, «A 50–59 GHz CMOS Injection Locking Power Amplifier,» *IEEE Microwave and Wireless Components Letters*, vol. 25, nº 1, pp. 52 - 54, 2014.
- [54] J.-J. Bouny, «A high efficiency 250W LDMOS amplifier for polar transmitter at 940MHz,» de *International Microwave Symposium Digest*, 2011.

- [55] L. Bollinger , H. de la Rosa y P. Gola, «800 Watts 3 ways Doherty power amplifier achieving 50 % efficiency designed with over molded package LDMOS device,» de *European Microwave Conference*, 2016.
- [56] J. He, T. Zhang , Y. Zhang , Y. Wang , B. Zhang y J. Gajadharsing, «A 500-W high efficiency LDMOS classical three-way Doherty amplifier for base-station applications,» de *International Microwave Symposium*, 2016.
- [57] L. Zhao, M. Watts, B. Noori y J. Jones, «A 230 W, 1.8 to 2.2 GHz broadband LDMOS power amplifier utilizing multi-section integrated passive device input matching,» de *European Microwave Conference*, 2015.
- [58] A. Tombak, D. C. Denning, M. S. Carroll, J. Costa y E. Spears, «High-Efficiency Cellular Power Amplifiers Based on a Modified LDMOS Process on Bulk Silicon and Silicon-On-Insulator Substrates With Integrated Power Management Circuitry,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, nº 6, pp. 1862 - 1869, 2012.
- [59] J.-Y. Li, Strained Silicon And Germanium Quantum Devices by Chemical Vapor Deposition, Tesis Doctoral, Princeton University, 2013.
- [60] G. Wang, L. Zhao y M. Szymanowski, «A Doherty amplifier for TD-SCDMA base station applications based on a single packaged dual-path integrated LDMOS power transistor,» de *International Microwave Symposium Digest* , 2010.
- [61] H. G. Yu, S. H. Choi , S. Jeon y M. Kim, «300 GHz InP HBT amplifier with 10 mW output power,» *Electronics Letters*, vol. 50, nº 5, pp. 377 - 379, 2014.
- [62] V. Radisic, D. Scott, S. Wang, A. Cavus, A. Gutierrez-Aitken y W. R. Deal, «235 GHz Amplifier Using 150 nm InP HBT High Power Density Transistor,» *IEEE Microwave and Wireless Components Letters*, vol. 21, nº 6, pp. 335 - 337, 2011.
- [63] M. Seo, M. Urteaga, J. Hacker, A. Young, A. Skalare, R. Lin y M. Rodwell, «A 600 GHz InP HBT amplifier using cross-coupled feedback stabilization and dual-Differential Power Combining,» de *International Microwave Symposium Digest*, 2013.

- [64] J. Hacker , M. Urteaga, M. Seo, A. Skalare y R. Lin, «InP HBT amplifier MMICs operating to 0.67 THz,» de *IEEE International Microwave Symposium Digest*, 2014.
- [65] S. A. Albahrani, A. Parker, M. Heimlich y B. Schwitter, «Iso-Trapping Measurement Technique for Characterization of Self-Heating in a GaN HEMT,» *IEEE Transactions on Electron Devices*, vol. 64, nº 1, pp. 102 - 108, 2017.
- [66] G. Crupi, A. Raffo, G. Avolio, D. M. M.-P. Schreurs , G. Vannini y A. Caddemi, «Temperature Influence on GaN HEMT Equivalent Circuit,» *IEEE Microwave and Wireless Components Letters*, vol. 26, nº 10, pp. 813 - 815, 2016.
- [67] R. Essaadali, A. Jarndal, A. B. Kouki y F. M. Ghannouchi, «A New GaN HEMT Equivalent Circuit Modeling Technique Based on X-Parameters,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, nº 9, pp. 2758 - 2777, 2016.
- [68] U. Radhakrishna, P. Choi, J. Grajal, L.-S. Peh, T. Palacios y D. Antoniadis, «Study of RF-circuit linearity performance of GaN HEMT technology using the MVSG compact device model,» de *IEEE International Electron Devices Meeting*, 2016.
- [69] B. G. Streetman y S. K. Banerjee, *Solid State Electronic Devices*, Sixth ed., New Jersey: Pearson Education Inc., 2006.
- [70] P. Roblin y H. Rohdin, *High Speed Heterostructure Devices*, Cambridge: Cambridge University Press, 2002.
- [71] R. A. Serway, *Modern Physics*, Third ed., Belmont, CA: Brooks/Cole-Thompson Learning, 2005.
- [72] J. Singh, *Dispositivos Semiconductores*, México: McGraw Hill/Interamericana Editores S.A. de C.V., 1997.
- [73] F. Sechi y M. Bujatti, *Solid-State Microwave High-Power Amplifiers*, Norwood, MA: Artech House Inc., 2009.
- [74] S. M. Sze y K. K. Ng, *Physics of Semiconductor Devices*, Third ed., UK: John Wiley & Sons Inc., 2007.

- [75] M. Golio, RF and Microwave Semiconductor Device Handbook, Boca Raton: CRC Press, 2003.
- [76] V. Umansky, M. Heiblum, Y. Levinson, J. Smet, J. Nübler y M. Dolev, «MBE growth of ultra-low disorder 2DEG with mobility exceeding 35×10^6 ,» *Journal of Crystal Growth*, vol. 311, pp. 1658-1661, 2009.
- [77] P. Colantonio, F. Giannini y E. Limiti, High Efficiency RF and Microwave Solid State Power Amplifiers, West Sussex: John Wiley & Sons Ltd., 2009.
- [78] D. A. Neamen, Semiconductor Physics and Devices, New York: McGraw-Hill Companies, Inc., 2012.
- [79] Wikipedia, «Wikipedia,» Wikipedia Commons, 6 Abril 2008. [En línea]. Available: https://commons.wikimedia.org/wiki/File:Wurtzite_polyhedra.png. [Último acceso: 30 Noviembre 2015].
- [80] A. Grebennikov, RF and Microwave Power Amplifier Design, McGraw-Hill Education., 2015.
- [81] I. A. Glover, S. R. Pennock y P. R. Shepherd, Microwave Devices, Circuits and Subsystems for Communications Engineering, Chichester, West Sussex: John Wiley & Sons Ltd., 2005.
- [82] J. Smith, Modern Communication Circuits, McGraw-Hill, 1986.
- [83] K. K. Clarke y T. D. Hess, Communication Circuits: Analysis and Design, Addison-Wesley Publishing Company, Inc., 1971.
- [84] S. Cripps, RF power amplifiers for wireless communications, Norwood, MA: Artech House, 2006.
- [85] S. Saxena, K. Rawat y P. Roblin, «Continuous Class-B/J Power Amplifier Using Nonlinear Embedding Technique,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. PP, n° 99, 20160.
- [86] S. C. Cripps, P. J. Tasker, A. L. Clarke, J. Lees y J. Benedikt, «On the Continuity of High Efficiency Modes in Linear RF Power Amplifiers,» *IEEE Microwave And Wireless Components Letters*, vol. 19, n° 10, 2009.

- [87] H. F. Raab, «Class-F Power Amplifiers with Maximally Flat Waveforms,» *IEEE Transactions On Microwave Theory And Techniques*, vol. 45, nº 11, pp. 2007-2012, 1997.
- [88] V. Carrubba, A. L. Clarke, M. Akmal, J. Lees, J. Benedikt, P. J. Tasker y S. C. Cripps, «The Continuous Class-F Mode Power Amplifier,» de *European Microwave Conference*, 2010.
- [89] B. M. Merrick, J. B. King y T. J. Brazil, «A Novel Continuous Class-F Mode Power Amplifier,» de *IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications* , 2014.
- [90] A. Grebennikov, N. O. Sokal y M. J. Franco, *Switchmode RF and Microwave Power Amplifiers*, Oxford: Elsevier Inc., 2012.
- [91] K.-W. Yeom, *Microwave Circuit Design: A Practical Approach Using ADS*, Pearson Education, Inc., 2015.
- [92] H. Zhang, J. Yoon y S. Rangarajan, «Method for multicast video delivery for 4G cellular networks». USA Patente US9338519 B2, 10 Mayo 2016.
- [93] G. Shujian, P. Chen y C. Ran, «Design of a high-efficiency Doherty GaN power amplifier,» de *IEEE Conference on Ubiquitous Wireless Broadband*, 2016.
- [94] H. Jang, R. Wilson, T. Canning, D. Seebacher, C. Schuberth y B. Arigong, «Self-outphasing Chireix power amplifier using device input impedance variation,» de *IEEE MTT-S International Microwave Symposium* , 2016.
- [95] H. Li, K. Bathich, O. Bengtsson y G. Boeck, «A Si LDMOS class AB power amplifier for UMTS LTE base stations,» de *German Microwave Conference*, 2010.