



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

DEPARTAMENTO DE COMPUTACIÓN.

DIMEI.

PRÁCTICAS DE MEMORIAS Y PERIFÉRICOS.

ING. A. ADOLFO MILLÁN NÁJERA

INDICE DE PRACTICAS.

=====

DEC	DECODIFICADORES.	3
GBI	GRABACION DIGITAL EN CINTA MAGNETICA I. ..	9
GBII	GRABACION DIGITAL EN CINTA MAGNETICA II. ..	13
B	CARACTERISTICAS DE UN BUFFER.	18
THR	CIRCUITO TRES ESTADOS.	21
ROM	MEMORIA DE SOLO LECTURA.	25
RAM	MEMORIA DE LECTURA - ESCRITURA.	30
REF	REFRESCO DE MEMORIA.	36
CAM	MEMORIA DIRECCIONABLE POR CONTENIDO.	41
UART	U.A.R.T.	50
	BIBLIOGRAFIA.	55

PRESENTACION

=====

Estas prácticas han sido elaboradas por los profesores del laboratorio de memorias y periféricos, y tienen por objeto servir como complemento a los conceptos teóricos de la materia. Indudablemente, adolecen de defectos, errores y carencias; sin embargo se podrán mejorar con las observaciones que nos hagan profesores y alumnos.

En las prácticas presentadas en este escrito, se pretende dar una visión general de los elementos que conforman los sistemas de memoria, así como de los componentes básicos de los equipos periféricos.

Se cubren temas tales como grabación en cinta magnética, manejo de decodificadores en sistemas de memoria, implementación básica de memorias ROM, RAM y CAM, utilización de circuitos de tres estados, buffers y otros. También se incluye una práctica que pretende simular el funcionamiento de un elemento para comunicación con periféricos como es el UART.

En la bibliografía se mencionan algunas referencias en las cuales podrá ser ampliada la información de manera más formal y detallada.

Se recomienda al estudiante leer los objetivos de cada práctica antes de iniciarla y una vez más al terminarla, con el propósito de que pueda evaluar su propio aprendizaje.

El éxito que el alumno tenga en el curso depende del esfuerzo que desarrolle a lo largo de todo el semestre.

Los profesores del laboratorio estarán dispuestos siempre a prestarte la asesoría que necesites en la realización de tus prácticas.

FACULTAD DE INGENIERIA
DEPARTAMENTO DE COMPUTACION

MEMORIAS Y PERIFERICOS

"DECODIFICADORES"

Un decodificador es un circuito combinacional que tiene "n" entradas y 2^n salidas. Una de sus múltiples salidas se activa bajo el control de la dirección de entrada y de la señal de habilitación. La salida puede ser activo baja o bien activo alta dependiendo del nivel de voltaje en la línea de salida ('0' ó '1').

Existen dos formas básicas de realizar un decodificador de "n" direcciones a 2^n salidas. En la primera se utilizan 2^n compuertas de "n" entradas; a cada entrada $A(i)$, $i=1,2,\dots,n$ se aplica un bit de dirección ya sea directamente o negándolo. A esta decodificación se le llama de un nivel (véase figura 1).

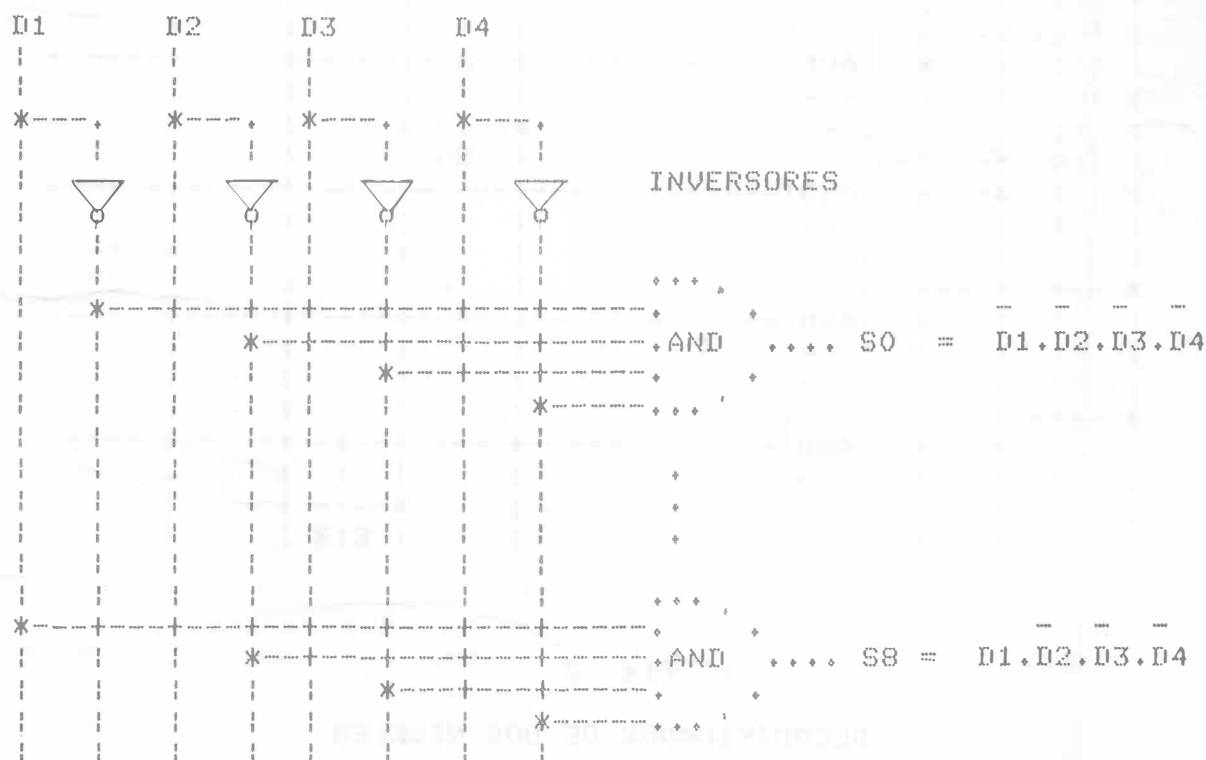


fig 1.

DECODIFICADOR DE UN NIVEL

En la segunda forma la decodificación se realiza por etapas en las cuales se utilizan compuertas de dos entradas. Esta forma es de respuesta más lenta pues la señal atraviesa varias compuertas. (Véase figura 2 .)

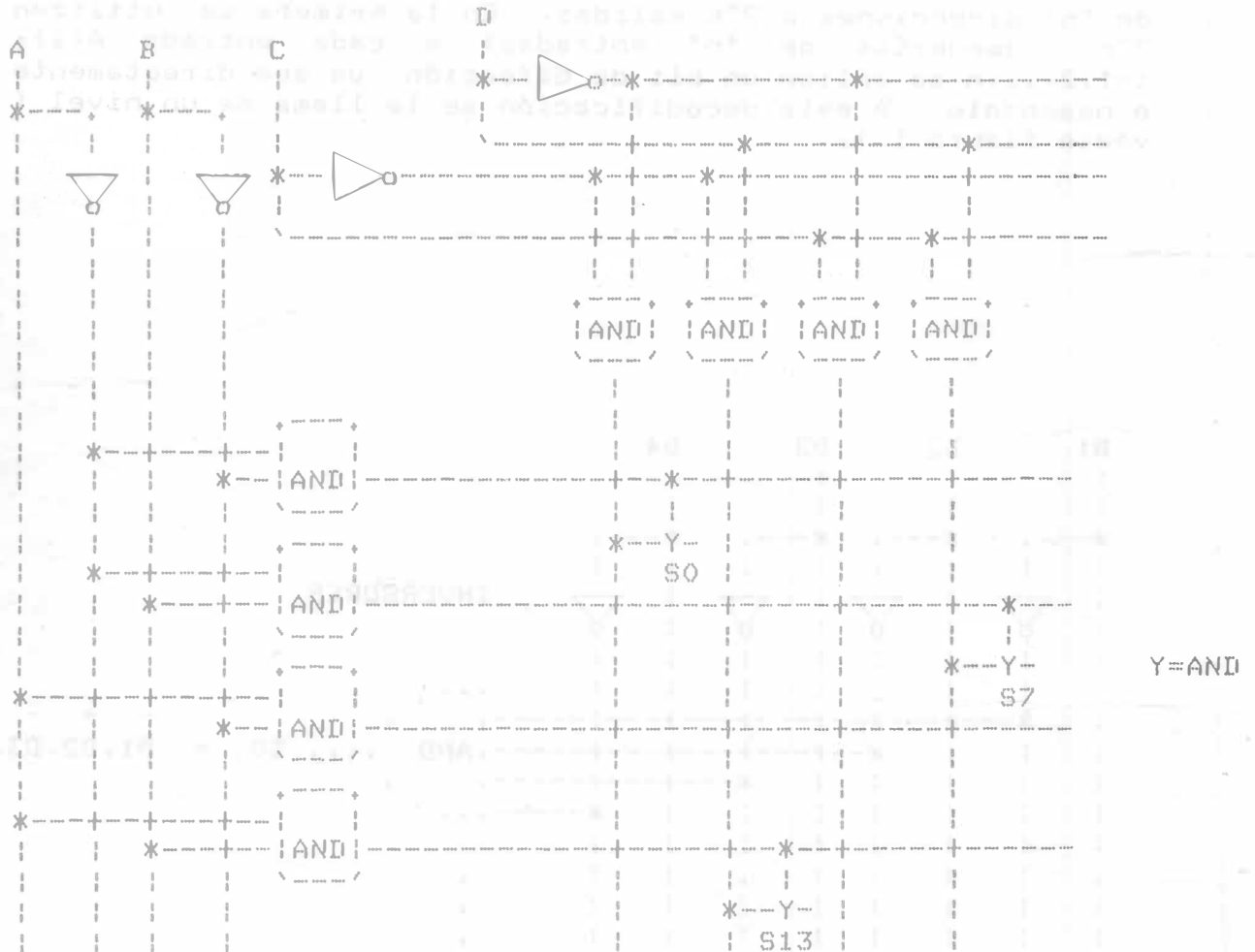


fig. 2

DECODIFICADOR DE DOS NIVELES

Lo más común es utilizar combinaciones de ambas formas de decodificación. (Véase figura 3 .)

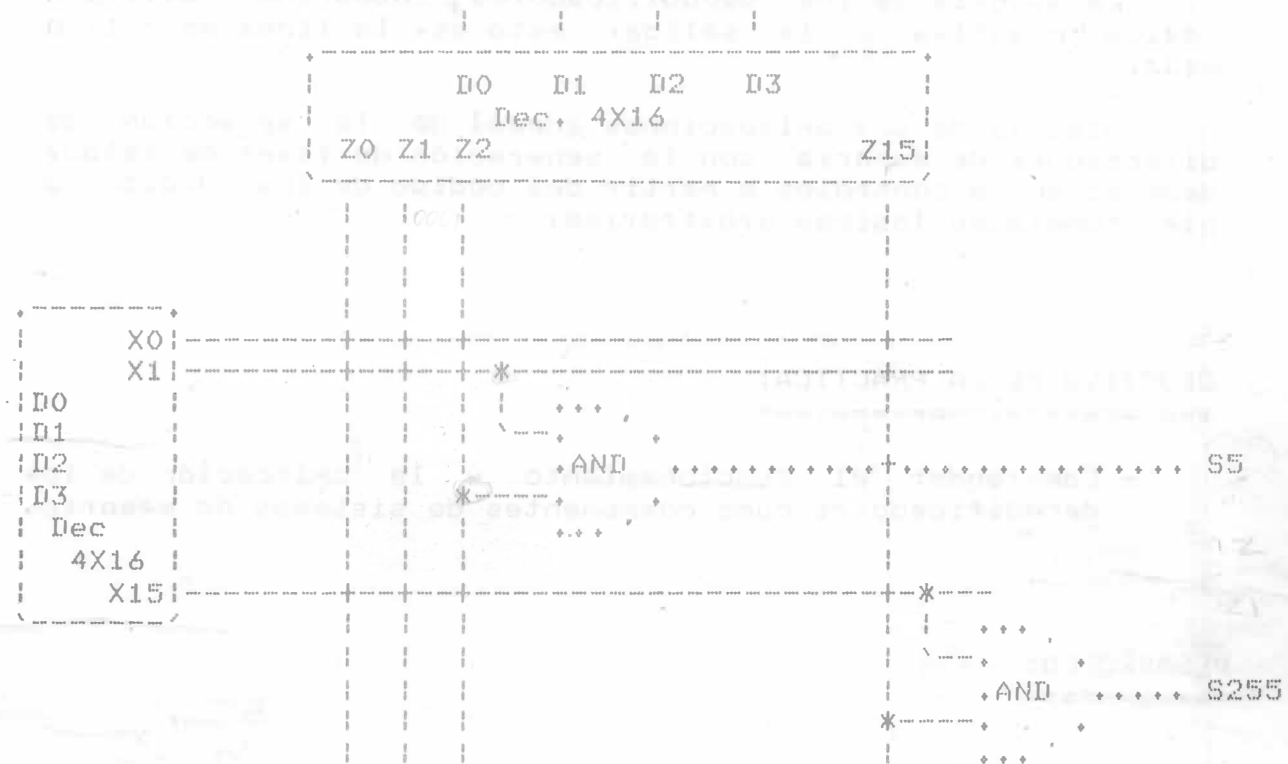


fig. 3

COMBINACION DE DOS DECODIFICADORES

En lo referente a la habilitación, ésta desactiva todas las salidas sin importar la señal de dirección. En la primera forma de decodificación, la habilitación es introducida como una entrada adicional común a todas las compuertas, mientras que en la segunda puede consistir de una tercera entrada en todas las compuertas de determinada etapa. Si habilitamos en la primera etapa requerimos de "n" compuertas de tres entradas, pero si la habilitación es en la última requeriremos de muchas compuertas de tres entradas.

Los decodificadores y su aplicación son importantes como componentes de sistemas de memoria. En los circuitos integrados de memoria la decodificación se lleva a cabo comúnmente por transistores de emisor múltiple. Estos actúan como una compuerta de "n" entradas, aunque es necesario una etapa de potencia para activar a todo un renglón de memoria.

La mayoría de los decodificadores integrados utilizan lógica negativa a la salida, esto es, la línea es activo baja.

Algunas de sus aplicaciones además de la selección de direcciones de memoria son la generación de fases de reloj, generación de controles a partir del código de instrucción o bien funciones lógicas arbitrarias.

OBJETIVO DE LA PRACTICA:

=====

- Comprender el funcionamiento y la aplicación de los decodificadores como componentes de sistemas de memoria.

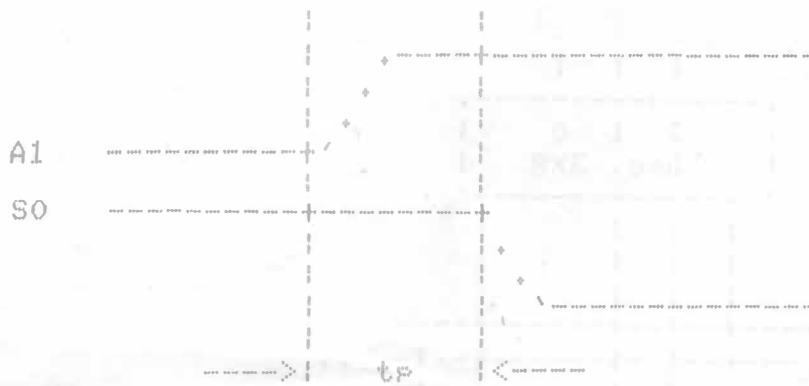
DESARROLLO:

=====

- Alambrear el decodificador que se muestra en la figura 4 y verificar la decodificación llenando la siguiente tabla de verdad.

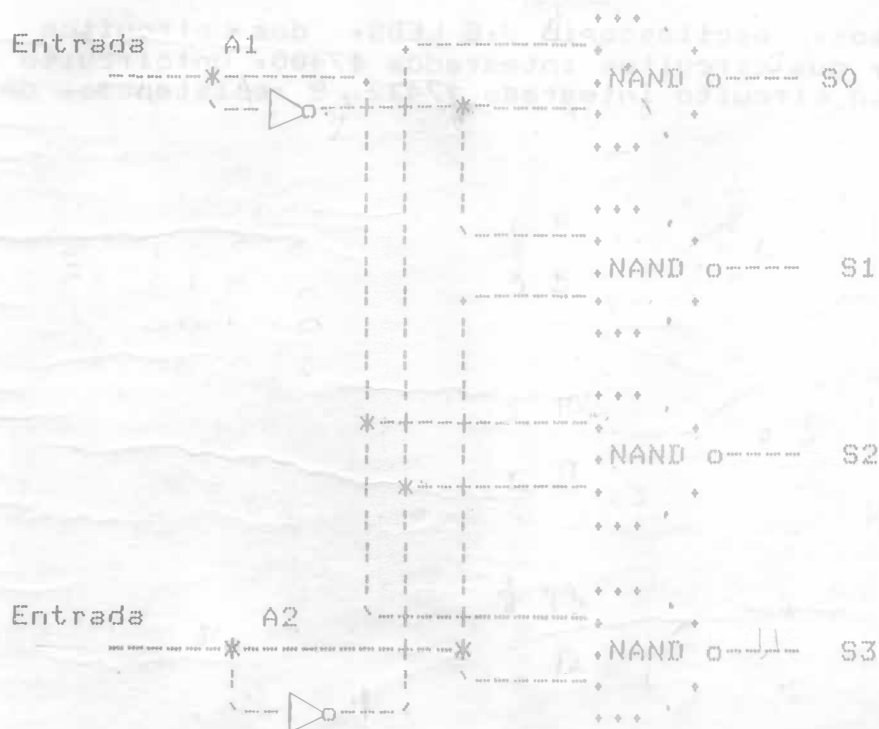
A1	A2	I	S0	S1	S2	S3
0	0	1				
0	1	1				
1	0	1				
1	1	1				

- Medir el tiempo de propagación conectando un generador a una de las entradas comparando la curva de respuesta con la entrada. Como se muestra en la figura siguiente. Utilizar un osciloscopio de dos trazas y una frecuencia del generador mayor a 100 KHz.



t_p : tiempo de propagación

- Graficar la respuesta de retardo
- Alambrear dos circuitos integrados #74155 para obtener una decodificación de 4X16. Utilizar un CI #7404 para controlar la habilitación de uno de los chips. A la salida conecte LEDs y resistencias para verificar visualmente el comportamiento.
- Conectar los CI #74155 de forma que se puedan decodificar 64 salidas por medio de la coincidencia de las mismas empleando compuertas OR. Alambrear las compuertas para obtener salidas S11, S34 y S63. (Ver figura 5 .)



DECODIFICADOR 2X4

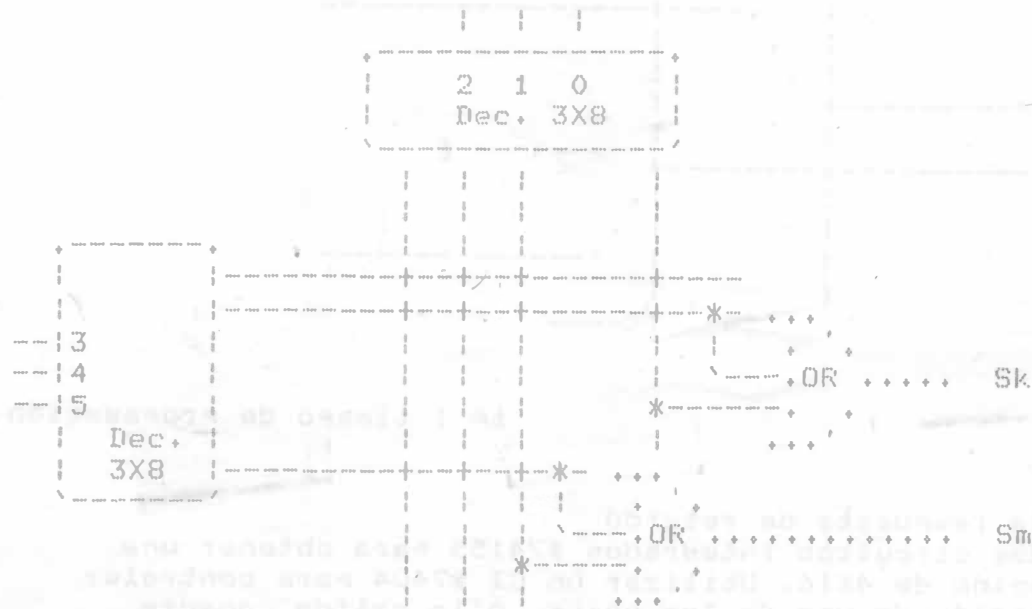


fig. 5

MATERIAL Y EQUIPO REQUERIDO:

=====

Generador de pulsos, osciloscopio, 8 LEDs, dos circuitos integrados #74155, dos circuitos integrados #7400, un circuito integrado #7404, un circuito integrado #7432, 8 resistencias de 330 ohms.

MEMORIAS Y PERIFERICOS

=====

"GRABACION DIGITAL EN CINTA MAGNETICA I"

=====

El medio en el cual se almacenan los datos puede variar: cinta, disco flexible o duro, tambores, cartuchos, cassetes, etc.

El medio de grabación está compuesto de dos partes, una magnética y otra no magnética. Esta última determina el grosor del medio el cual se puede clasificar como flexible (cintas y discos flexibles), o duro (discos duros). El medio magnético no flexible que se utiliza principalmente es el plástico, mientras que en el medio duro, se utiliza el aluminio. Ahora bien, este material ya sea plástico o aluminio está recubierto por el medio magnético; éste está compuesto por una mezcla que contiene óxido de hierro. El óxido de hierro está constituido por partículas magnéticas en forma de agujas (aproximadamente de un micrómetro de longitud por una décima de micrómetro de anchura) las cuales se comportan como un pequeño imán. Estas partículas se encuentran lo bastante alejadas entre sí para no interferir entre ellas y son orientadas de acuerdo a la información que se quiera grabar.

Las formas que se utilizan para grabar señales en un medio magnético pueden dividirse en las que utilizan formas de eliminar el efecto no lineal del ciclo de histéresis, y las que aprovechan sus características.

La cinta magnética es una memoria secuencial ya que para el acceso de la información dentro de ella, es necesario recorrerla desde el inicio hasta el lugar donde se encuentren los datos; también es no volátil debido a que los datos grabados en ella no se pierden si la cinta es removida de su unidad; su frecuencia de transferencia es relativamente baja, su tiempo de acceso es variable y por lo general bastante largo. Es utilizada como memoria secundaria para el almacenamiento de grandes volúmenes de datos.

La grabación de señales de audio es del tipo "Magnetización sin histéresis", la cual utiliza una frecuencia de polarización muy alta y de gran amplitud, a la cual se le suma la señal de información.

Las grabadoras de audio ofrecen la posibilidad de actuar como periféricos económicos para sistemas de micro y minicomputadoras.

OBJETIVO DE LA PRACTICA:

=====

- Analizar las características y el funcionamiento de una grabadora de audio y realizar una grabación de información digital en ella.

DESCRIPCION DE LA GRABADORA DE AUDIO

La grabadora de audio que utilizaremos tiene controles en forma de botones para grabar y reproducir, detener la cinta, reembobinar hacia adelante o hacia atrás y expulsar la cinta. Tiene una entrada para micrófono externo y salida hacia una bocina o dispositivo externo. El diagrama de bloques del circuito interno de la grabadora se muestra en la figura 1.

Su funcionamiento es el siguiente:

Durante el proceso de escritura, la cabeza de borrado funciona recibiendo del oscilador una frecuencia fija; de esta manera, la cabeza polariza a las partículas magnéticas de la cinta en una sola dirección; cuando la cinta pasa por la cabeza de grabación, las partículas son polarizadas de acuerdo a la señal.

Durante el proceso de lectura, la cabeza de borrado no entra en funcionamiento, y ahora son las partículas magnéticas de la cinta las que inducen un flujo magnético en la cabeza de reproducción produciendo una corriente que varía de acuerdo con la señal; ésta pasa al pre-amplificador, amplificador, etapa de salida y en este punto pasa a la bocina.

El circuito electrónico contiene una combinación pre-amplificador, amplificador y etapa de salida que puede conectarse a la señal del micrófono durante la grabación, y a la cabeza de reproducción durante la lectura. La etapa de salida se conecta a una bocina durante la reproducción y a un circuito sumador durante la grabación. El circuito sumador le añade a la señal de información la señal de polarización de corriente alterna, alimentando su salida a la cabeza de grabación - reproducción.

logue de
ontrol (botones)

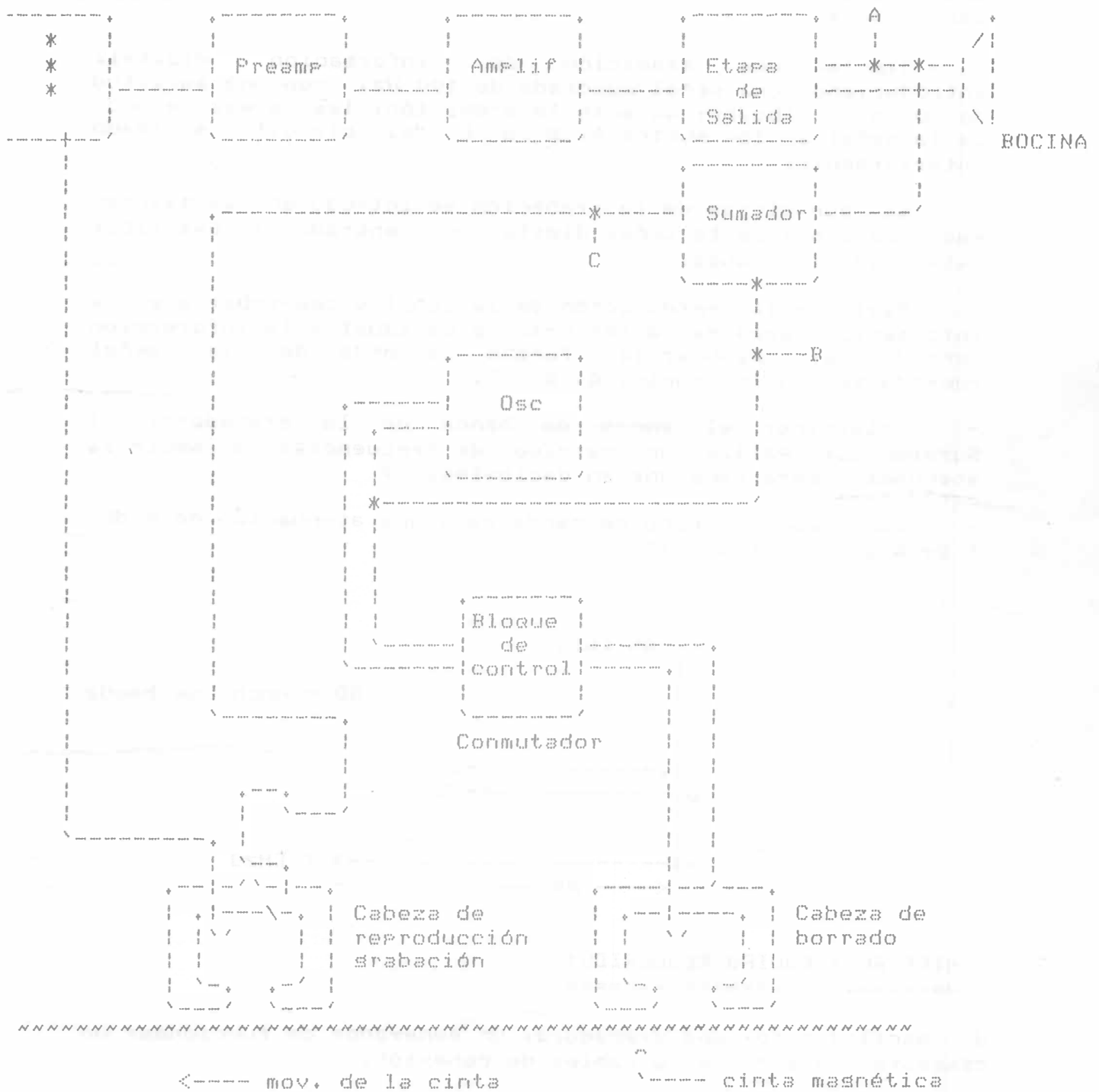


FIGURA 1.

DIAGRAMA A BLOQUES DEL CIRCUITO DE LA GRABADORA

DESARROLLO:

=====

- Simular una grabación de información digital, introduciendo una señal cuadrada de 100 Hz, con una amplitud de 50 mv. Dibujar, durante la grabación, las formas de onda de la señal en los puntos A, B y C del circuito mostrado anteriormente.

- En qué etapas de la grabación se introducen las mayores modificaciones de la señal digital de entrada ? Describir estas modificaciones.

- Realizar la reproducción de la señal y comprobar que la información grabada anteriormente es igual a la información reproducida. Dibujar las formas de onda de la señal reproducida en los puntos A, B y C.

- Determinar el ancho de banda de la grabadora. (Sugerencia: realizar un barrido de frecuencias y medir la atenuación para cada una en decibeles.)

- Cuál es el ancho de banda para una atenuación de 6 db. (50 % de amplitud.)?



MATERIAL Y EQUIPO REQUERIDO:

=====

Un osciloscopio, una grabadora, un generador de funciones, un cassette convencional y cables de conexión.

MEMORIAS Y PERIFERICOS

"GRABACION DIGITAL EN CINTA MAGNETICA II"

OBJETIVO DE LA PRACTICA:

- Comprender la modulación FSK.
- Realizar una grabación de mejor calidad.

Como pudimos ver en la práctica anterior de grabación, la reproducción en amplitud y forma de la señal no fue del todo fiel.

Para que la información que almacenamos en la cinta sea confiable es indispensable cambiar un poco la estructura de la grabación. En esta práctica trataremos de mejorar la calidad de la grabación con un sistema adicional de modulación, esto es, utilizando modulación de frecuencia con FSK (Frequency Shift Keying) o llaveo por desplazamiento de frecuencia.

Este nuevo sistema consta de dos bloques adicionales que son "Modulador" y "Demodulador". El diagrama a bloques se muestra en la figura 1.



fig 1.

DIAGRAMA A BLOQUES DEL CIRCUITO

SISTEMA MODULADOR

Se modula para poder aprovechar al máximo el medio y obtener una mejor calidad en la grabación de tal manera que se tenga cierto grado de confiabilidad al momento de guardar la información.

El sistema es por el filtrado de la grabadora (en una forma senoidal) de una frecuencia moduladora de 3 KHz.

Consiste de un modulador FSK. En este tipo de modulación un '1' corresponde a una frecuencia f_1 y un '0' a una frecuencia f_2 . En general:

$$\begin{aligned} f_1 &= f_c - f \\ f_2 &= f_c + f \end{aligned}$$

donde f_c es la frecuencia de la portadora y f es el diferencial de frecuencia entre la portadora y f_1, f_2 .

La siguiente figura ilustra la característica de un sistema FSK. (fig 2 .)



fig 2.

CARACTERISTICA DEL SISTEMA FSK .

El circuito demodulador tiene la función de distinguir entre dos frecuencias que se crearon correspondientes a '0' y '1' (datos, moduladora) y convertirlos a niveles lógicos TTL.

Este circuito consta de cinco partes principales que son:

1. Un filtro activo paso bajas con frecuencia de corte de 560 Hz.
2. Un rectificador de onda completa
3. Un amplificador de voltaje (para acoplar con la siguiente etapa).
4. Un filtro activo paso bajas con una frecuencia de corte de 390 Hz. que elimina las componentes de alta frecuencia.
5. Un circuito comparador que nos proporciona la señal original en niveles lógicos TTL a la salida.

Ver figura 4.

DESARROLLO:

Grasbación:

- Alamberrar el circuito modulador como se indica en la figura 3 .

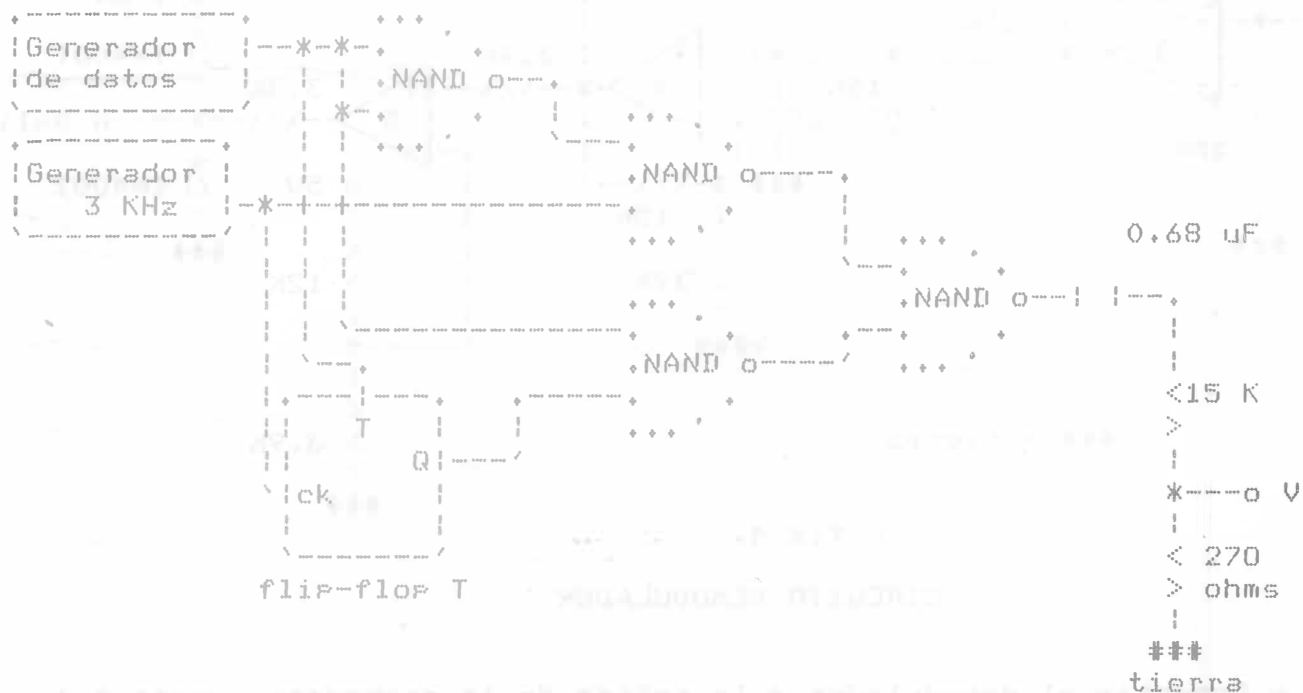


fig 3.

- Conectar una señal a niveles TTL a una frecuencia de 100 bps .
(bits/seg .)
- Hacer las siguientes gráficas :
 - a) Entrada
 - b) Salida del modulador
 - c) Salida de la grabadora
 indicando forma de onda, frecuencia y amplitud para cada caso.
- Repetir el segundo punto a una frecuencia de 200 bps .

Reproducción:

- Alambrear el circuito demodulador .

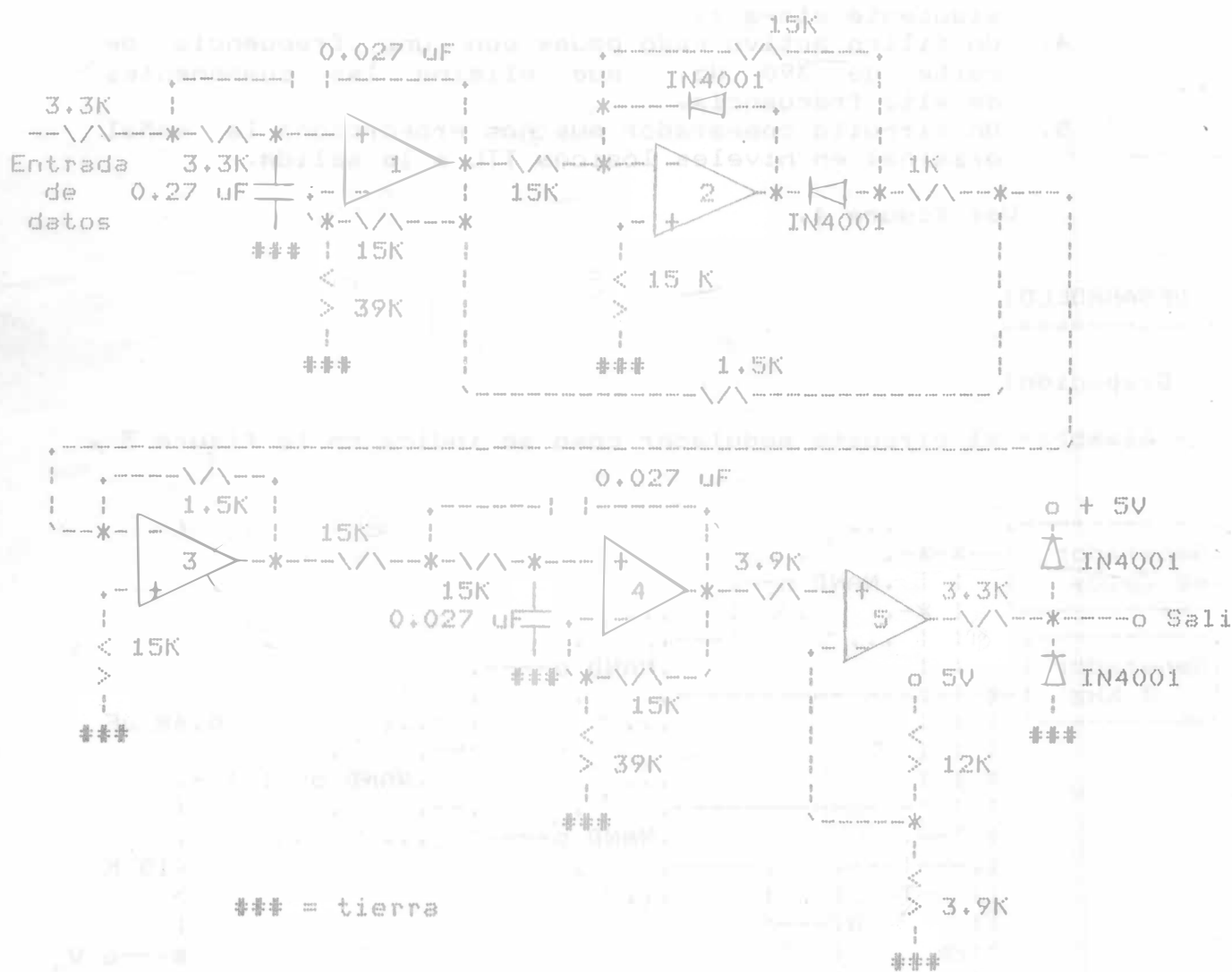


fig 4.

CIRCUITO DEMODULADOR

- Conectar el demodulador a la salida de la grabadora (Pata A).
- Reproducir la grabación realizada en los puntos anteriores .
- Hacer las gráficas de las señales Entrada DEMODULADOR , Salida DEMODULADOR indicando forma, frecuencia y amplitud de la señal.

Preguntas:

1. Determinar la frecuencia máxima que se puede recuperar de manera confiable a la salida del demodulador. (Recordar que el mínimo tiempo de bit es el que determina la frecuencia máxima de bit/seg.)
2. Qué se puede hacer para aumentar la frecuencia de datos ? (la velocidad de transferencia de nuestro sistema de cassette), y explicar dos formas de lograrlo.

MATERIAL Y EQUIPO REQUERIDO:

- Dos generadores de funciones
- Una grabadora
- Una fuente de voltaje (+5V, +20V, -20V)
- Un cassette convencional
- Dos circuitos integrados LM324
- Un CI #7473 (alambrarlo para que funcione como un flip-flop tipo T)
- Tres resistencias de 3.3 Kohms
- Diez resistencias de 15 Kohms
- Dos resistencias de 39 Kohms
- Dos resistencias de 1.5 Kohms
- Dos resistencias de 3.9 Kohms
- Una resistencia de 12 Kohms
- Una resistencia de 1 Kohms
- Tres capacitores de 0.027 uF
- Cuatro diodos IN4001 o BY127
- Un circuito integrado #7400
- Un capacitor de 0.27 uF
- Un capacitor de 0.68 uF
- Una resistencia de 270 ohms

MEMORIAS Y PERIFERICOS.

=====

" CARACTERISTICAS DE UN BUFFER. "

=====

OBJETIVOS DE LA PRACTICA :

=====

- Conocimiento de la ubicación de los buffers en un sistema general de memoria.
- Conocimiento del funcionamiento del buffer.
- Cálculo de un buffer.

DESARROLLO.

=====

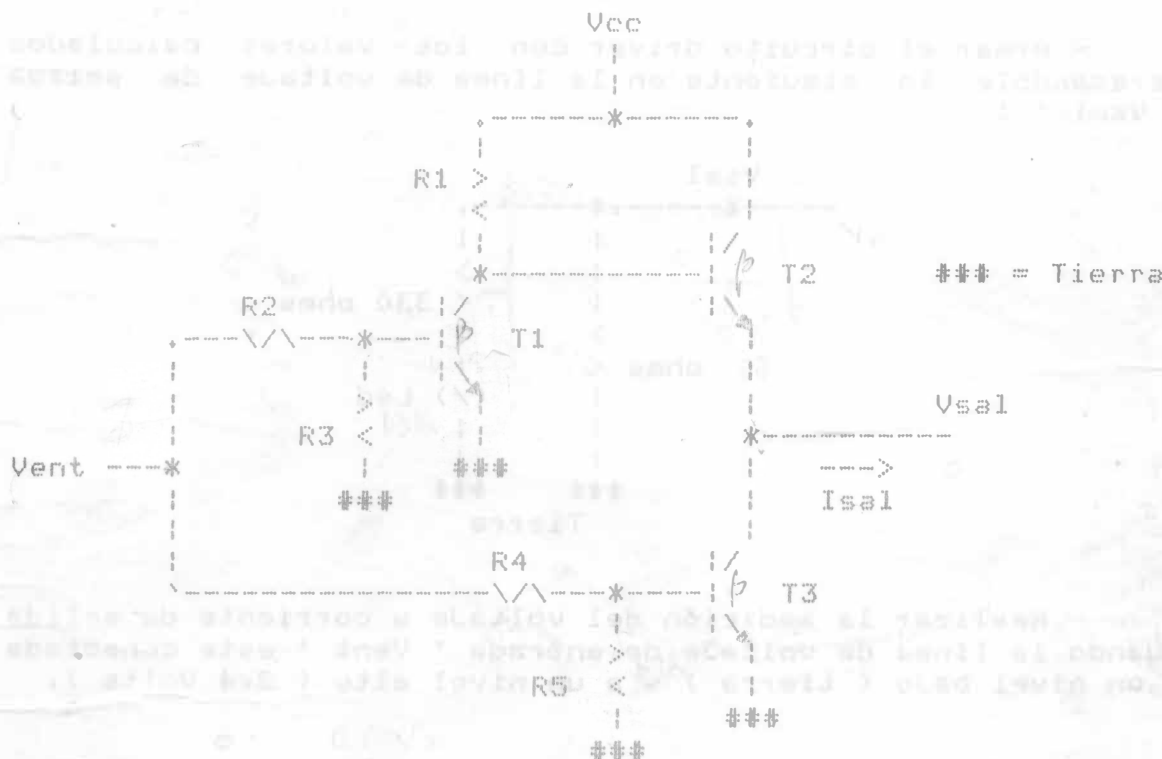
En un sistema de memoria como el de la figura siguiente:



DIAGRAMA A BLOQUES DE UN SISTEMA DE MEMORIA.

Los niveles que maneja la memoria son 0 y 1 lógicos por lo que la corriente máxima que nos puede proporcionar es del orden pico amper ó nano amper, la cual no es suficiente para poder comandar a otros sistemas, por lo tanto es necesario que exista un bloque intermedio entre la memoria y el otro sistema llamado buffer. Dentro del buffer existen circuitos llamados drivers los cuales son los que proporcionan la corriente necesaria para comandar a otros circuitos. Un buffer de N líneas tiene un circuito driver por cada una.

Un circuito buffer de un bit (driver) se presenta a continuación :



ANALISIS :

=====

Cuando la línea de entrada " Vent " esta conectada a un voltaje bajo " VL ", los transistores T1 y T3 están en corte mientras que el transistor T2 está activo dando como resultado en la línea de salida un voltaje alto ($V_{sal} = V_{cc} - V_{cesat2}$), con lo cual se puede disponer de una corriente de salida " Isal " alta. (Del orden de 100 mA).

Cuando la línea de entrada " Vent " está conectada a un voltaje alto " VH " (En este caso $VH = 2.4 V$). Los transistores T1 y T3 saturan, mientras que T2 está en corte, con lo cual se obtiene en la línea de salida un voltaje bajo de aproximadamente 0.2 V.

TRABAJO DE CASA :

Calcular los valores de las resistencias del circuito driver mostrado anteriormente, si se supone como $I_{sal} = 100$ mA y $V_{cc} = 5$ volts, además cuando $V_{ent} = 2.4$ volts "VH", el voltaje de salida debe ser aproximadamente 0.2 volts.

DESARROLLO :

- Armar el circuito driver con los valores calculados asresándole lo siguiente en la línea de voltaje de salida " Vsal " :



- Realizar la medición del voltaje y corriente de salida cuando la línea de voltaje de entrada " Vent " este conectada a un nivel bajo (tierra) y a un nivel alto (2.4 Volts).

- Medir el tiempo de retraso del circuito alambrado.

MATERIAL Y EQUIPO REQUERIDO :

Una fuente de voltaje, un osciloscopio, un generador de funciones, un multímetro, tres transistores 2A237B ó 2A238B ó 2A239B, hojas de especificaciones del transistor, un diodo emisor de luz, resistencias calculadas en el trabajo de casa, así como de 330 y 50 ohms.

MEMORIAS Y PERIFERICOS.

"CIRCUITO TRES ESTADOS."

(THREE STATE)

OBJETIVOS DE LA PRACTICA :

- Conocimiento del funcionamiento del circuito tres estados.
- Cálculo de un circuito tres estados.
- Manejo del circuito integrado # 74125 ó # 74126 como dispositivo de control.

DESARROLLO :

Un bus es un conjunto de líneas, por las que se transmiten tres tipos de señales (control, direccionamiento y datos). El BUS transporta información a varios dispositivos a la vez y solamente uno de ellos es el que debe dar o recibir la información.

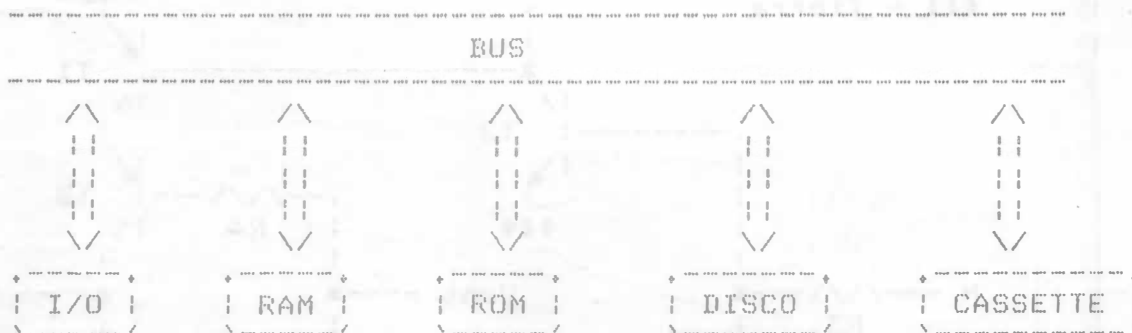


DIAGRAMA GENERAL DE PERIFERICOS

De aquí la importancia de tener algún dispositivo de unión a muchos sistemas para pasar información a uno y solo uno de ellos tal y como lo indica el esquema siguiente de ocho bits.

ANÁLISIS:

=====

Cuando el habilitador "H" está a un voltaje alto "VH" ($H=1$ lógico) los transistores T2, T5 y T1 saturan. Ahora bien, si la línea de voltaje de entrada "Vent" está a un nivel de referencia bajo "VL" y recuerde que $H=1$, el transistor T3 satura, mientras que el transistor T4 permanece en un estado de corte. Por lo que la línea de voltaje de salida "Vsal" estará representada por la siguiente expresión:

$$V_{sal} = V_{cc} - V_{R1} - V_{sat1} - V_{sat3}$$

Por lo tanto podemos concluir que para un voltaje de entrada bajo ("Vent" = 0 lógico) se obtiene un voltaje de salida alto ("Vsal" = 1 lógico). Por otro lado, si la línea de voltaje de entrada "Vent" se encuentra a un nivel de referencia alto ("Vent" = VH ó 1 lógico), el transistor T3 se encuentra en un estado de corte, mientras que el transistor T4 se encuentra en saturación, por lo que la línea de voltaje de salida "Vsal" estará representada por la siguiente expresión:

$$V_{sal} = V_{sat4} + V_{sat5} = 0$$

Por lo tanto podemos concluir que para un voltaje de entrada alto ("Vent" = 1 lógico) se obtiene un voltaje de salida bajo ("Vsal" = 0 lógico).

Cuando la línea habilitadora "H" se encuentra conectada a un voltaje bajo "VL", los transistores T2, T1 y T5 se encuentran en un estado de corte, por lo tanto los transistores T3 y T4 presentan una alta impedancia al no tener un punto referido a tierra.

TRABAJO DE CASA:

=====

Si $V_{cc} = 5$ volts, calcular las resistencias R1, R2, R3, R4 y R5 del circuito tres estados anteriormente visto.

DESARROLLO:

=====

- Armar el circuito tres estados con los valores calculados.

- Llenar la siguiente tabla :

H	Vent	Vsal
0	0	1
0	1	1
1	0	1
1	1	1

Se requiere de una fuente de voltaje, un multímetro, dos transistores 2A257B ó 2A258B ó 2A259B, tres transistores 2A237B ó 2A238B ó 2A239B, dos resistencias de 330 ohms, dos diodos emisores de luz, un circuito integrado # 74125 ó # 74126, resistencias calculadas en el trabajo de casa y hojas de especificaciones tanto del circuito integrado como de los transistores.

MEMORIAS Y PERIFERICOS

"MEMORIA DE SOLO LECTURA."

Una memoria de solo lectura "ROM" (READ ONLY MEMORY), es aquella que únicamente permite la operación de lectura. (La información puede leerse repetidamente , pero no puede ser modificada. Cabe hacer la aclaración que existen diferentes tipos de ROMs en las que si se pueden modificar los datos almacenados; por ejemplo las EAPROMs, pero estas no están clasificadas como memorias de lectura - escritura de acceso aleatorio; debido a que el ciclo de escritura es considerablemente mucho mayor que el ciclo de lectura). Las ROMs son memorias de acceso aleatorio, esto quiere decir que el tiempo que tarda en acceder cualquier localidad de memoria es el mismo (Tiempo de acceso constante). Las ROMs son memorias del tipo no volátil, esto significa que si se les suspende el voltaje de alimentación la información almacenada no se pierde.

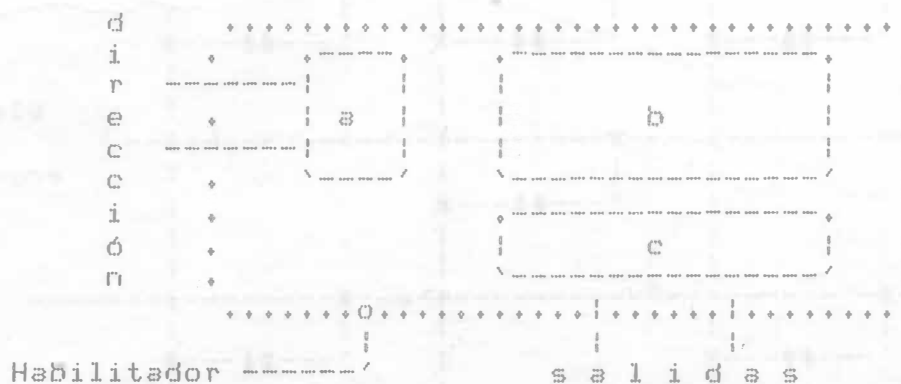
OBJETIVO DE LA PRACTICA :

Comprender la estructura y el funcionamiento interno de las memorias de solo lectura. Para este fin se implementa una memoria ROM a base de diodos, programándose y midiendo algunos parámetros.

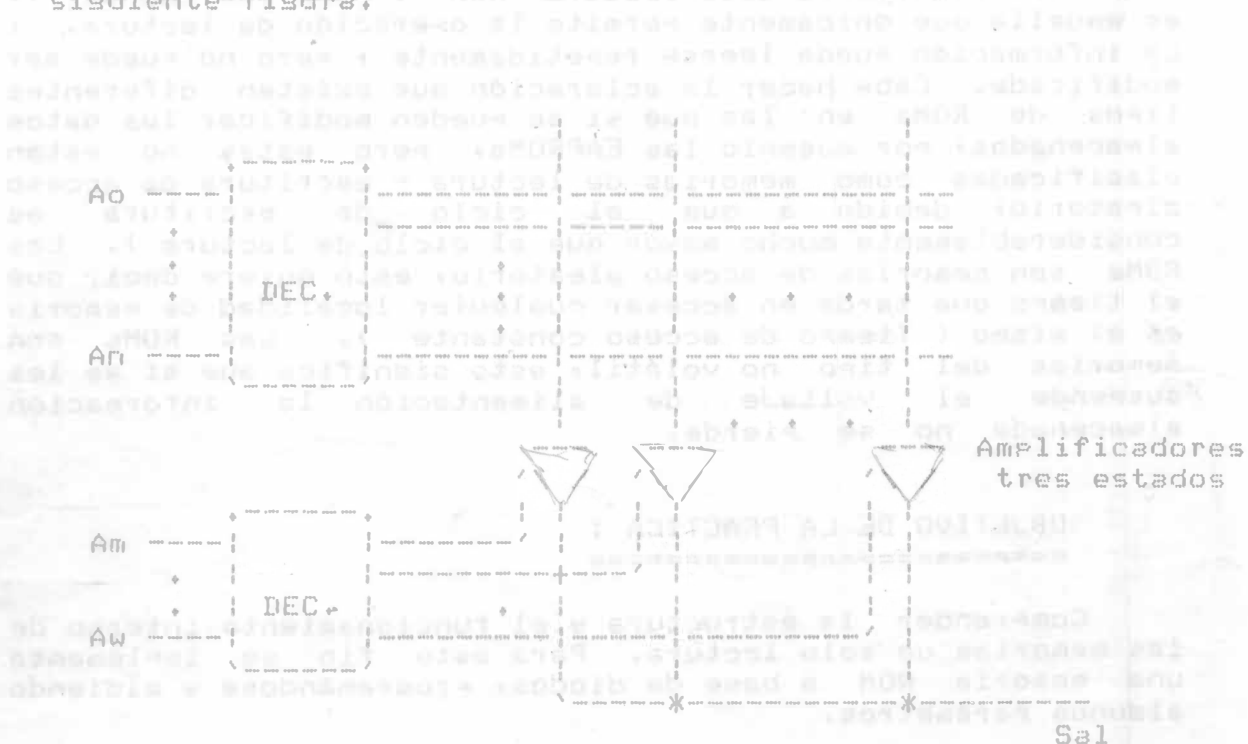
Estructura de las ROMs.

Una memoria ROM esta integrada principalmente por tres bloques:

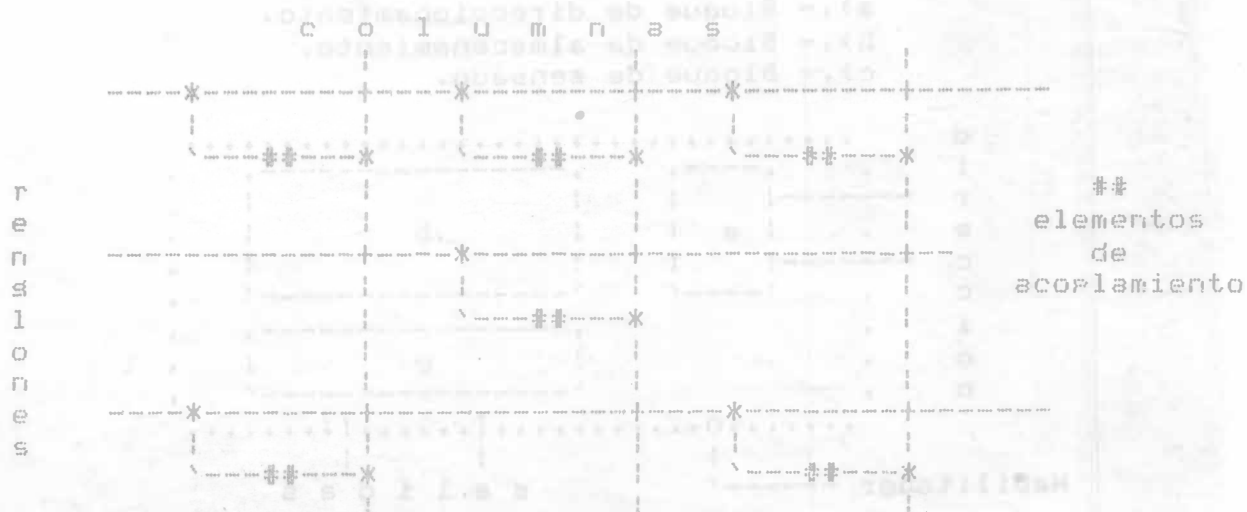
- a).- Bloque de direccionamiento.
- b).- Bloque de almacenamiento.
- c).- Bloque de sensado.



El bloque de direccionamiento tiene como objetivo el decodificar la dirección ($A_0 - A_n$), que se le da como entrada a la ROM y habilitar solamente una línea, seleccionándose todo un renglón. Ahora bien, si no se quieren tantas salidas como columnas, se puede usar un segundo decodificador para reducir el número de salidas. La dirección de un dato estará formada ahora por el direccionamiento de ambos decodificadores; el tamaño de la palabra se reduce en este caso, como se puede observar en la siguiente figura.



El bloque de almacenamiento es una matriz donde los renglones se conectan a las columnas por medio de elementos de acoplamiento, cuya presencia o ausencia indicarán el valor lógico del dato almacenado.



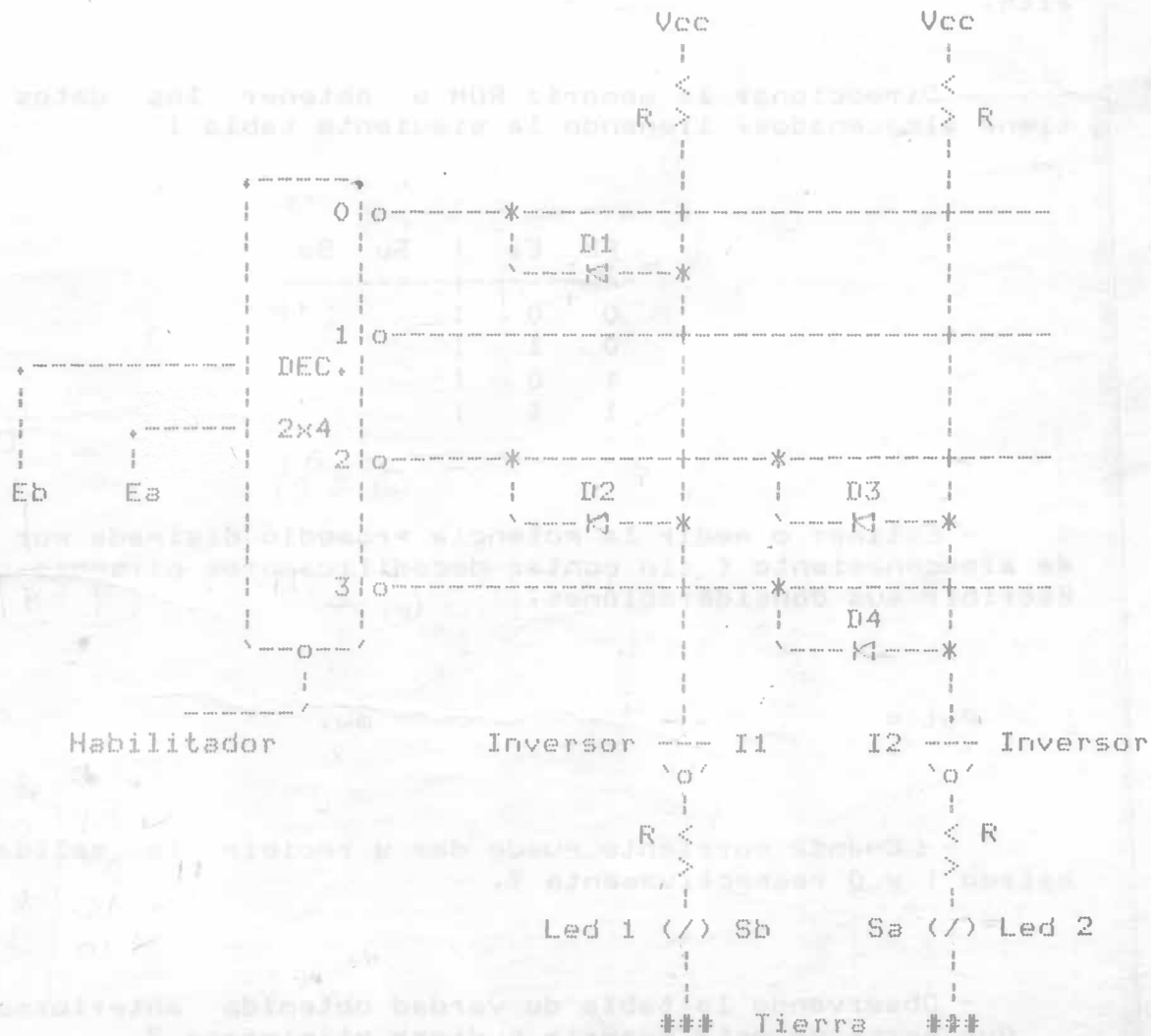
Los elementos de acoplamiento " ## " pueden ser lineales, resistivos, inductivos o capacitivos. (Para mayor información consulte el libro Semiconductor memory design and application de Luecke, G. Mize, J.P. y Carr, W.N. Pág 141). Este tipo de elementos presentan problemas tales como el de la interferencia. La interferencia es el paso de señal de una columna a otra através de algún renglón no activado. Este problema se resuelve utilizando conductancias no bilaterales es decir diodos. Comunmente en lugar de diodos, se utilizan elementos activos como transistores bipolares o MOS.

El bloque sensor está integrado por un conjunto de amplificadores (o inversores) que actúan como un registro intermedio.

DESARROLLO.

=====

- Alambrar la siguiente memoria ROM de cuatro palabras de dos bits.



Observando a la ROM anterior, el bloque de direccionamiento está compuesto por un decodificador 2x4 por lo que con sus dos líneas de direccionamiento Eb y Ea, podemos seleccionar entre cuatro palabras; en este caso cada palabra estará integrada por dos bits Sb y Sa. El bloque de almacenamiento está integrado por los diodos D1 - D4. El bloque sensor está integrado en esta ROM por los inversores I1 e I2.

Si las líneas de direccionamiento Eb - Ea están conectadas a un voltaje bajo (tierra), El decodificador activará su línea número cero (voltaje bajo " VL ") y las restantes líneas de salida (1, 2, 3) estarán desactivadas (voltaje alto " VH "). En la línea cero podemos observar que el diodo D1 está polarizado en directa por lo tanto conduce, obteniéndose en la salida " Sb " un voltaje alto, mientras que en " Sa " hay un voltaje bajo. Ahora bien, chequeemos que pasa con alguna línea que no este activada, por ejemplo, la línea número dos del decodificador que se encuentra a un voltaje alto " VH ". El diodo D2 se encuentra polarizado en inversa por lo que no conduce y por lo tanto no interfiere con la línea del decodificador activada. El diodo D3 tampoco conduce por encontrarse su ánodo y su cátodo a un voltaje alto.

- Direccionar la memoria ROM y obtener los datos que tiene almacenados, llenando la siguiente tabla :

Eb	Ea	I	Sb	Sa
0	0	1		
0	1	1		
1	0	1		
1	1	1		

- Estimar o medir la potencia promedio disipada por bit de almacenamiento (sin contar decodificadores ni sensores). Escribir sus consideraciones.

Pot =

mw.

- ¿ Cuánta corriente puede dar y recibir la salida en estado 1 y 0 respectivamente ?.

- Observando la tabla de verdad obtenida anteriormente, Qué parte de esta memoria pudiera eliminarse ?.

- Comprobar que la memoria ROM alamburada es del tipo no volátil.

- Para la memoria ROM alamburada conecte alguna de las entradas (Eb o Ea) a un generador de pulsos, medir el tiempo de acceso comparando los momentos de ascenso en la entrada y algún bit de salida. Medir o estimar con que frecuencia se puede operar esta memoria.

T acceso =, Frec. operación (máx)=

- Implementar y armar una memoria ROM, la cual reciba como entrada un número entre cero y tres. Dando como salida el cubo de ese número. Mostrar como queda la memoria y decir también que organización tendría.

- Escribir sus conclusiones.

Material y equipo requerido:

=====

Cinco diodos emisores de luz, ocho diodos IN-4001 ó BY-127, un circuito integrado # 74155, un circuito integrado # 7404, diez resistencias de 330 ohms, una fuente de voltaje, un generador de funciones, un osciloscopio y cables suficientes para las conexiones.

MEMORIAS Y PERIFERICOS

"R A M"

(MEMORIAS DE LECTURA-ESCRITURA)

Una RAM (RANDOM ACCESS MEMORY) es una memoria de estado sólido (circuito integrado) en la cual las operaciones de lectura y escritura se realizan con igual facilidad.

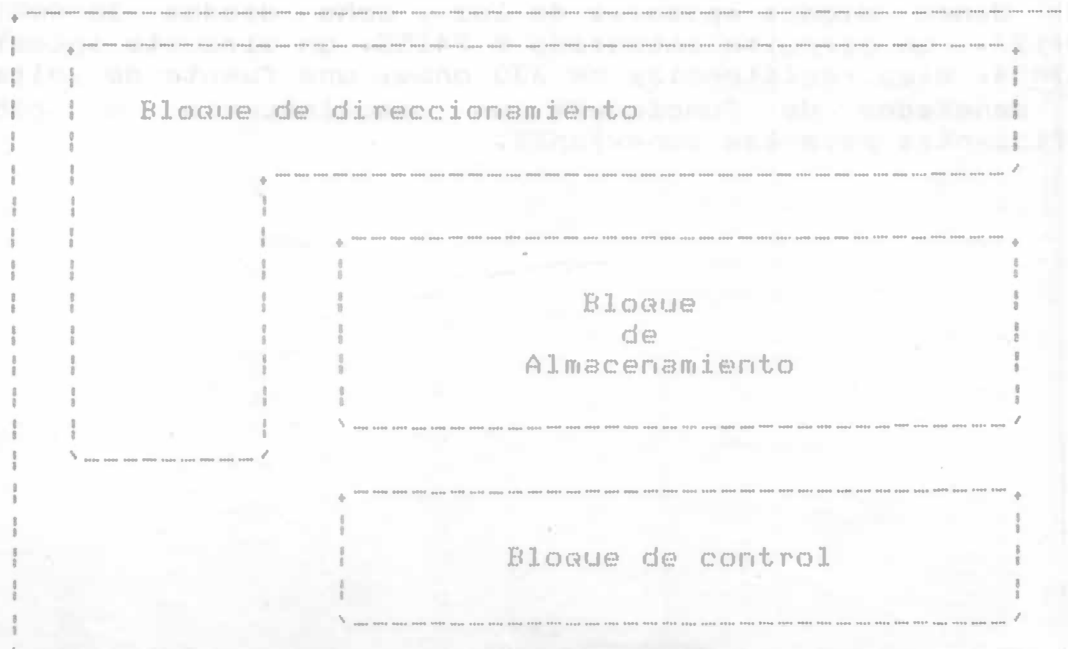
Las RAMs son memorias de acceso aleatorio; esto significa que el tiempo que tarda en acceder cualquier localidad de memoria es el mismo. Cada localidad de memoria es accesada sin tener que pasar por cualquier otra localidad, ya que la selección de la celda de memoria se realiza por medio de un bloque direccionador el cual puede estar integrado por uno o más decodificadores.

Una característica importante de las RAMs es que son memorias volátiles; esto significa que si se les suspende el voltaje de alimentación, la información se pierde.

OBJETIVO DE LA PRACTICA:

- Entender la organización típica y la operación de memorias de acceso aleatorio.
- Realizar una introducción a la definición de especificaciones técnicas de la RAM.
- Implementar una memoria RAM con celdas a base de flip-flops.
- Medir y calcular algunos de los parámetros típicos de la RAM.

Una RAM está integrada principalmente por tres bloques :



El bloque de direccionamiento selecciona la palabra de memoria que queremos acceder.

El bloque de almacenamiento es una matriz de celdas. Cada celda sólo puede almacenar un bit de información. La celda podrá ser estática o dinámica.

El bloque de control de lectura o escritura manda una señal de la operación que se efectuará; esta señal va a todas las celdas, pero solamente se lleva a cabo la operación en la celda seleccionada por el bloque direccionador.

Las RAMs tienen tantas líneas de entrada de datos como de salida.

En las celdas estáticas el elemento básico de almacenamiento es el flip-flop, mientras que en las celdas dinámicas es la capacitancia existente entre el gate y el source. Las celdas estáticas permiten retener la información indefinidamente, siempre y cuando estén conectadas a la fuente de alimentación; las celdas dinámicas no permiten retener la información indefinidamente debido a que la carga de la capacitancia del transistor se mantiene por algunos milisegundos sin degradación notable. Después de este tiempo la capacitancia se va descargando por lo que es necesario un proceso de refrescamiento que consiste en recargar las capacitancias que almacenan un '1' lógico. Este proceso se debe realizar en todas las celdas de la memoria cada dos mSeg. aproximadamente.

Como ejemplo de celdas típicas, se muestra una celda estática BIPOLAR y otra MOS.

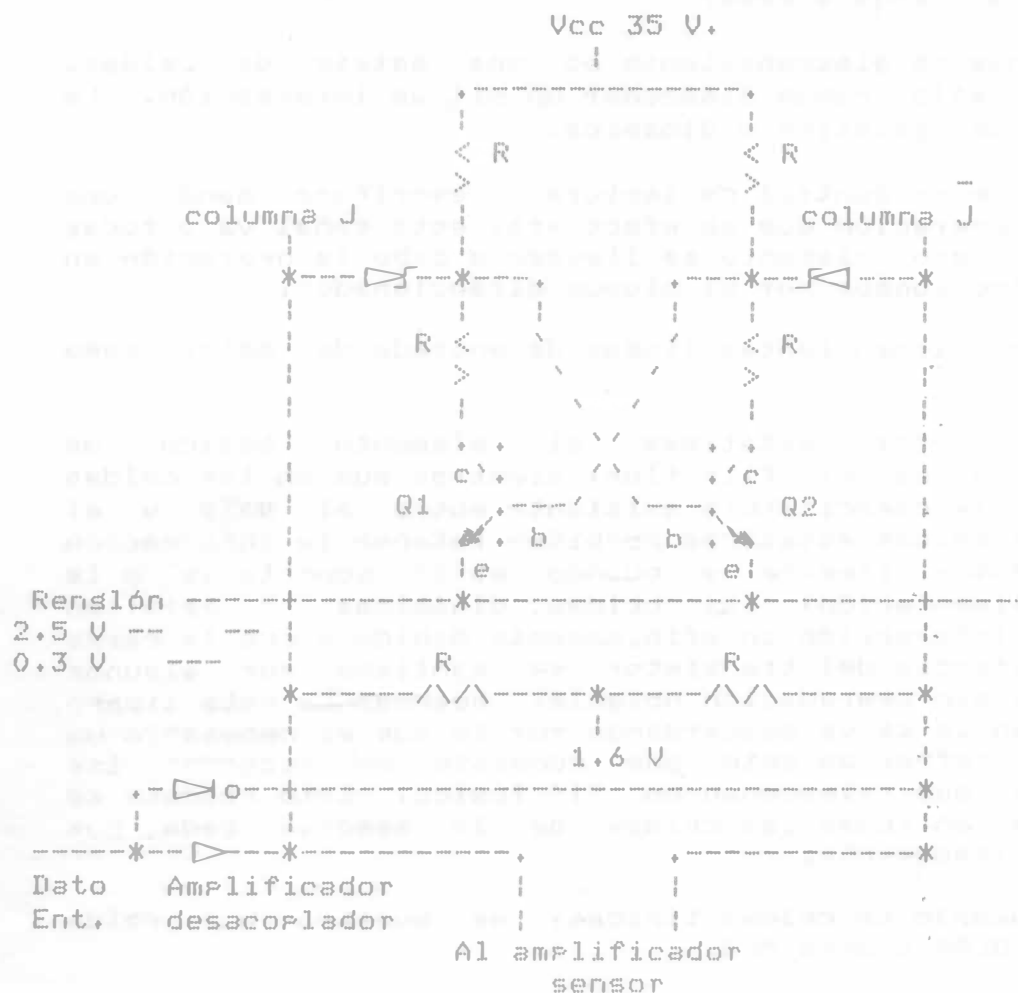
Note que las columnas son a la vez líneas de entrada y salida de la celda. Por la salida están conectadas a la alta impedancia de entrada de un amplificador sensor, mientras que por la entrada pueden conectarse a la baja impedancia de un amplificador desacoplador (buffer) que fuerza el estado del flip-flop cuyo valor ha sido seleccionado. Un transistor está encendido mientras que el otro está apagado.

La celda bipolar se lee bajando el voltaje del emisor de 2.5 V a 0.3 V, con lo cual el voltaje de colector del transistor prendido baja también, haciendo conducir al diodo Schottky correspondiente, detectándose el estado de la celda en el amplificador sensor.

Para la operación de escritura, la celda debe ser seleccionada bajando también el voltaje de emisor de 2.5 V a 0.3 V, se pone el dato de entrada con lo cual se causa que una de las columnas se ponga aproximadamente a 3 V, causando que el transistor correspondiente conduzca.

Las celdas no seleccionadas no son afectadas por encontrarse los colectores de los transistores cortados a un voltaje mayor de 3 V.

Celda RAM estática bipolar



La celda MOS utiliza los transistores B y B' como resistencias de carga de C y C'. A y A' conectan a la celda (al subir el voltaje de la línea de selección de renglón), con la línea de entrada/salida.

Cada celda MOS es habilitada cuando la línea de selección tiene un voltaje alto (VH); de este modo, el dato que tenemos en la entrada será alimentado a la celda.

Si en la entrada tenemos un voltaje bajo (VL), el transistor C' no conduce teniendo en el GATE del transistor un voltaje alto (VH); este voltaje provoca que el transistor C conduzca presentando de la misma forma a la salida un voltaje bajo (VL) realimentando así al circuito.

Cuando a la entrada tenemos un voltaje alto (VH), el transistor C' conduce y a la salida aparece un voltaje bajo (VL); éste es aplicado a la entrada de C cortando al transistor y realimentando nuevamente el circuito.

DESARROLLO:

=====

- Alamberrar la siguiente memoria de dos palabras de dos bits (fig. 1). Tener cuidado al alamberrar el circuito porque se está usando lógica alamberrada y compuertas de colector abierto.

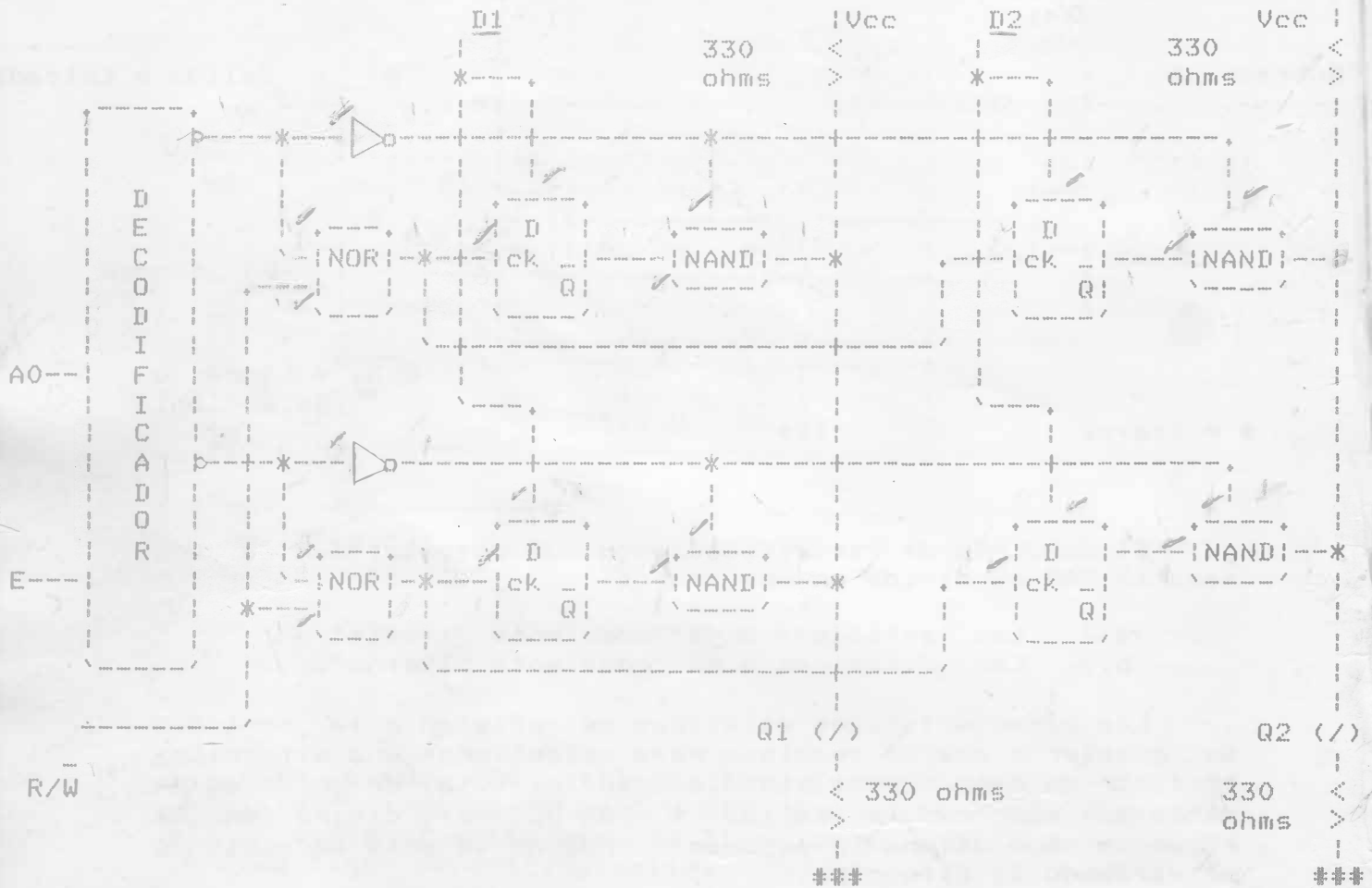


fig. 1

Utilizar dos conmutadores para dirección y dos para datos. La memoria anterior puede representarse como el siguiente bloque:



Sin contar las resistencias, la memoria se considera de salidas con colector abierto, con la ventaja de poder atar varias salidas de varias unidades en paralelo. ("Lógica alamburada" .)

- Determinar qué pasos deben efectuarse para realizar una lectura y una escritura.
- Comprobar el buen funcionamiento de la memoria alamburada escribiendo y leyendo en ella.
- Decir dos opciones para que las salidas salgan invertidas sin tener que aumentar ningún otro componente al circuito.
- En base a hojas de especificaciones, encontrar los tiempos que deben conservarse durante la escritura. Para garantizar que no se escriba en una parte equivocada de memoria, los datos y la dirección deben estar estables cuando se pulsa el reloj de los flip-flops a través de R/W. (Utilizar tiempos de propagación máximos para establecer los márgenes .)
- Determinar en qué orden deben cumplirse las condiciones mostradas en el diagrama con sus respectivas restricciones de tiempo, si las hay.
- Calcular el tiempo de acceso y la frecuencia máxima de acceso para una lectura.
- Estimar una frecuencia máxima para un ciclo formado por una lectura seguido de una escritura. Mostrar los cálculos.



MATERIAL Y EQUIPO REQUERIDO

=====

Dos CI #7474 (flip-flops), un decodificador #74155, un CI #7401, un CI #7402, resistencias de 330 ohms, LEDs, un osciloscopio, fuente de +5V, un CI #7404.

MEMORIAS Y PERIFERICOS.

"REFRESCO DE MEMORIA"

OBJETIVOS DE LA PRACTICA :

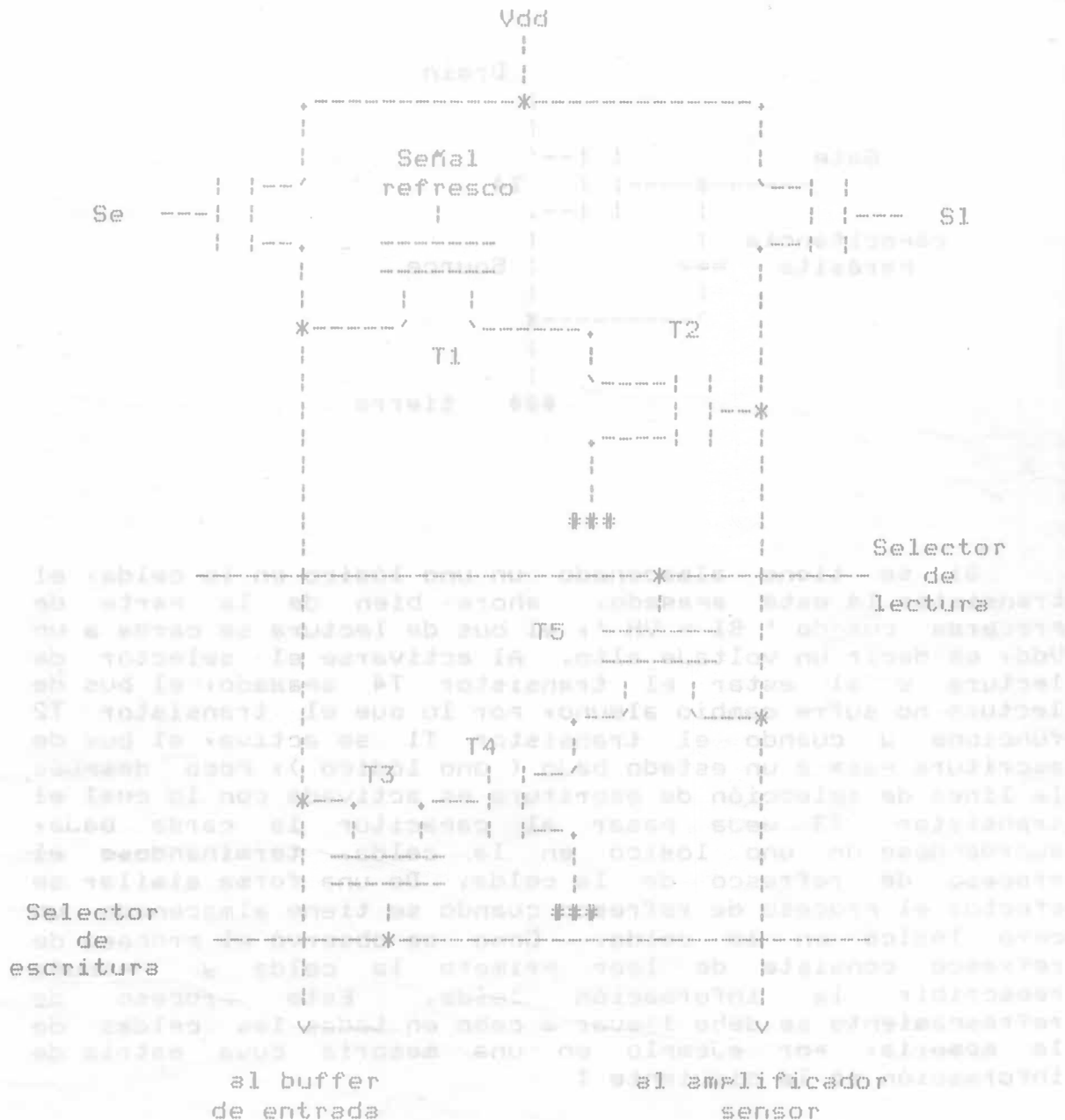
- Conocer el concepto de refresco de memoria.
- Conocer el uso de un contador programable.
- Simulación de los pasos del proceso de refresco de una memoria.

DESARROLLO :

Existen dos tipos de memorias de lectura - escritura de acceso aleatorio como son las memorias de ferritas (núcleos magnéticos) y las memorias RAMs (estado sólido). Dentro de estas últimas existen dos tipos, dependiendo de la clase de celda de almacenamiento que se utilice. Esta puede ser una celda estática o dinámica. En la celda estática el elemento de almacenamiento básico es el transistor, por ejemplo un flip - flop, en el cual la información contenida en la celda se mantiene constante siempre y cuando el circuito este conectado a Vcc. En cambio en las celdas dinámicas el elemento de almacenamiento básico consiste en la capacitancia parásita existente entre el gate y el source del transistor MOSFET. En el cual la carga de la capacitancia se conserva durante varios milisegundos sin degradación notable, después de ese tiempo la capacitancia empieza a descargarse por lo que es necesario un proceso de refrescamiento de memoria, el cual consiste en recargar todas las celdas que almacenan un uno o cero según la lógica utilizada. Este proceso se puede explicar de la siguiente manera :

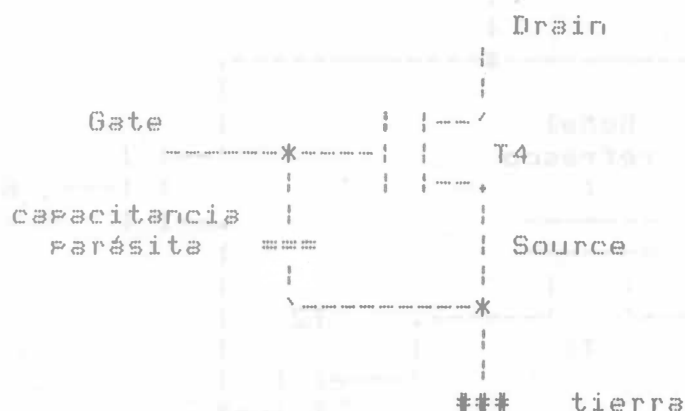
Se lee la información que tiene guardada la celda y después se reescribe tal información. Cabe hacer la aclaración que el proceso de refrescamiento debe hacerse antes de que la constante de descarga de la capacitancia ocasione un cambio en la información contenida en la celda de memoria. Este proceso de refrescamiento se debe realizar en todas las celdas cada determinado tiempo (2 mses). Este tiempo depende del fabricante y del tipo de memoria usada.

A continuación se explicará como se efectúa el proceso de refresco en una celda de la memoria RAM dinámica número 1103A cuya organización es de $1K \times 1$.

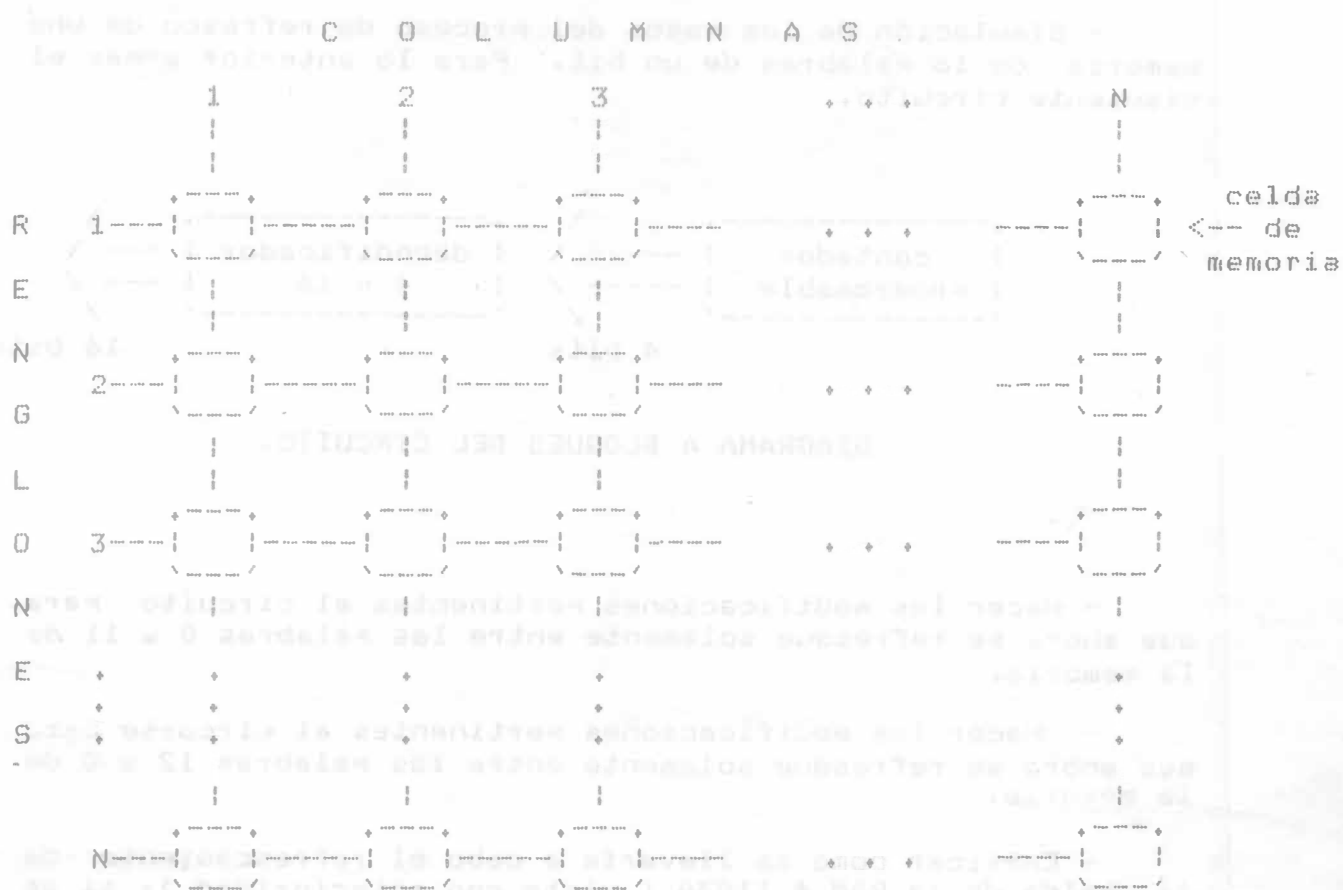


Nota : Un cero lógico será un voltaje alto " VH " y un uno lógico será un voltaje bajo " VL ". Las señales Se y S1 son generadas internamente para precargar al bus de escritura y lectura respectivamente.

La capacitancia del transistor T4 es la que se utiliza como celda de almacenamiento. En otras palabras al transistor T4 lo consideraremos de la siguiente forma :



Si se tiene almacenado un uno lógico en la celda, el transistor T4 está apagado, ahora bien de la parte de precarga cuando "S1 = VH", el bus de lectura se carga a un Vdd, es decir un voltaje alto. Al activarse el selector de lectura y al estar el transistor T4 apagado, el bus de lectura no sufre cambio alguno, por lo que el transistor T2 funciona y cuando el transistor T1 se activa, el bus de escritura pasa a un estado bajo (uno lógico), Poco después la línea de selección de escritura es activada con lo cual el transistor T3 deja pasar al capacitor la carga baja, guardandose un uno lógico en la celda, terminandose el proceso de refresco de la celda. De una forma similar se efectúa el proceso de refresco cuando se tiene almacenado un cero lógico en la celda. Como se observó el proceso de refresco consiste de leer primero la celda y después reescribir la información leída. Este proceso de refrescamiento se debe llevar a cabo en todas las celdas de la memoria, por ejemplo en una memoria cuya matriz de información es la siguiente :



MATRIZ DE ALMACENAMIENTO DE $N \times N$ CELDAS

El refresco se llevaría a cabo de la siguiente manera :
 Primero se selecciona el renglón uno, a continuación se realiza simultáneamente el refrescamiento de todo el renglón, después se selecciona el segundo renglón y así sucesivamente con todos los restantes.

- Alambrear el contador del circuito integrado # 74193 para que cuente de 15 a 0 y se regenere.

- Alambrear ahora el contador para que cuente de 0 a 15 y se regenere.

- Alambrear el contador para que cuente de 5 a 15 y se regenere.

- Alambrear el contador para que cuente de 8 a 15 y se regenere.

- Simulación de los Pasos del Proceso de refresco de una memoria de 16 palabras de un bit. Para lo anterior armar el siguiente circuito.



DIAGRAMA A BLOQUES DEL CIRCUITO.

- Hacer las modificaciones pertinentes al circuito para que ahora se refresque solamente entre las palabras 0 y 11 de la memoria.

- Hacer las modificaciones pertinentes al circuito para que ahora se refresque solamente entre las palabras 12 y 0 de la memoria.

- Explicar como se llevaria a cabo el refrescamiento de la celda de la RAM # 1103A (vista con anterioridad), si se tuviera guardado un cero lógico.

MATERIAL Y EQUIPO REQUERIDO :

Un osciloscopio, una fuente de voltaje, un generador de funciones, 16 diodos emisores de luz, 16 resistencias de 330 ohms, un circuito integrado # 74193, dos circuitos integrados # 74155 y hojas de especificaciones de los circuitos integrados.

MEMORIAS Y PERIFERICOS.

" MEMORIA DIRECCIONABLE POR CONTENIDO "

(CAM, CONTENT ADDRESSABLE MEMORY)

OBJETIVOS DE LA PRACTICA :

- Comprender la estructura y el funcionamiento de las memorias CAMs.

- Implementación de una memoria CAM con una organización de 2×2 , utilizando circuitos integrados de baja y media escala de integración.

INTRODUCCION :

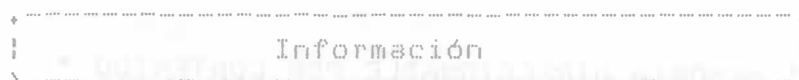
Las CAMs son dispositivos de almacenamiento, y vienen siendo una aplicación de las memorias de lectura y escritura de acceso aleatorio (RAMs). En estas la información puede ser accesada solamente si se conoce la dirección de la localidad donde esta almacenada, en cambio en una CAM no es necesario saber tal dirección del dato, si no que basta con darle cierta información (conjunto de datos) llamada llave, para que la CAM pueda realizar a continuación una operación llamada búsqueda, la cual se realiza en forma simultanea en todas sus localidades, indicandonos en que localidad (o localidades) se encuentra dicha información (llave) que se le dió como entrada, pudiéndose a continuación realizar una operación de lectura o escritura semejante a una RAM.

Las CAMs son memorias de acceso aleatorio y son del tipo volátil.

La información almacenada en las CAMs puede estar organizada principalmente de dos maneras :

- Un solo campo.

La información almacenada es a la vez la llave y la misma información.



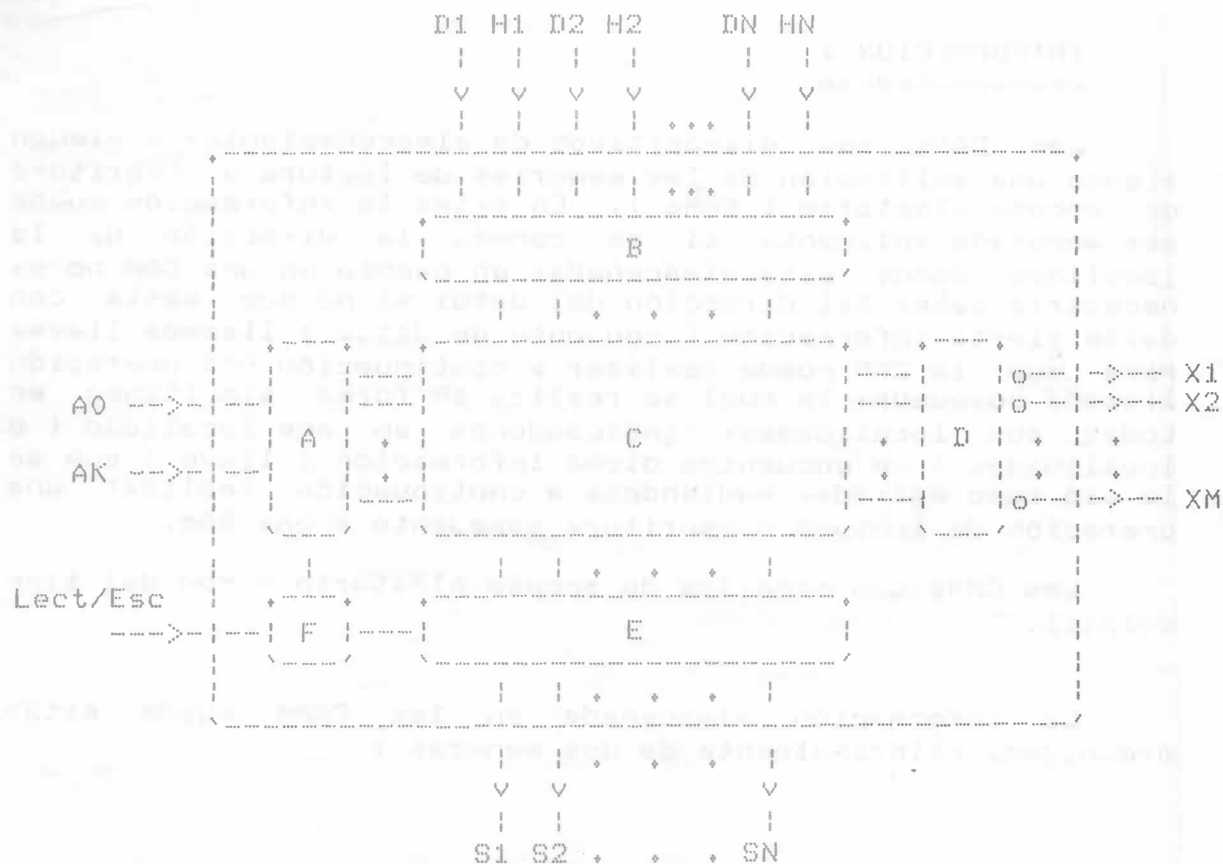
- Dividida en dos campos.

Un campo contiene la llave y el otro contiene la información asociada a la llave.



Esta última forma es la mas usada y por tal motivo se les conoce también a las CAMs con el nombre de memorias asociativas.

ESTRUCTURA DE LAS CAMs.



A - Bloque direccionador.

Este bloque tiene como función el decodificar la dirección (A0 - AK) que se le da como entrada a la CAM para realizar una operación de escritura o lectura, habilitando solo una palabra de memoria.

B - Bloque de habilitación de entrada de datos.

Este bloque tiene como función el de habilitar ciertas líneas de entrada de datos (Llave o información), por ejemplo :

Si una palabra de memoria esta formada por N bits, se tendrán N líneas de datos de entrada e igual número de líneas de habilitación, de esta forma si queremos que nuestra llave de entrada sea los dos primeros bits, estos dos tendrán que estar habilitados y todos los demás no. Por lo tanto al realizarse una operación de búsqueda solo tomará como entrada a los bits que estuvieran habilitados, ahora bien si fuera en una operación de escritura donde se tiene guardado en una palabra por ejemplo 1011 y se quiere modificar solamente el bit menos significativo, entonces solo se habilitaría la línea correspondiente a ese bit y al efectuarse la operación se llevaría a cabo la escritura en la celda correspondiente y las demás celdas conservarían su valor.

C - Bloque de almacenamiento.

Este bloque esta integrado por un conjunto de celdas, cada celda puede guardar un "1" ó un "0" lógico. El número total de celdas sera igual al producto de $M \times N$, donde M es el número de palabras y N es el número de bits por palabra.

D - Bloque de resultado de búsqueda.

Este bloque tiene como función el de indicar en que palabra de la memoria fue encontrada la llave que se le dió para la búsqueda. Este bloque tiene M líneas de salida, donde M es el número de palabras con que cuenta la CAM. Puede suceder el caso de que en una operación de búsqueda, la llave que le fué dada sea encontrada en dos o más palabras de memoria, por lo cual estarán activadas (Voltaje bajo) varias líneas de salida de este bloque.

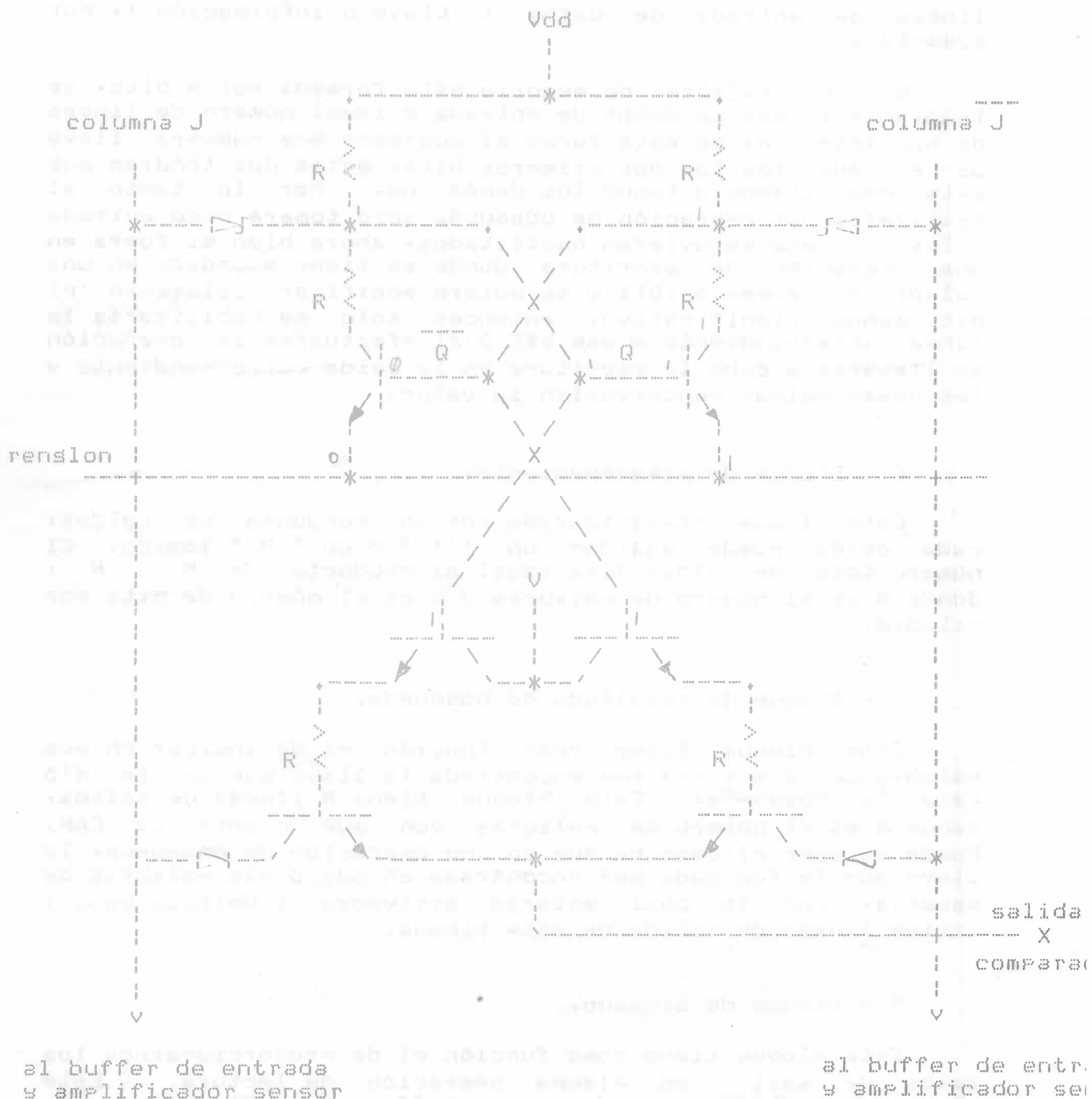
E - Bloque de sensado.

Este bloque tiene como función el de proporcionarnos los datos de salida en alguna operación de lectura. (Este bloque es también conocido como buffer). El bloque de sensado tendrá N líneas de salida, donde N es el número de bits por palabra.

F - Bloque de control.

Este bloque realiza lo necesario para coordinar y controlar el buen funcionamiento de la CAM. Tiene una línea de entrada la cual le indica si se va a realizar una lectura - búsqueda (voltaje alto) o una escritura (voltaje bajo).

Una celda CAM bipolar se muestra a continuación :



Como se puede observar esta celda es casi idéntica a la vista en la práctica de RAM. Solamente difiere en que tiene un bloque mas que sirve para realizar la comparación entre el dato de entrada y el bit almacenado. Cuando son idénticos la línea de salida " X " tendrá un " VH ". Para una lectura - escritura funciona de la misma manera que como se explicó en la práctica de RAM.

DESARROLLO :

=====

- Alambre la memoria CAM cuyo diagrama se encuentra al final de la práctica. Esta CAM tiene una organización de dos palabras de dos bits cada una.

- Comprobar el buen funcionamiento de la CAM alambrada, realizando operaciones de escritura, lectura y búsqueda. Siga los siguientes pasos :

PARA UNA OPERACION DE ESCRITURA :

La línea de entrada de " Lect/Esc " ----> " VH ".

Poner la dirección de la palabra deseada donde se quiere escribir o modificar.

Poner los datos que se quieren que se escriban, con sus respectivas líneas de entrada " Hs " habilitadas.

Lect/Esc ----> " VL ".

Lect/Esc ----> " VH ".

PARA UNA OPERACION DE LECTURA :

Lect/Esc ----> " VH ".

Poner la dirección de la palabra que se quiere leer.

Las líneas " D1 - D2 " y " H0 - H1 " no importan.

La información almacenada se puede observar en las líneas " S1 - S2 ".

PARA UNA OPERACION DE BUSQUEDA :

Lect/Esc ----> " VH ".

Datos (llave) en las líneas de entrada " D1 - D2 ".

Habilitar las " Hs " apropiadas. (H ----> " VH ").

Observar el resultado de la búsqueda en las líneas de salida " X0 - X1 ". Estará habilitada cuando " X " presente un voltaje bajo.

La línea de dirección " A " no es usada en este caso.

- Realizar ahora diferentes operaciones de búsqueda, lectura y escritura. (Llame al instructor de laboratorio).

- Estimar o medir el tiempo de acceso para una operación de búsqueda. Calcular la frecuencia máxima de operación.

- Comprobar que la memoria CAM alamburada es del tipo volátil.

- Cuanta corriente puede proporcionar la salida en un estado " 1 " lógico.

- Como se introduciría un control de habilitación a la CAM alamburada.

MATERIAL Y EQUIPO REQUERIDO :

=====

Una fuente de voltaje, un osciloscopio, un multímetro, dos generadores de funciones, cuatro circuitos integrados # SN 74L71 (Nota: Deben ser " L "), tres C.I. # SN 7408, un C.I. # SN 7401, un C.I. # SN 7432, un C.I. SN 7404, un C.I. # SN 7400, seis resistencias de 330 ohms y cuatro diodos emisores de luz.

Nota: Si no consiguen los 4 CI #74L71, se pueden sustituir por:
(3 CI # 7411 y 2 CI # 7476) ó (por 4 CI # 7472).

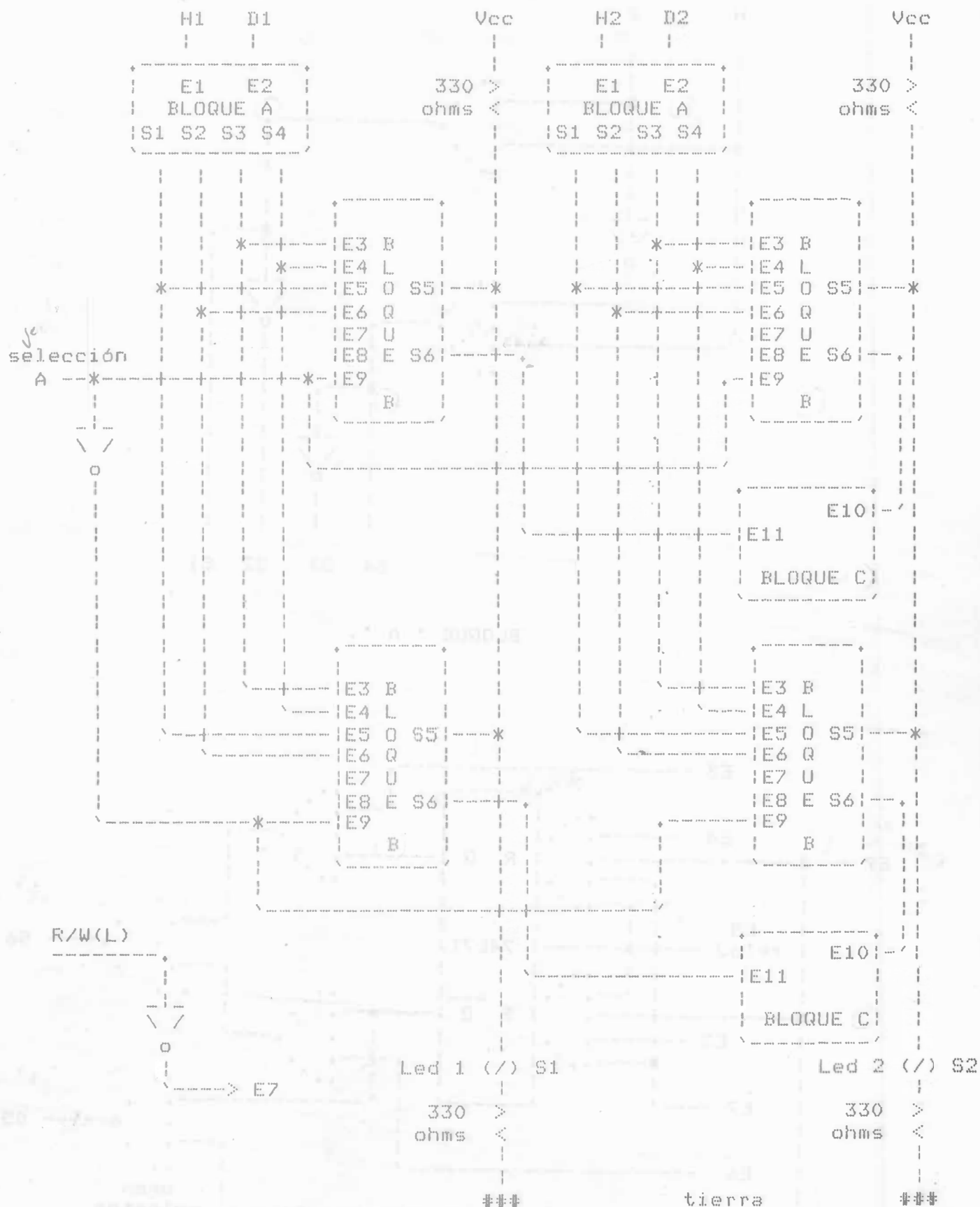
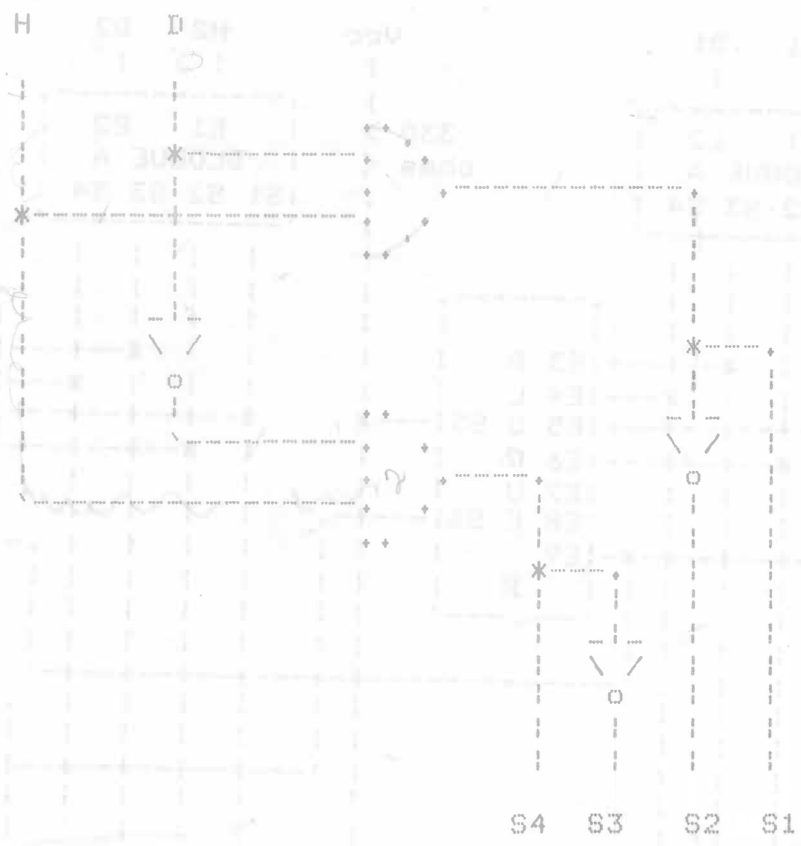
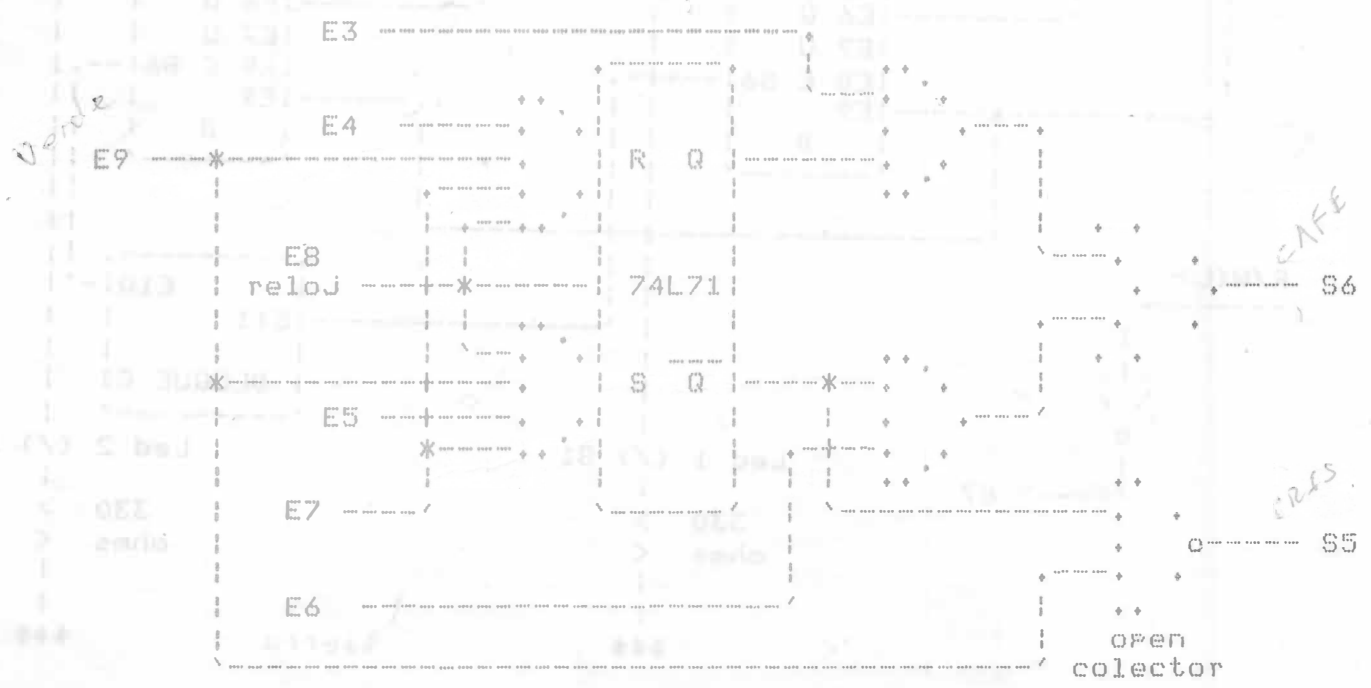


DIAGRAMA A BLOQUES DEL CIRCUITO.



BLOQUE " A ".



BLOQUE " B ".



BLOQUE " C ".

MEMORIAS Y PERIFERICOS

"UART"

(Universal Asynchronous Receiver Transmitter)

OBJETIVO DE LA PRACTICA

- Comprender el funcionamiento general de un UART.
- Realizar una simulación de la operación del UART.

Existen dos métodos básicos para la transmisión de datos sobre una línea de comunicación serie :

- Transmisión Asíncrona y
- Transmisión Síncrona .

Transmisión Asíncrona.

Cuando se utiliza esta transmisión, se envían los caracteres en forma individual desde el transmisor al receptor tan pronto como se encuentren disponibles. Los caracteres pueden ser transmitidos en bloques o bien a intervalos aleatorios de tiempo. La transmisión asíncrona se utiliza generalmente con dispositivos de comunicación de baja velocidad (p.ej. teletipos).

La transmisión asíncrona requiere de un bit de inicio (START BIT) y uno o dos bits para definir el inicio y el final de cada carácter (STOP BITS). El transmisor debe agregar estos bits de control a cada carácter antes de ser enviado al receptor. El receptor deberá tener en cuenta el estado de la línea buscando el START BIT que indique el inicio de una transmisión de carácter.



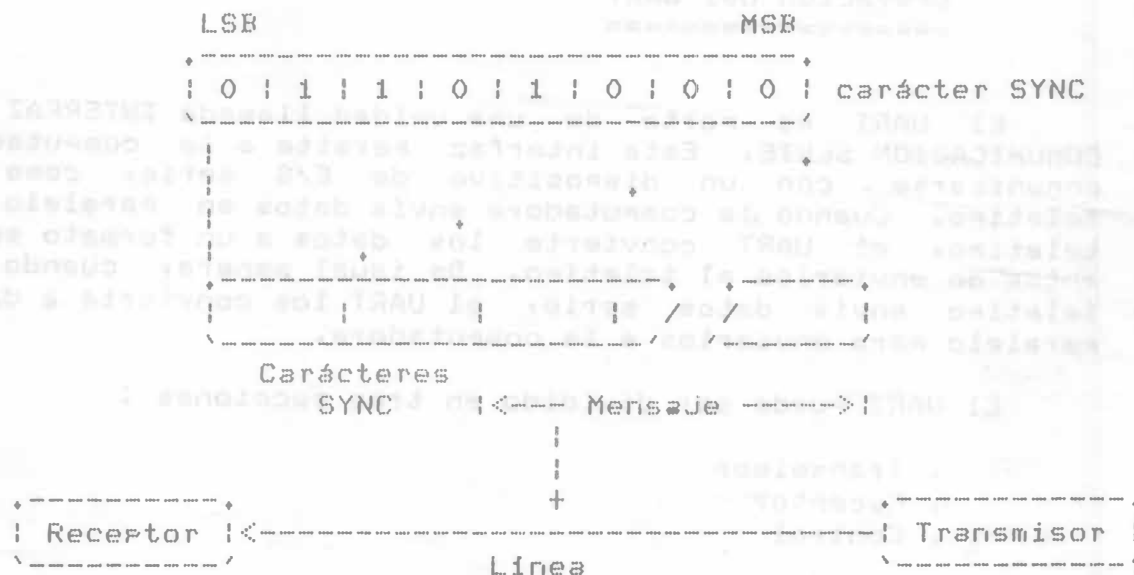
TRANSMISION ASINCRONA

Transmisión Sincrona

=====

Cuando se utiliza este método de transmisión los datos son primero ensamblados en un bloque de datos llamado MENSAJE. Este es transmitido como una cadena de bits en forma continua; esto es, los bits de un carácter son seguidos inmediatamente por los bits del siguiente carácter.

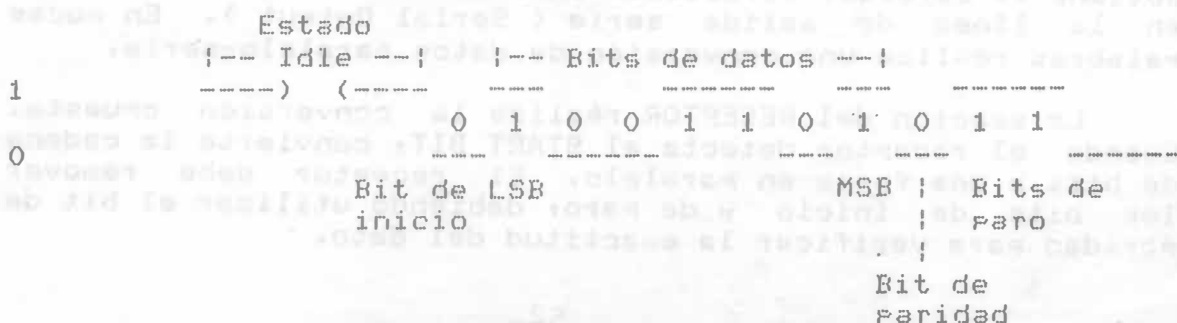
No son necesarios los bits de INICIO y de PARO. Sin embargo, es necesaria la utilización de caracteres de sincronización al inicio del mensaje. Estos caracteres SYNC aseguran que el receptor está sincronizado con el transmisor. Normalmente se incluyen dos o más caracteres SYNC en el mensaje para asegurar una completa sincronización. El patrón de '1's y '0's usados para el SYNC debe ser diferente al de cualquier otro carácter.



Formato del carácter en forma asincrónica de transmisión

=====

El carácter debe estar propiamente formateado antes de ser transmitido por la línea. Su formato típico es el siguiente :



Nótese que la línea es mantenida en un estado IDLE ('1' lógico) hasta que el transmisor está listo para enviar el carácter. Cuando la transmisión comienza, el primer bit enviado sobre la línea es un '0' lógico (BIT DE INICIO) que indica al receptor que un carácter va a ser transmitido.

Inmediatamente después del BIT DE INICIO van los bits de datos. El bit menos significativo (LSB) siempre sigue después del de inicio en la cadena de bits a ser transmitidos.

Es posible incluir un bit de paridad después del bit más significativo (MSB); la cadena de bits siempre termina con uno o dos bits de paro (STOP BITS). Los bits de paro son siempre '1' lógico y aseguran que el receptor tendrá suficiente tiempo para procesar el carácter antes de que el siguiente sea transmitido.

Operación del UART

=====

El UART es parte de una unidad llamada INTERFAZ DE COMUNICACION SERIE. Esta interfaz permite a la computadora comunicarse con un dispositivo de E/S serie, como un teletipo. Cuando la computadora envía datos en paralelo al teletipo, el UART convierte los datos a un formato serie antes de enviarlos al teletipo. De igual manera, cuando el teletipo envía datos serie, el UART los convierte a datos paralelo para enviarlos a la computadora.

El UART puede ser dividido en tres secciones :

- Transmisor
- Receptor
- Control



La sección del TRANSMISOR acepta datos de entrada en paralelo, agrega los bits de inicio, paridad y paro, y obtiene el carácter formateado enviándolo, un bit a la vez, en la línea de salida serie (Serial Output). En pocas palabras realiza una conversión de datos paralelo-serie.

La sección del RECEPTOR realiza la conversión opuesta. Cuando el receptor detecta el START BIT, convierte la cadena de bits a una forma en paralelo. El receptor debe remover los bits de inicio y de paro, debiendo utilizar el bit de paridad para verificar la exactitud del dato.

Por último la sección de CONTROL va a determinar de qué manera serán formateados los datos por el UART (número de bits de paro, tipo de paridad, número de bits de datos, etc.).

DESARROLLO

=====

1. Diseñar un circuito que simule el bloque de transmisión de un UART.
2. Alambrar el #74166 de tal manera que se tengan los bits de paro y el bit de inicio en el carácter.
3. Simular la transmisión de datos colocando el dato a transmitir de cinco bits en su posición correspondiente.
(Cuando la señal ST es baja se inicia la transmisión).
4. Diseñar un circuito combinacional para obtener el bit de paridad (paridad par) y colocarlo en el lugar adecuado de la transmisión (hacer el dibujo indicando su posición).
5. Verificar la transmisión correcta de la información.

MATERIAL Y EQUIPO REQUERIDO

=====

Un CI #74166, un contador #74191, un CI #7402, un CI #7474, un CI #7400, un CI #7404, ocho LEDS, resistencias de 330 ohms, un generador de funciones, fuente de +5 volts.

BIBLIOGRAFIA

=====

Luecke, Mize and Carr.
Semiconductor Memory and Application.
Mc Graw-Hill 1973.

INTEL
Memory Design Handbook.
1975.

Digital Equipment Corporation.
Integrated Circuit Memories.
1980.

Schwartz, Mischa.
Information, Modulation and Noise
Mc Graw-Hill 1981.

Millán, Adolfo.
Tesis Profesional.
Material Didáctico de Memorias y Periféricos.
1984.

Mano, Morris.
Computer System Architecture.
Prentice Hall.
E.U.A. 1976

Millman
Microelectronics.
Mc Graw-Hill 1981.

Mandado, Enrique.
Sistemas Electrónicos Digitales.
Marcombo Boixaren Editores.
Barcelona 1980.

Zamacher.
Computer Organization.
Mc Graw-Hill 1981.

20000000
DICIEMBRE
1997



C A J A - 155

600

La impresión se realizó en la
Unidad de Difusión de la Facultad de Ingeniería