



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA
FACULTAD DE INGENIERÍA
MAESTRÍA EN INGENIERÍA ELÉCTRICA - TELECOMUNICACIONES

OPTIMIZACIÓN DE LOS EFECTOS PARÁSITOS EN TRANSISTORES FINFET DE TRES
COMPUERTAS PARA APLICACIONES ANALÓGICAS DE MUY ALTA FRECUENCIA.

TESIS
QUE PARA OPTAR POR EL GRADO DE:
MAESTRO EN INGENIERÍA ELÉCTRICA

PRESENTA:
LORENZO ANTONIO FLORES

TUTOR PRINCIPAL:
JULIO CÉSAR TINOCO MAGAÑA, DEPARTAMENTO DE INGENIERÍA EN
TELECOMUNICACIONES

MÉXICO, D. F. NOVIEMBRE 2013

JURADO ASIGNADO:

Presidente: Dr. Bohumil Psenicka
Secretario: Dr. Ramón Castrejon Gutiérrez
Vocal: Dr. Julio César Tinoco Magaña
1^{er.} Suplente: Dr. José María Matías Maruri
2^{d o.} Suplente: Dra. Fatima Moumtadi

Lugar o lugares donde se realizó la tesis: Posgrado de la Facultad de Ingeniería de la Universidad Nacional Autónoma de México

TUTOR DE TESIS:

Dr. Julio César Tinoco Magaña

FIRMA

AGRADECIMIENTOS

A la Universidad Nacional Autonomía de México y a al Posgrado de la Facultad de Ingeniería por permitirme realizar mis estudios de maestría.

Un agradecimiento especial al Dr. Julio César Tinoco Magaña por darme la oportunidad de realizar este trabajo de Tesis y por todo el apoyo y dedicación. También agradezco el apoyo del Dr. Joaquín Alvarado para la realización de este trabajo.

A los honorables miembros del jurado:

Presidente: Dr. Bohumil Psenicka

Secretario: Dr. Ramón Castrejon Gutiérrez

Vocal: Dr. Julio César Tinoco Magaña

1er. Suplente: Dr. José María Matías Maruri

2do. Suplente: Dra. Fatima Moumtadi

Resumen

En la última década el transistor MOSFET ha alcanzado frecuencias de operación en el rango de microondas y también en el rango de ondas milimétricas, todo esto gracias al escalado continuo de los transistores que permite aumentar su frecuencia de operación. Estos transistores se han podido aplicar en circuitos analógicos y digitales. Este desarrollo ha sido posible con la introducción de transistores de más de una compuerta, como el FinFET de tres compuertas, que permiten controlar de manera adecuada los fenómenos electrostáticos al trabajar con longitudes de canal de decenas de nanómetros, además del uso de tecnologías como SOI (Silicon-On-Insulator) que permite disminuir los efectos parásitos que degradan la frecuencia de operación del transistor. Sin embargo, algunos estudios han mostrado que la estructura en tres dimensiones del transistor aporta gran cantidad de efectos parásitos, principalmente la capacitancia parasita extrínseca que degrada fuertemente la frecuencia de operación del transistor. En este sentido, se ha desarrollado este trabajo para estudiar la posibilidad de disminuir los efectos parásitos asociados a la estructura del transistor en base a una optimización de su geometría lo cual permite maximizar la frecuencia de operación significativamente y se valida mediante simulaciones en tres dimensiones que el transistor no es afectado por efectos de canal corto.

Abstract

In the last decade the MOSFET has reached operating frequencies in the microwave range and also in the millimeter wave range, all this progress is due to the continuous transistor scaling that has allowed to improve significantly its operating frequency. These transistors have been applied in analog and digital circuits. This development has been possible with the introduction of transistors with more than one gate, such as the FinFET with three gates, which controls appropriately electrostatic phenomenon into the transistor for lengths channel with tens of nanometers, also the use of technologies such as SOI (Silicon-On Insulator) which reduces the parasitic effects that degrade the operating frequency of the transistor. However, some studies have shown that the three-dimensional structure of the transistor contributes with a great deal of parasitic effects; mainly the extrinsic parasitic capacitance strongly degrades the operating frequency of the transistor. In this sense, this thesis has been developed to study the possibility of decrease the parasitic effects associated with the transistor structure based on the optimization geometry of the transistor that allows increasing significantly its operating frequency and is validated through simulating three dimensions that the transistor is not affected by short channel effects.

Lista de Símbolos y Abreviaturas

BOX	Buried Oxide
C_{gd}	Capacitancia Total Asociada a las Terminales de Gate y Drain
C_{gde}	Capacitancia Extrínseca Asociada a las Terminales de Gate y Drain
C_{gdi}	Capacitancia Intrínseca Asociada a las Terminales de Gate y Drain
C_{gge}	Capacitancia Parásita Total Extrínseca
C_{gs}	Capacitancia Total Asociada a las Terminales de Gate y Source
C_{gse}	Capacitancia Extrínseca Asociada a las Terminales de Gate y Source
C_{gsi}	Capacitancia Intrínseca Asociada a las Terminales de Gate y Source
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide-Semiconductor
CPW	Coplanar Waveguide - Guía de Onda Coplanar
C_{sd}	Capacitancia Total Asociada a las Terminales de Source y Drain
C_{sde}	Capacitancia Extrínseca Asociada a las Terminales de Source y Drain
C_{sdi}	Capacitancia Intrínseca Asociada a las Terminales de Source y Drain
DG	Double Gate
DIBL	Drain-Induced Barrier Lowering
D	Drain
E_c	Nivel de Energía de la Banda de Conducción
E_f	Nivel de Fermi
E_v	Nivel de Energía de la Banda de Valencia
FD	Fully Depleted
FinFET	Fin Field Effect Transistor
f_{max}	Frecuencia de Máxima Oscilación
FOM	Figure of Meritum – Figura de Mérito
f_T	Frecuencia de Corte de la Ganancia de Corriente
f_{Te}	Frecuencia de corte extrínseca
f_{Ti}	Frecuencia de corte intrínseca
G	Gate - Compuerta
g_{di}	Conductancia Intrínseca
g_{mi}	Transconductancia Intrínseca
H_{fin}	Ancho del Fin
I_{DS}	Corriente en el Drain
I_{off}	Corriente de Apagado
I_{on}	Corriente de Encendido
ITRS	International Technology Roadmap for Semiconductors
L_{ext}	Longitud de la Extensión del Fin
L_{fin}	Longitud de Compuerta
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MuGFET	Multiple Gate Field Effect Transistor
N_{fin}	Número de Fins
N_{finger}	Número de Fingers
PD	Partially Depleted
Q	Carga en el Canal del Transistor
Q_d	Carga en el Drain
Q_s	Carga en el Source
R_{de}	Resistencia de Drain Extrínseca
RF	Radio Frecuencia
R_{ge}	Resistencia de Compuerta Extrínseca
R_{SD}	Resistencia Parásita de Source/Drain

R_{se}	Resistencia de Source Extrínseca
S/D	Source/Drain
S	Pendiente Sub-umbral
SCEs	Short Channel Effects - Efectos de Canal Corto
S_{fin}	Separación entre Fins
S_G	Single Gate
Si	Silicio
SIMOX	Separation by Implantation of Oxygen
SiO_2	Óxido de Silicio
SOC	System-On-Chip
SOI	Silicon-On-Insulator
Source	Source
TG	Triple Gate
T_{ox}	Espesor del Óxido
T_{poly}	Espesor del Polisilicio
V_{DS}	Voltaje de Drain
V_{GS}	Voltaje de Compuerta
V_T	Voltaje de Umbral
W	Ancho del Canal del Transistor
W_{eff}	Ancho Efectivo del Canal del Transistor
W_{fin}	Ancho del fin
x_{dmax}	Ancho máximo de la Región de Carga Espacial
Y_{π}	Matriz de Admitancia
$Y_{\pi i}$	Matriz de Admitancia Intrínseca
Y_{mi}	Transmitancia intrínseca
Z	Matriz de Impedancia
Z_{Σ}	Matriz de Impedancia del Circuito Equivalente de Pequeña Señal

ÍNDICE

Introducción.....	13
Referencias.....	16
1. Transistores Avanzados para Aplicaciones Analógicas de Muy Alta Frecuencia: FinFETs.....	19
1.1 Transistores MOSFET para Aplicaciones de Microondas.....	19
1.2 Tecnología SOI.....	20
1.2.1 Silicon-On-Insulator: SOI.....	20
1.2.2 Técnicas de fabricación de materiales SOI.....	22
1.2.2.1 Técnica SIMOX.....	22
1.2.2.2 Técnica Wafer Bonding.....	23
1.2.2.3 Técnica Smart Cut.....	24
1.2.3 Aplicaciones de la Tecnología SOI.....	24
1.3 Efectos de Canal Corto (Short Channel Effects - SCEs).....	26
1.3.1 Pendiente Sub-Umbra (S).....	26
1.3.2 Drain Induced Barrier Lowering (DIBL).....	27
1.4 MuGFETs.....	29
1.5 FinFETs de Tres Compuertas.....	32
1.6 Referencias.....	34
2. Modelo Equivalente de Pequeña-Señal.....	35
2.1 Efecto Útil.....	35
2.2 Parámetros Intrínsecos.....	36
2.3 Parámetros Extrínsecos.....	38
2.4 Figuras de mérito f_T y f_{max}	42
2.5 Referencias.....	43
3. Lineamientos para la Optimización de FinFETs de Triple Compuerta.....	45
3.1 Optimización de la geometría y efectos parásitos de FinFETs para aplicaciones en RF.....	45
3.2 Metodología de diseño de FinFETs para aplicaciones en RF.....	52
3.3 Referencias.....	61

4. Modelado de los Efectos Parásitos en FinFETs	63
4.1. Modelo para Resistencia de Source/Drain (R_{SD}).....	63
4.2. Modelo para Resistencia de Compuerta (R_{ge}).....	69
4.3. Modelo para Capacitancia Extrínseca (C_{gge}).....	72
4.4. Referencias	75
5. Optimización de la Geometría de Transistores FinFET de Tres Compuertas para Aplicaciones en RF.....	77
5.1 Resistencia parásita de Source/Drain (R_{SD}).....	78
5.2 Capacitancia extrínseca parásita (C_{gge}).....	81
5.3 Resistencia de compuerta (R_{ge})	83
5.4 Figuras de Mérito Analógicas (f_T y f_{max}).....	85
5.5 Referencias	90
6. Impacto de la Optimización de la Geometría del Transistor en los SCEs	91
6.1 Comportamiento en DC	92
6.1.1 Características de I_{DS} - V_{DS}	92
6.1.2 Curva Transferencial	93
6.2 Pendiente Sub-umbral (S).....	93
6.3 DIBL.....	97
6.4 Relación I_{on}/I_{off}	100
6.5 Referencias	104
CONCLUSIONES.....	105

Introducción

En la industria de comunicaciones siempre se ha encontrado un mercado muy exigente y rentable para las empresas de semiconductores y circuitos integrados (CIs). Los nuevos sistemas de comunicación son muy demandantes, requieren operar a muy alta frecuencia, alto grado de integración, bajo consumo de energía, así como alto desempeño. La tecnología de los semiconductores ha logrado hacer frente a dichas demandas, dado que ha permitido incrementar la velocidad de operación y la densidad de integración de los CIs. Esto se ha logrado principalmente gracias al desarrollo de la tecnología de silicio. En la última década el MOSFET ha alcanzado velocidades de operación sorprendentes, por lo que la comunidad internacional ha comenzado a considerarlos como una alternativa eficiente para aplicaciones analógicas en los rangos de microondas y ondas milimétricas [1]. Este desarrollo de los MOSFETs se basa en la continua reducción de sus dimensiones, proceso conocido como escalado, gracias al cual, se han logrado llevar desde tecnologías de varios micrómetros hasta las tecnologías actuales del orden de decenas de nanómetros [2].

La continua reducción de las dimensiones de los MOSFETs, se ve afectada por la aparición de fenómenos indeseados conocidos como efectos de canal corto (SCEs - Short Channel Effects) [3], los cuales implican la pérdida de control de los fenómenos electrostáticos por parte de la compuerta del transistor. Dichos efectos son un desafío tecnológico ya que degradan las características de operación del transistor.

Para reducir los SCEs en MOSFETs de escala nanométrica, arquitecturas con múltiples compuertas han emergido como una de las nuevas estructuras más prometedoras, gracias al control simultáneo del canal con más de una compuerta. La idea de la doble compuerta (Double Gate - DG) en el MOSFET fue introducida por primera vez por J.-P. Colinge [4]. Comenzando por el FinFET, otros MOSFETs de múltiple compuerta han sido introducidos, como el de tres compuertas (TG), compuerta pi (PG), compuerta cuádruple (QG), compuerta omega-(Ω -G), etc [5].

Por otra parte, el uso de sustratos de silicio sobre aislante (Silicon-On-Insulator - SOI) permite el aislamiento eléctrico del sustrato de silicio, contribuyendo a reducir muchos de los fenómenos indeseados que están asociados a su presencia. De este modo, el uso de la tecnología SOI hace factible el desarrollo de dispositivos avanzados que mejoran el control de los SCEs, haciendo viable la implementación de transistores con longitudes de canal aún menores. El uso de sustratos SOI ha permitido la fabricación de transistores con frecuencias de corte record del orden de 345 GHz y de 485 GHz para transistores SOI canal p y canal n respectivamente y longitudes de canal de 45nm [6,7]. Una ventaja adicional del uso de la tecnología SOI, es la posibilidad de fabricar dispositivos pasivos de alta calidad, tales como inductores, capacitores y líneas de transmisión con bajas pérdidas [8]. De forma que la tecnología SOI permite integrar en un mismo CI tanto dispositivos pasivos como transistores, permitiendo el desarrollo de CIs para aplicaciones de radiofrecuencia (RF).

Así, los FinFETs con tecnología SOI aparecen como dispositivos prometedores para aplicaciones digitales debido a su alta inmunidad a los SCEs y su excelente compatibilidad con la tecnología planar CMOS, así como para aplicaciones analógicas debido a las altas frecuencias de operación previstas.

Sin embargo, algunos estudios muestran que los FinFETs presentan capacitancias extrínsecas muy grandes debido a su estructura tridimensional [9, 10, 11, 12], por lo que sufren de una fuerte degradación de su desempeño para aplicaciones analógicas de muy alta frecuencia. Además, hay que agregar el efecto de las resistencias extrínsecas tanto de compuerta como de Source/Drain que también tienen fuerte impacto en las características de operación del transistor [13, 14, 15].

En [16] se muestra como es afectada la frecuencia de corte de los transistores debido a la reducción de sus dimensiones, principalmente por la fuerte dependencia de la frecuencia de operación con los efectos parásitos (capacitancias y resistencias).

En la Figura 1 se muestra la frecuencia de corte contra la longitud del canal para un conjunto de FinFETs de tres compuertas.

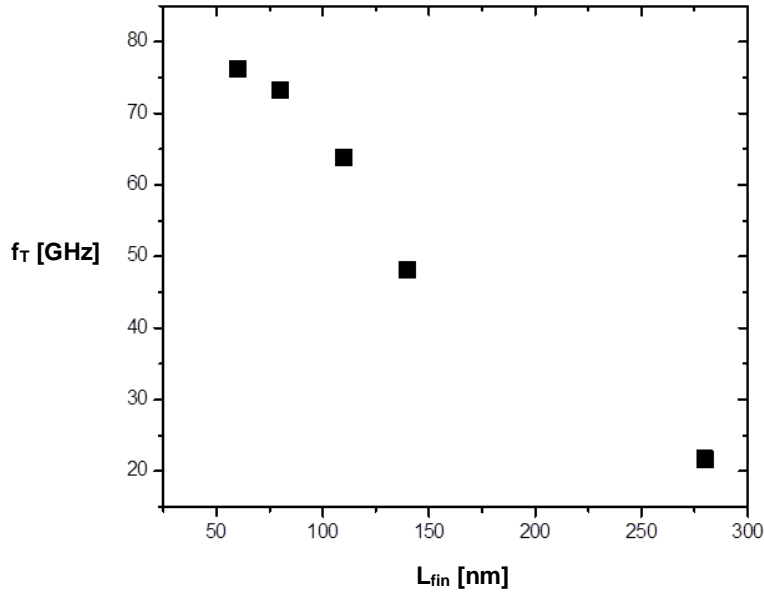


Figura 1. Frecuencias de corte en función de la longitud del canal de varios transistores FinFET [16].

Como puede observarse las frecuencias de corte de los transistores se ven incrementadas a medida que se reduce la longitud del canal. Sin embargo, los elementos parásitos tienden a degradarlos, siendo las capacitancias el principal factor.

En la Figura 2 se compara la frecuencia de corte intrínseca y extrínseca para transistores con diferentes longitudes de canal.

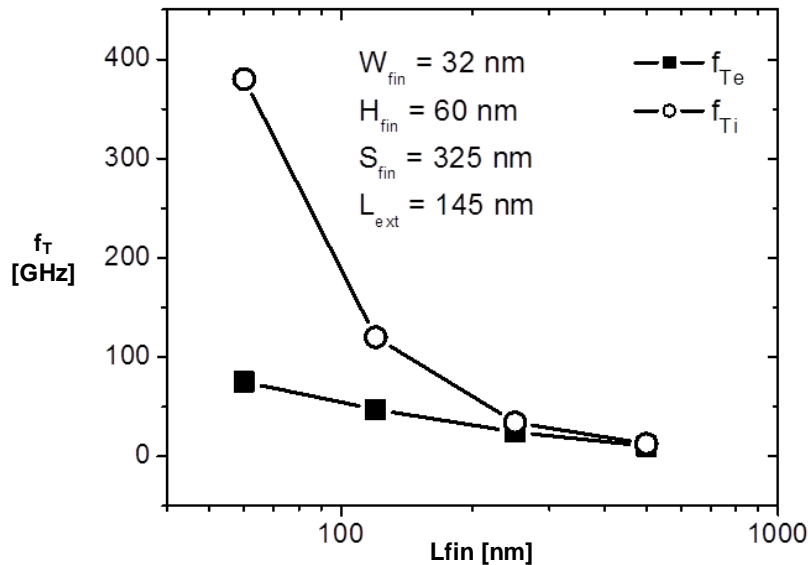


Figura 2. Frecuencia de corte intrínseca (f_{Ti}) y extrínseca (f_{Te}) de transistores FinFET en función de la longitud del canal [12].

La frecuencia de corte intrínseca (f_{Ti}) representa la frecuencia de corte sin los efectos parásitos. En la frecuencia de corte extrínseca (f_{Te}) se agregan los efectos parásitos. Es notable que al reducir la longitud de canal de los transistores los efectos parásitos son más degradantes. Este punto es fundamental para este trabajo, ya que nos indica que si se logra disminuir el efecto de los elementos parásitos, a partir de la optimización de la geometría del FinFET, se tendrá un dispositivo con mayor velocidad de operación trabajando en una muy amplia banda de frecuencias.

Por otro lado, es importante notar que como producto de la optimización de la estructura del FinFET, se deben variar los parámetros geométricos del transistor, buscando mejorar su frecuencia de operación, pero al mismo tiempo, la optimización debe ir encaminada a no perder de vista el control de las tres compuertas sobre el canal, de tal manera que se pueda tener al transistor inmune a SCEs.

De esta manera, el objetivo de este trabajo es proponer una optimización para un FinFET de tres compuertas con longitud de canal de 40nm, ($L_{fin} = 40nm$), de forma que se pueda analizar la mejora en sus figuras de mérito. La optimización será realizada en base a la modificación de su geometría, buscando minimizar los efectos parásitos asociados al dispositivo. El estudio se desarrollará en base a modelos semi-analíticos de la resistencia parásita de Source/Drain (R_{SD}), la capacitancia parásita extrínseca (C_{gge}) y la resistencia serie de compuerta (R_{ge}). Además, se examinará si la optimización de la geometría es viable, es decir, se observará si el transistor permanece inmune a los SCEs. Esto último en base a simulaciones en tres dimensiones del FinFET, donde se analizarán los siguientes parámetros: pendiente sub-umbral (S), el Drain Induced Barrier Lowering (DIBL) y la relación I_{on}/I_{off} .

Referencias

- [1] Raskin J.-P., SOI technology: an opportunity for RF designers?, *8th Diagnostics & Yield Symposium*, Warsaw, Poland, June 22-24, 2009, paper #7.
- [2] Raskin J.-P., Viviani A., Flandre D. & Colinge J.-P., "Substrate crosstalk reduction using SOI technology", *IEEE Trans. Electron Dev.*, vol. 44, no. 12, pp. 2252–2261, 1997.
- [3] Rodwell M. J. W., Urteaga M., Mathew T., Scott D., Mensa D., Lee Q., Guthrie J., Betser Y., Martin S. C., Smith R. P., Jaganathan S., Krishnan S., Long S. I., Pallela R., Agarwal B., Bhattacharya U., Samoska L. & Dahlstrom M., "Submicron scaling of HBTs", *IEEE Trans. Electron Dev.*, vol. 48, pp. 2606–2624, 2001.
- [4] Schwierz F. & Liou J. J., RF transistors: Recent developments and roadmap toward terahertz applications. *Solid-State Electronics*, vol. 51, no. 8, pp. 1079-1091, ISSN: 0038-1101, 2007.
- [5] Iwai H., Roadmap for 22 nm and beyond. *Microelectron. Eng.*, vol. 86, no. 6-7, pp. 1520-1528, ISSN: 0167-9317, 2009.
- [6] Colinge J.-P., Gao M.-H., Romano A., Maes H. & Claeys C., "Silicon-on-insulator "gate-all-around" MOS device", in *Proc. IEEE SOS/SOI Tech. Conf.*, Key West, USA, 1990, pp. 137–138.
- [7] Hisamoto D. et al., "FinFET – a self-aligned double-gate MOSFET scalable to 20 nm", *IEEE Trans. Electron Dev.*, vol. 47, no. 12, pp. 2320–2325, 2000.
- [8] Cristoloveanu S., "Silicon on insulator technologies and devices: from present to future", *Solid-State Electron.*, vol. 45, no. 8, pp. 1403–1411, 2001.
- [9] Wu W. & Chan M., "Analysis of Geometry Dependent Parasitics in Multifin Double-Gate FinFETs," *IEEE Transaction on Electron Devices*, vol. 54, p. 692, 2007.
- [10] Subramanian V., Mercha A., Parvias B., Dehan M., Groeseneken G., Sansen W. & Decoutere S., "Identifying the bottlenecks to the RF performance of FinFETs," in *Proc. 2010 23rd Int. Conf. VLSI Design*, pp. 111–116, 2010.
- [11] Tinoco J. C., Alvarado J., Martinez-Lopez A. G. & Raskin J.-P., "Impact of extrinsic capacitances on FinFETs RF performance," in *Proc. 2012 Topical Meeting Silicon Monolithic Integrated Circuits in RF Systems*, pp. 73–76, 2012.
- [12] Tinoco J. C., Salas S., Martinez-Lopez A. G., Alvarado J., & Raskin J.-P., "Impact of extrinsic capacitances on FinFET RF performance," *IEEE Transactions on microwave theory and techniques*, vol. 61, no. 2, 2013.
- [13] Wu W. & Chan M., "Gate resistance modeling of multifin MOS devices," *IEEE Electron Device Letters*, vol. 27, no. 1, pp. 68–70, 2006.
- [14] Scholten A. J., Smit G. D. J., Pijper R. M. T., Tiemeijer L. F., Mercha A. and Klaassen D. B. M., "FinFET compact modelling for analogue and RF applications", *IEEE Electron Devices Meeting*, pp. 8.4.1-8.4.4, 2010.
- [15] Dixit A., Kottantharayil A., Collaert N., Goodwin M., Jurczak M., & DeMeyer K., "Analysis of the parasitic S/D resistance in multiple-gate FETs," *IEEE Transactions Electron Devices*, vol. 52, no. 6, pp. 1132–1140, 2005.

[16] Antonio F. L, "Extracción del Modelo de Circuito Equivalente de Pequeña Señal de Transistores FinFET," tesis de licenciatura, Universidad Nacional Autónoma de México, México, 2010.

CAPITULO 1

Transistores Avanzados para Aplicaciones Analógicas de Muy Alta Frecuencia: FinFETs

En este capítulo se describen los fundamentos que han llevado al estudio de tecnologías de transistores avanzados para aplicaciones de muy alta frecuencia, es decir, en el orden de cientos de gigahertz. Además, nos da un panorama del uso de estos transistores en los sectores de telecomunicaciones, principalmente en las comunicaciones inalámbricas de voz y datos.

1.1 Transistores MOSFET para Aplicaciones de Microondas.

En la actualidad podemos encontrar un gran número de dispositivos médicos, industriales y domésticos trabajando con frecuencias en los rangos de gigahertz (GHz). En los últimos años, las aplicaciones más populares son los hornos de microondas y las redes inalámbricas digitales para comunicaciones de voz y datos. De hecho, el mundo de las comunicaciones inalámbricas ha presentado cambios muy rápidos desde hace algunos años. Redes inalámbricas digitales de alta calidad para comunicaciones de voz y datos, con cobertura global, tales como GSM (Global System for Mobile Communications), GPRS (General Packet Radio Service), EDGE (Enhanced Data rates for GSM of Evolution), UMTS (Universal Mobile Telecommunications System), etcétera, son algunos ejemplos de la amplia variedad de aplicaciones inalámbricas que están disponibles en gran parte del mundo. Además, las comunicaciones navales, militares, espaciales y demás, operan en estos rangos de frecuencias. Debido a esto, podemos observar un mercado importante y competitivo en frecuencias del orden de GHz [1].

El mejoramiento de la calidad y la multiplicación de los servicios de telecomunicaciones necesitan de una optimización de las tecnologías y del diseño de circuitos. Un alto grado de integración, bajo consumo de potencia y bajo voltaje de suministro, son objetivos a seguir para el desarrollo de nuevos diseños de dispositivos inalámbricos.

Actualmente, existen circuitos electrónicos analógicos que usualmente contienen un conjunto de tres o cuatro chips combinados con varios componentes externos. Estos componentes externos son necesarios debido a ciertas limitaciones físicas de los dispositivos contenidos en un circuito integrado. Un menor número de componentes externos es esencial para obtener un bajo costo, menor consumo de potencia, menor peso, pero requerirá un cambio fundamental en el diseño de los circuitos analógicos. Un paso más allá en la evolución del diseño de los dispositivos digitales inalámbricos será la realización de un dispositivo completo en un solo chip. Esto se lograría solamente con el uso de tecnologías CMOS nanométricas que permitirían una integración y costo práctico en los sistemas de comunicaciones móviles.

Hoy en día, los circuitos integrados CMOS son mayoritariamente fabricados en sustratos de silicio de volumen (Bulk), esto debido a dos razones: la posibilidad de obtener silicio de muy alta calidad y la posibilidad de crecer un óxido de buena calidad en el silicio, una característica que no es posible en germanio u otro tipo de semiconductores compuestos. Sin embargo, estas estructuras hechas en silicio de volumen están lejos de las estructuras ideales. Los MOSFETs de volumen se realizan en obleas de silicio que tienen un espesor de aproximadamente 500 micrómetros, pero únicamente los primeros cientos de nanómetros son utilizados para la fabricación de la parte funcional del transistor. Muchos efectos parásitos en los dispositivos MOS de volumen encuentran su origen en las interconexiones entre el dispositivo y el sustrato. Por tal motivo aparece la tecnología SOI que presenta un aislante entre la capa activa de silicio y el sustrato, disminuyendo los efectos

parásitos asociados al sustrato. De hecho, se ha demostrado que los dispositivos y circuitos SOI presentan un rendimiento superior a los MOSFETs de volumen [1].

1.2 Tecnología SOI

Mientras la tecnología CMOS de volumen ha sido la tecnología estándar para muchas generaciones de dispositivos, nuevos sustratos y conceptos de dispositivos pueden ser esenciales para alcanzar el escalado final de los dispositivos MOS [2].

En la última década los transistores MOS han alcanzado impresionantemente altas velocidades de operación y la comunidad de semiconductores ha observado las posibilidades en aplicaciones de radiofrecuencia de tales dispositivos. La tecnología Silicon-On-Insulator (SOI) en MOSFETs ha demostrado sus potencialidades logrando frecuencias de corte cercanas a los 500 GHz para nMOSFETs y condiciones extremas (alta temperatura y radiación) en aplicaciones comerciales [3].

Desde su temprana fase de desarrollo hasta los últimos años, la tecnología SOI ha pasado de ser una mera curiosidad científica a una tecnología madura. La tecnología Partially Depleted (PD) SOI está sirviendo de forma masiva en el mercado digital de 45-nm en el que se ve como una alternativa a la tecnología de volumen de silicio ofreciendo bajo costo y bajo consumo de potencia. Dispositivos con tecnología Fully Depleted (FD) también están ampliamente extendidos, ya que superan a las actuales tecnologías de semiconductores para aplicaciones analógicas de muy baja potencia [3].

Para aplicaciones en RF y sistemas integrados en un chip, la tecnología SOI también presenta la gran ventaja de proporcionar alta resistividad en el sustrato, que conduce a pérdidas de sustrato considerablemente reducidas. Valores de resistividad de sustrato superiores a 1 k Ω ·cm se pueden conseguir fácilmente y la alta resistividad de silicio (High Resistivity Silicon - HRS) hacen prever un sustrato prometedor para aplicaciones en circuitos integrados para radiofrecuencia (Radio Frequency Integrated Circuits RFIC) y de señales mixtas (analógico-digital) [3].

El cambio de material del sustrato a SOI en algún momento futuro puede ser esencial para la obtención de las últimas dimensiones de los dispositivos MOS.

1.2.1 Silicon-On-Insulator: SOI

La tecnología de silicio sobre aislante (SOI) se inició hace casi medio siglo para la fabricación de circuitos en ambientes con alta radiación. Durante los años 1970s y 1980s, varios materiales y estructuras SOI fueron creadas para separar eléctricamente el delgado dispositivo activo del sustrato de silicio. La idea de fondo es que en un transistor MOS de volumen de silicio, sólo una capa superficial de aproximadamente 100nm de espesor es realmente útil para el transporte de electrones, mientras que el sustrato provoca efectos indeseables. Un ejemplo de un transistor hecho en SOI se muestra en la Figura 1.2.1 [2].

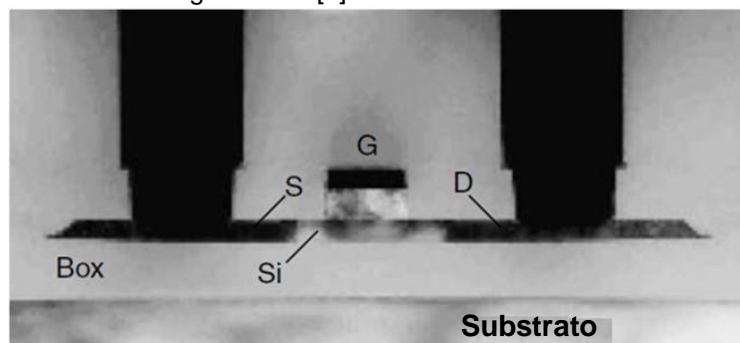


Figura 1.2.1 Transistor MOS en Tecnología SOI [2].

El éxito abrumador de los CIs CMOS de volumen, limitaba el desarrollo de la tecnología SOI hasta finales de los 90s. Posteriormente, varios factores han aumentado el interés por la tecnología SOI: la invención de nuevos métodos de fabricación de sustratos SOI y su optimización, la necesidad de potencias más bajas y el aumento de la velocidad de los circuitos, así como las limitaciones emergentes del escalado del CMOS de volumen. Transistores de silicio sobre aislante están ahora en continua investigación en la ampliación de las fronteras del último escalado de la tecnología CMOS [2].

La definición más general de SOI implica una estructura que consta de una capa de silicio monocristalino sobre una capa relativamente gruesa de SiO_2 amorfo que se encuentra sobre un sustrato de silicio monocristalino (de varios cientos de micrómetros de espesor). El hecho de que la capa superior debe ser silicio monocristalino, pero separado por una película aislante amorfa del sustrato, plantea una dificultad tecnológica significativa. Los métodos de deposición epitaxial requieren una plantilla cristalina, por lo tanto no es posible crecer una de capa de dispositivo adecuada directamente sobre SiO_2 [2].

En términos de volúmenes de producción, predominan obleas de silicio de 200mm y 300mm, con una capa de aproximadamente 150nm de SiO_2 separando la oblea de silicio monocristalino de la película de silicio monocristalino que es de 100nm o menos de espesor. Estas obleas se utilizan principalmente para aplicaciones CMOS de alto desempeño. Películas más gruesas de silicio y SiO_2 son necesarias para dispositivos de potencia y alto voltaje, para aplicaciones fotónicas y para algunas estructuras MEMS [2].

Las obleas SOI pueden ser fabricadas por varios métodos: SIMOX (Separation by Implantation of Oxygen), BESOI (Bond and Etchback SOI), ELTRAN, Wafer Bonding, Smart Cut, entre otros [2].

La tecnología SOI fue introducida por IBM en agosto de 1998 [4], principalmente para mejorar la velocidad de operación de los chips. En este tipo de tecnologías los transistores se construyen en la parte superior de una capa delgada de silicio, como se muestra en la Figura 1.2.2. La idea básica es que la capa SOI reduce la capacitancia del transistor, de manera que puede funcionar más rápido [5].

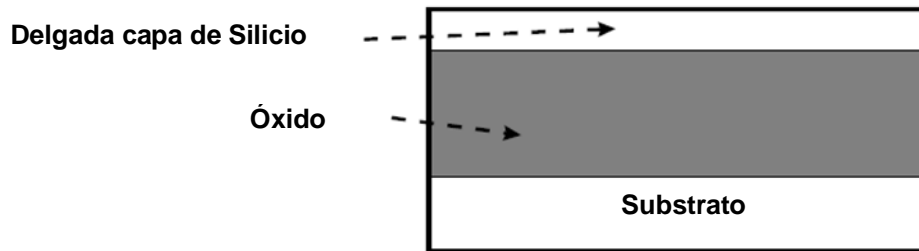


Figura 1.2.2. Representación esquemática de una oblea SOI (Silicon-On-Insulator) [5].

Debido a la estructura misma del transistor MOS, aparecen un conjunto de elementos parásitos, uno de ellos es una capacitancia parásita producida por las uniones formadas en las regiones de Source y Drain con el sustrato, como se muestra en la figura 1.2.3 a. El uso de la tecnología SOI permite reducir las capacitancias parásitas de manera importante, debido a que la presencia del óxido enterrado (BOX) reduce el área efectiva de la unión, como se muestra en la figura 1.2.3 b [5].

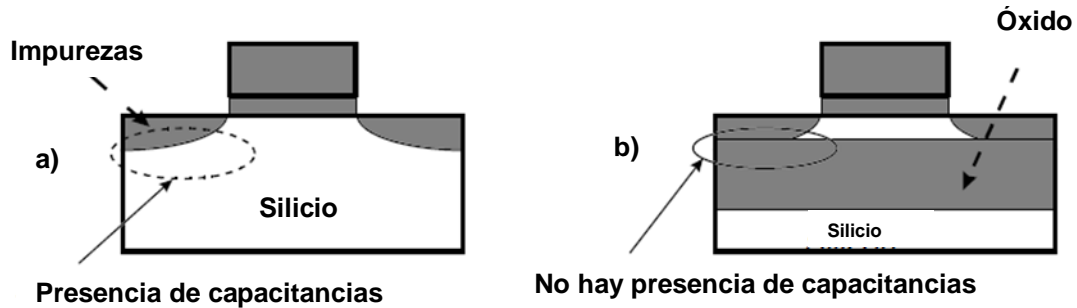


Figura 1.2.3. La tecnología SOI disminuye la capacitancia parásita [5].

1.2.2 Técnicas de fabricación de materiales SOI

A continuación se describen algunas de las técnicas más importantes empleadas en la fabricación de obleas SOI.

1.2.2.1 Técnica SIMOX

Las obleas SOI se pueden obtener por diferentes métodos. Uno de los más exitosos es a través de la separación mediante oxígeno implantado (Separation by Implantation of Oxygen - SIMOX). La implantación de iones es una técnica usada tradicionalmente en la industria de semiconductores para introducir átomos de impureza, sin embargo, en el proceso SIMOX se utiliza para sintetizar SiO_2 . De esta manera, en el método SIMOX estándar una implantación de átomos de oxígeno, con una dosis óptima de $1.8 \times 10^{18} \text{cm}^{-2}$ a 200keV, produce una capa de óxido enterrado (Buried Insulator - BOX) de 400nm de espesor [6].

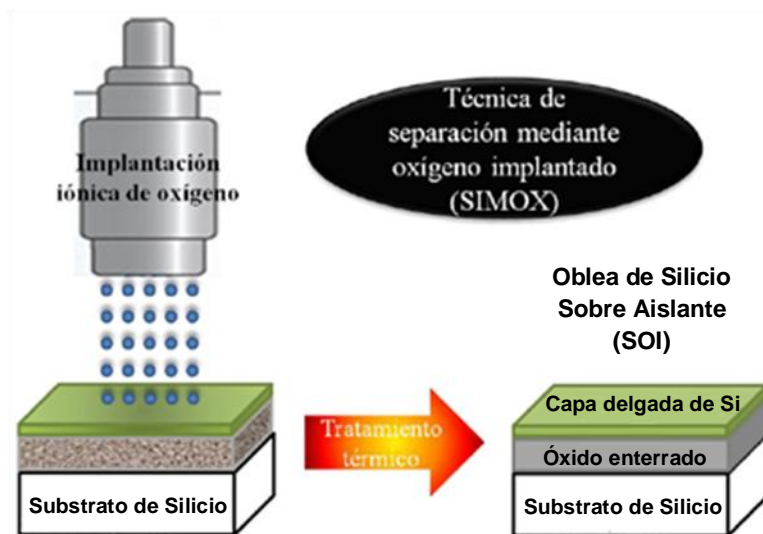


Figura 1.2.4. Mediante el proceso SIMOX estándar una alta dosis de oxígeno es implantada en el Si, seguido de un tratamiento térmico a alta temperatura, dando como resultado un óxido enterrado, debajo de una capa delgada de silicio cristalino [6].

Debido a que en el proceso de implantación los átomos de oxígeno atraviesan la superficie de la oblea base de silicio, esto genera un material amorfo y un gran número de defectos en su red atómica, por lo que la temperatura a la cual se lleva a cabo la implantación también es un parámetro importante que influye en la calidad de la capa delgada de silicio. Al realizar este

procedimiento por debajo de 500°C, la capa delgada queda totalmente amorfa y con procesos de recocido posteriores se puede obtener silicio poli-cristalino, lo cual no cumple con el objetivo. Sin embargo, por encima de dicha temperatura el daño se minimiza y se logra mantener la naturaleza cristalina en la capa de silicio. Adicionalmente, un tratamiento térmico a alta temperatura (aproximadamente 1350°C) en un ambiente apropiado (argón + 2% de oxígeno) ayuda a mejorar la calidad de la oblea, estabilizando y densificando el BOX, y reduciendo la densidad de defectos en la capa de silicio [6].

La principal ventaja de un MOSFET SOI radica en la reducción de los SCEs debido a un control electrostático del canal más eficiente, comparado con los dispositivos de volumen [6].

A pesar de las ventajas que ofrece la tecnología SOI sobre tecnologías de volumen, estas tecnologías presentan un incremento local de su temperatura que influye negativamente en la movilidad de los portadores lo cual produce una degradación tanto de la transconductancia como de la velocidad de conmutación en MOSFETs SOI. Debido a la baja conductividad que presenta el SiO₂, la capa de óxido enterrado aísla térmicamente a la región activa del MOSFET, es decir, el silicio volumétrico tiene una conductividad térmica de 148W/mK, pero el SiO₂ posee una que es 100 veces menor (1.4W/mK), por ello el calor generado en el dispositivo SOI provoca mayores incrementos de temperatura que en transistores de volumen bajo las mismas condiciones de operación. Además, como la conductividad térmica del silicio es dominada por el transporte de fonones, cuando el espesor de este material es menor a la trayectoria libre media de los fonones en el volumen (300nm), la dispersión de dichos fonones en las superficies del silicio de volumen se vuelve importante incluso a temperatura ambiente, por lo que la conductividad térmica del material se puede reducir hasta en 10 veces de su valor en el volumen. El problema del calentamiento en dispositivos SOI, se puede resolver reemplazando el SiO₂ enterrado con otro material dieléctrico con una alta conductividad térmica y que sea compatible las tecnologías de fabricación de CIs. Existen dos materiales que son considerados como posibles candidatos: el nitruro de aluminio (AlN) y el diamante [6].

1.2.2.2 Técnica Wafer Bonding

En esta técnica dos obleas se unen para crear el óxido enterrado sin implantación iónica. En la Figura 1.2.5 se muestra el proceso para fabricar las obleas. Primero, dos obleas de silicio son calentadas para formar el óxido de silicio en la parte superior. En segundo lugar, las superficies son unidas para formar el óxido enterrado. Posteriormente una de las obleas se reduce hasta el espesor deseado. Finalmente, la oblea SOI es recocida a temperaturas superiores a 800°C durante varias horas para aumentar la resistencia de la unión, además es pulida para dejar una capa delgada de silicio sobre el óxido enterrado. De esta manera, la oblea queda lista para utilizarse en los procesos de fabricación CMOS [7].

El principal inconveniente de esta técnica es su dificultad en la producción de películas extremadamente delgadas, debido a las técnicas convencionales de pulido [7]. Por lo tanto, el último paso se hace más y más importante para la fabricación de películas ultra finas de silicio con buena uniformidad.

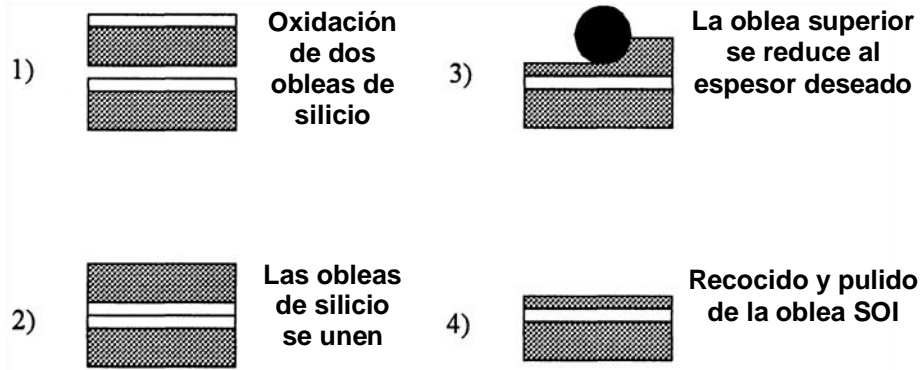


Figura 1.2.5. Proceso de fabricación de obleas SOI mediante Wafer Bonding [7].

1.2.2.3 Técnica Smart Cut

Otra técnica utilizada para la fabricación de obleas SOI es llamada Smart Cut. En la Figura 1.2.6 se muestran los pasos durante el proceso Smart Cut. Esta técnica inicia con la oxidación de una oblea de silicio. Posteriormente se implantan iones de hidrogeno a través de la capa de oxido. Después, una segunda capa de silicio se coloca sobre la capa de óxido (Paso 4). La oblea utilizada al principio ahora es el sustrato para la oblea SOI. Un recocido térmico crea un estrés hasta que se genera un punto de fractura sobre el plano de hidrogeno implantado, a esto se le llama Smart Cut. Ahora se tiene una delgada capa de silicio en la parte superior de toda la oblea. La parte de silicio que fue removida puede utilizarse para crear otra oblea mediante este mismo proceso. El proceso finaliza con un recocido de la oblea y un pulido para preparar la superficie para los proceso de fabricación CMOS [7].

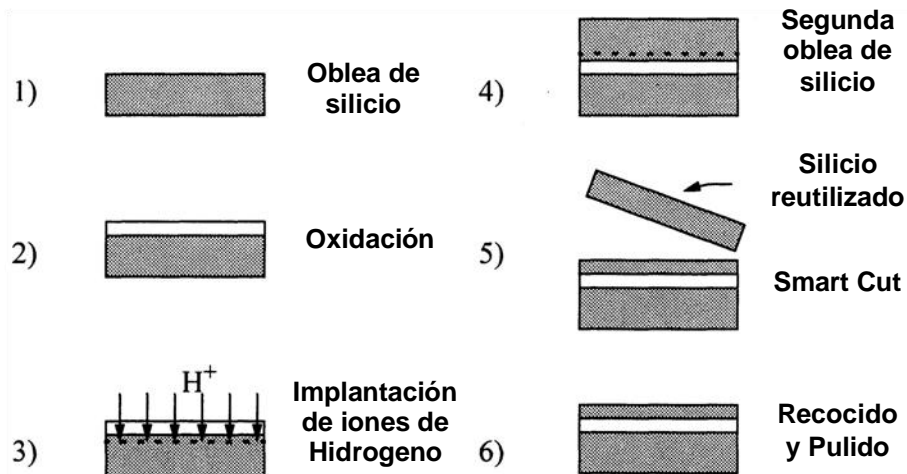


Figura 1.2.6. Proceso de fabricación de obleas SOI mediante Smart Cut [7].

1.2.3 Aplicaciones de la Tecnología SOI

En el pasado, los circuitos SOI fueron obstaculizados por el costo de las obleas y por la indisponibilidad de grupos dedicados para el diseño. Pero a finales de los 90s, la gama de aplicaciones SOI se amplió considerablemente. Además, SOI ha sido reconocido en el ITRS como la mejor opción para muchas familias de circuitos CMOS [2].

Actualmente, los microprocesadores de alto rendimiento se están fabricando en tecnología SOI (IBM, AMD, Freescale, Sony, etc.). Dispositivos de RF en SOI también muestran capacidades indiscutibles. Circuitos de extremadamente baja potencia para comunicaciones móviles, procesadores portátiles funcionando con una batería de alimentación (0.5V a 1.2V), están fabricados con tecnología SOI. A nivel mundial, SOI es un sustrato ideal para sistemas integrados en un solo chip (System-On-Chip - SOC). Los circuitos en FD CMOS/SOI pueden operar con éxito a temperaturas más allá de 300°C (para aeronáutica y automóviles): las corrientes de fuga son mucho menores y el voltaje de umbral es menos sensible a la temperatura que en dispositivos de silicio de volumen. Circuitos SOI para la industria espacial también puede operar en ambientes de alta radiación [2].

Dispositivos SOI de alto voltaje aprovechan el aislamiento eléctrico. Los transistores de potencia pueden tener configuración lateral (por ejemplo, LD-MOSFETs para aplicaciones de iluminación) o configuración vertical. Dispositivos de potencia vertical (IGBT, LDMOS, VMOS, etc) pueden ser integrados en una película gruesa de SOI [2].

Dispositivos de arquitecturas innovadoras y funcionales se basan en las características únicas de SOI tales como el ajuste del espesor de la capa de silicio y el BOX, y la implementación de capas adicionales debajo del BOX. La familia SOI también incluye dispositivos ópticos: interruptores, guías de onda, y moduladores [2].

Además, la tecnología SOI es un material ideal para microsensores y MEMS, donde se requieren membranas delgadas. Muchos transductores para la detección de presión, aceleración, flujo de gas, temperatura, radiación, campos magnéticos, etc., han sido integrados con éxito en SOI [2].

La mayoría de los dispositivos de silicio nano-electrónicos (tunneling transistors, quantum dots and wires) han utilizado SOI, ya sea por la sencillez del proceso o por la capacidad de conseguir películas ultra delgadas. Dado que los efectos cuánticos y de tunelaje llegan a ser habituales en MOSFETs SOI, la idea es tomar ventaja de ellos mediante la importación de conceptos de dispositivos semiconductores III-V dentro de la familia de silicio [2].

Gracias a la introducción de la alta resistividad del sustrato SOI, la integración de componentes pasivos de alta calidad es una realidad. Además, la reducción del crosstalk del sustrato es una gran ventaja en comparación con la tecnología de volumen para el desarrollo de aplicaciones de alta integración, bajo voltaje de operación y de modo mixto [8].

La introducción de la tecnología SOI en la fabricación de circuitos integrados ha llegado para mejorar la velocidad de operación de los dispositivos MOS convencionales, además de poder continuar con el escalado de dichos dispositivos.

1.3 Efectos de Canal Corto (Short Channel Effects - SCEs)

La reducción de las dimensiones del MOSFET ha sido fundamental a fin de hacerlos competitivos para aplicaciones analógicas de muy alta frecuencia. Sin embargo, con el escalado de los transistores MOS, comienzan a presentarse efectos indeseados en la operación del MOSFET, conocidos como efectos de canal corto. A medida que se reduce la longitud del canal, las regiones de carga espacial de las uniones del Source y Drain se aproximan cada vez más, de forma que comenzarán a interferir con la región del canal quitándole el control de los fenómenos electrostáticos a la compuerta. Son varias las consecuencias de los SCEs, las más importantes son: Incremento de la corriente en régimen de saturación, incremento de la pendiente sub-umbral (S) e incremento de la corriente de fuga en condición de corte [9].

En régimen de saturación, un pequeño incremento del voltaje de Drain, producirá una pequeña reducción de la longitud del canal. Para dispositivos de canal muy pequeño, este efecto se vuelve muy importante, de modo que la corriente de Drain se ve incrementada, apareciendo una pendiente en la zona de saturación [9]. En la siguiente figura se muestra un dispositivo fuertemente degradado por este efecto:

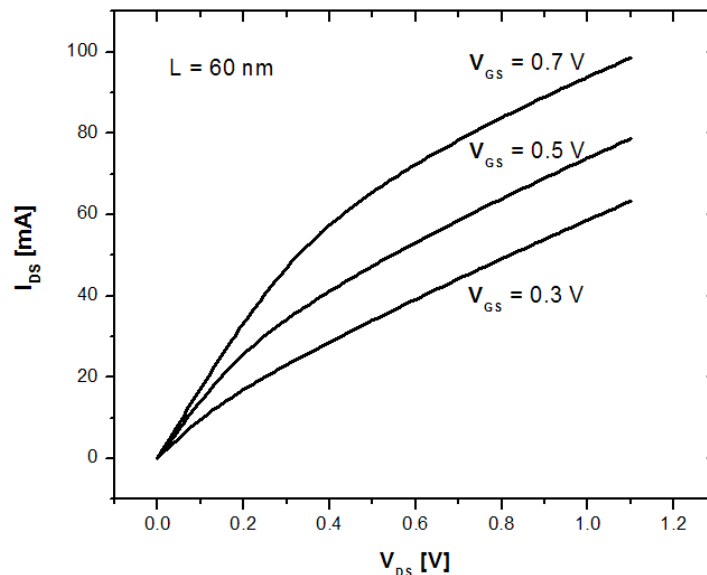


Figura 1.3.1. Características de salida de un transistor de longitud de compuerta $L_{in} = 60\text{nm}$ [9].

De la figura anterior se observa que el transistor muestra una pendiente muy pronunciada en la corriente de Drain, de modo que la zona de saturación no se aprecia adecuadamente, clara muestra de la degradación de los SCEs [5].

Otros efectos provocados por los SCEs son: la pendiente sub-umbral (S), el Drain Induced Barrier Lowering (DIBL) y la razón corriente de encendido (I_{on}) entre corriente de apagado (I_{off}).

1.3.1 Pendiente Sub-Umbral (S)

Uno de los efectos producidos por los SCEs, se da en la región sub-umbral, la cual se observa cuando el voltaje aplicado a la compuerta es menor que el voltaje de umbral (V_T). Bajo esta condición, la estructura MOS se encuentra en inversión débil y la corriente de Drain depende exponencialmente del voltaje de compuerta (V_{GS}) [9], como se muestra en la siguiente figura:

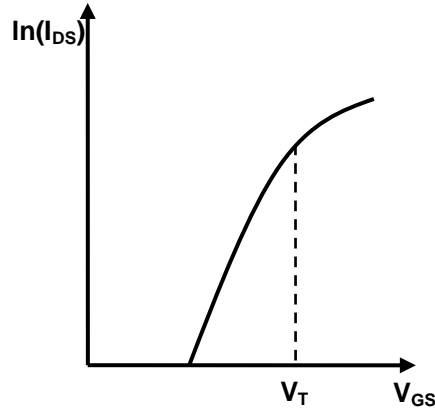


Figura 1.3.2. Región de la corriente sub-umbral [9].

Esta corriente se suele evaluar por un parámetro conocido como pendiente sub-umbral (S), y se refiere al voltaje necesario para que la corriente varíe una década [9], es decir:

$$S = \frac{\ln(10)}{\frac{d(\ln I_{DS})}{dV_{GS}}} \quad (1-1)$$

Sus unidades son [mV/Dec] y de manera ideal presenta un valor de 60 mV/Dec. Como resultado de los SCEs, la pendiente de la gráfica de la Figura 1.3.2 disminuye por lo que la corriente de fuga se incrementa [9].

1.3.2 Drain Induced Barrier Lowering (DIBL)

El DIBL es un parámetro observado frecuentemente en dispositivos de longitud de compuerta muy pequeña. El dispositivo presenta una barrera de potencial entre el Source y la región del canal como se muestra en la Figura 1.3.3, la cual evita que los electrones del Source circulen al Drain en condición de apagado ($V_{DS} = 0$). La altura de esta barrera de potencial es controlada por el voltaje de compuerta V_{GS} . Si se aplica un voltaje al Drain, la barrera disminuye como se muestra en la Figura 1.3.3, ocasionando un incremento en la corriente. Este efecto parasito tiene como consecuencia una reducción en el voltaje de umbral del dispositivo y un aumento de la corriente en régimen sub-umbral [10].

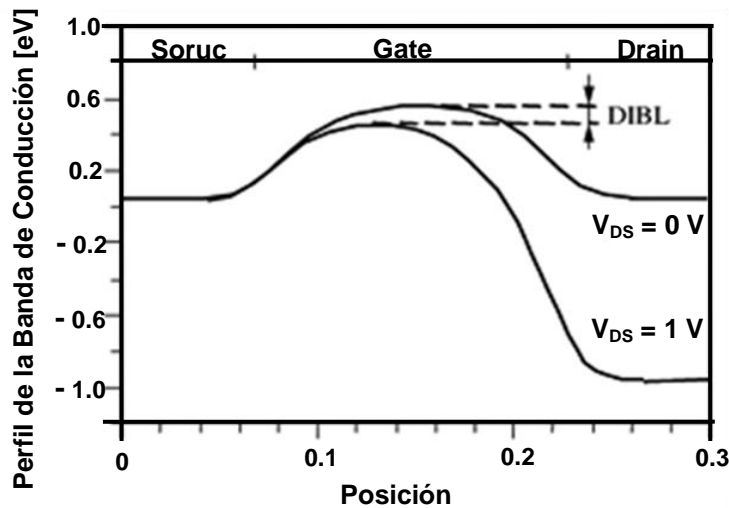


Figura 1.3.3. Efecto del DIBL en transistores de longitud de compuerta muy pequeña [10].

El efecto del DIBL se puede observar mediante las curvas I_{DS} - V_{GS} de un transistor en el régimen lineal y en saturación (Figura 1.3.4). El efecto del DIBL puede medirse por el desplazamiento lateral de las curvas transferenciales en el régimen sub-umbral dividido por la diferencia de voltaje de Drain de las dos curvas, sus unidades son mV/V [10]:

$$DIBL = \frac{\Delta V_T}{\Delta V_{DS}} \quad (1-2)$$

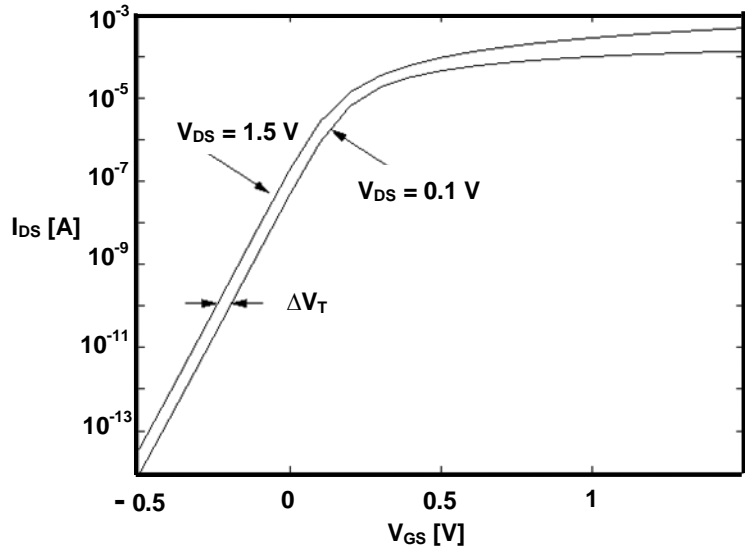


Figura 1.3.4. Las gráficas no coinciden por efecto del DIBL [10].

1.3.3 Relación I_{on}/I_{off}

En el diseño de circuitos CMOS, la eficiencia es principalmente definida por la relación I_{on}/I_{off} .

La corriente en condición de apagado I_{off} es definida como el valor de la corriente de Drain (I_{DS}) cuando la compuerta no está polarizada ($V_{GS} = 0V$). Esta corriente es el resultado de diferentes fuentes de corriente de fuga, se debe mantener en un valor muy bajo, sin embargo, con el escalado del dispositivo, este valor tiende a aumentar.

La corriente en condición de encendido I_{on} es definida como el valor de la corriente de Drain (I_{DS}) para un punto de operación dado ($V_{GS} > V_T$ y $V_{DS} > 0V$).

Una relación I_{on}/I_{off} pobre representa un dispositivo con corrientes de fuga grandes, además puede causar transiciones de salida lentas, mientras que una adecuada relación I_{on}/I_{off} puede mejorar la velocidad del dispositivo y minimizar las corrientes de fuga. Esta cantidad no tiene dimensiones y entre más grande es su valor el dispositivo presenta un mejor desempeño. La maximización de esta relación es un objetivo primordial en el diseño de los circuitos integrados para aplicaciones digitales.

1.4 MuGFETs

Desde la invención de los circuitos integrados en 1958, los investigadores han trabajado para obtener mejores velocidades de operación, mayor rendimiento y mayor integración de dispositivos en un solo chip [11]. Esto permite obtener dispositivos cada vez más pequeños y con menor consumo de voltaje, menor consumo de potencia, etc.

La industria de semiconductores ha tenido un desarrollo importante, especialmente con los transistores MOSFET de silicio. De tal forma que se ha observado una reducción de las dimensiones de estos dispositivos de manera considerablemente y constante, aumentando la escala de integración de los CIs según la ley de Moore. Sin embargo ésta sólo es un predicción aproximada, por lo que ha surgido la necesidad de crear predicciones más serias como las que se llevan a cabo en el ITRS (International Technology Roadmap for Semiconductors) [11].

El ITRS es patrocinado por las cinco regiones principales fabricantes de chips en el mundo: Europa, Japón, Corea, Taiwán y los Estados Unidos [12]. Las organizaciones patrocinadoras son:

- European Semiconductor Industry Association (ESIA)
- Japan Electronics and Information Technology Industries Association (JEITA)
- Korean Semiconductor Industry Association (KSIA)
- Taiwan Semiconductor Industry Association (TSIA)
- United States Semiconductor Industry Association (SIA)

En la siguiente figura se muestra el porcentaje de participación por región en el ITRS:

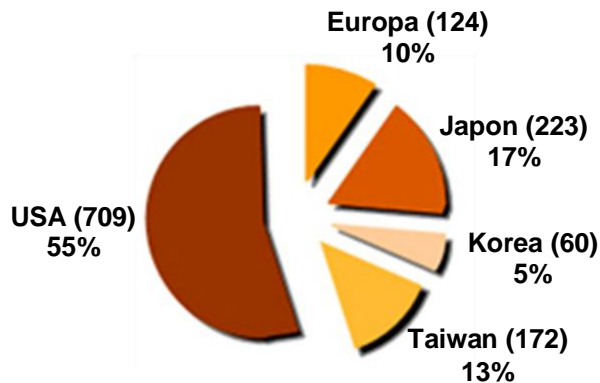


Figura 1.4.1. Participantes por región en el ITRS [12].

El objetivo del ITRS es asegurar avances rentables en el rendimiento de los circuitos integrados y los productos que emplean tales dispositivos, continuando así con el éxito de esta industria [12].

La necesidad de incrementar los flujos de corriente y el escalado de los dispositivos, ha permitido la evolución de los transistores desde MOSFETs de volumen hasta tecnologías avanzadas que requieren modelación en tres dimensiones, fabricadas en tecnología SOI y de múltiples compuertas (Multiple Gate Field Effect Transistors - MuGFETs) como se muestra en la siguiente figura:

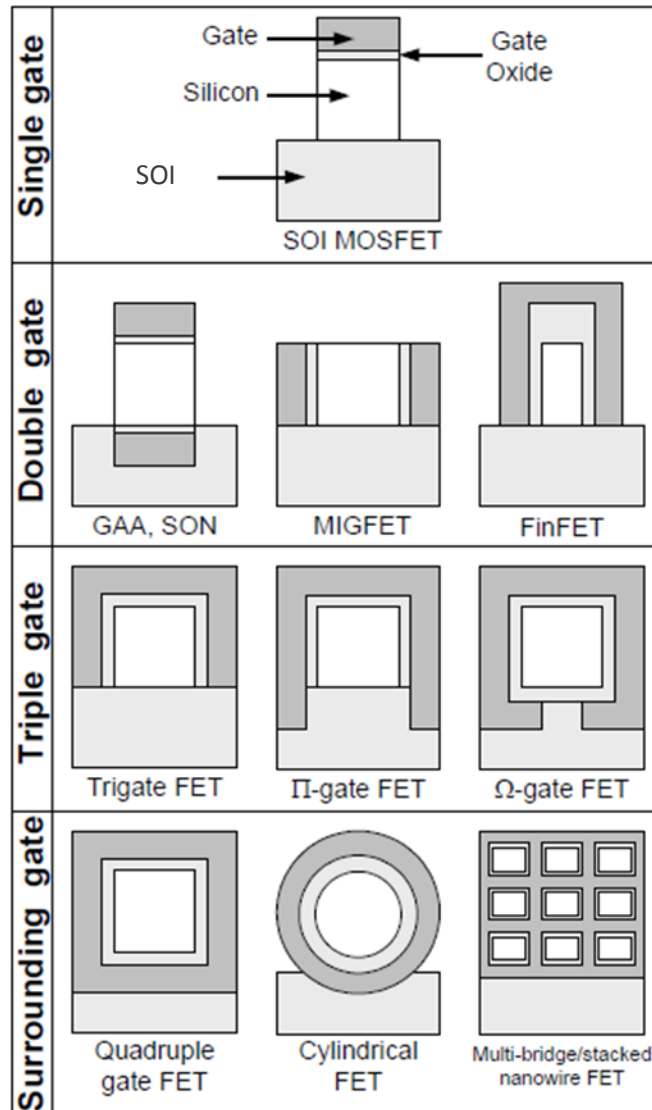


Figura 1.4.2. MuGFETs: una compuerta (Single Gate - SG), dos compuertas (Double Gate - DG), tres compuertas (Triple Gate - TG) y de compuerta circundante (Surrounding Gate) [13].

En la figura anterior, la parte blanca representa la zona activa de silicio, que es la zona por donde fluye la corriente, la cual está rodeada por las compuertas y se le denomina fin. La idea de tener más de una compuerta surge al escalar la longitud de la compuerta. Al escalar la longitud de la compuerta de los transistores se logran mejores frecuencias de operación, sin embargo, se pierde el control del canal por parte de la compuerta. Al tener más de una compuerta se recupera el control de los efectos electrostáticos que ejerce la compuerta sobre el canal, recuperando el buen desempeño de los transistores.

Los transistores para aplicaciones de RF requieren, entre otras cosas, optimizar sus frecuencias de operación, para ello se requiere de dispositivos con longitudes de canal muy pequeñas y anchos muy grandes. Desde el punto de vista tecnológico es difícil realizar un dispositivo con estas características, además de que implica una pérdida importante de área de silicio. Por estos motivos, se desarrollaron las configuraciones multi-fingers (multi-dedos). Con esta configuración, se ponen varias compuertas idénticas en paralelo (fingers) y se interconectan de modo que se

comportan como pequeños transistores en paralelo. De esta forma, el ancho total del dispositivo es la suma de los anchos de todos los fingers [8]. En la siguiente figura se muestra esta configuración.

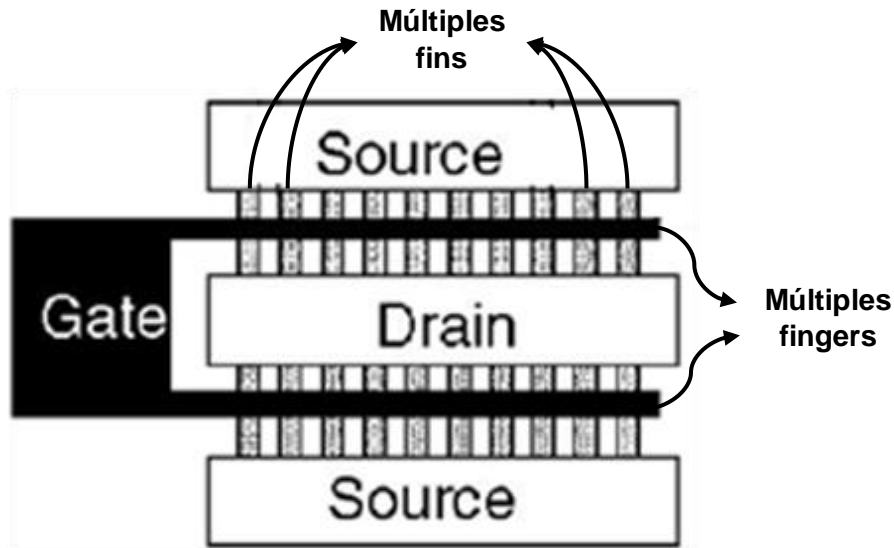


Figura 1.4.3. FinFET multi-finger (2 fingers) multi-fin (10 fins por finger) [14].

Para operar con grandes corrientes se utilizan dispositivos con varios fins, estos transistores son llamados FinFET, y son los dispositivos con los que se trabajó en esta tesis. La corriente total de un FinFET multi-fin es igual a la corriente de cada fin individual multiplicado por el numero de fins, con esta configuración se incrementa el ancho efectivo del canal [11]. En la siguiente figura se muestra un corte transversal de un finger.

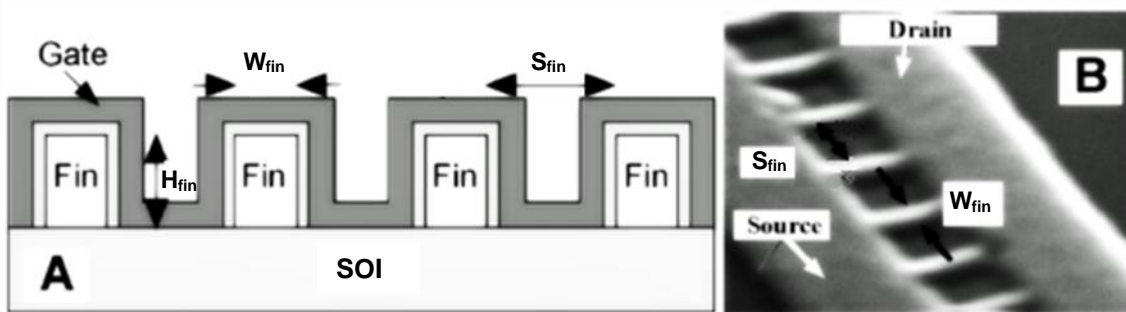


Figura 1.4.4. A) Sección transversal del finger de un FinFET con cuatro fins. B) Imagen real del FinFET [13].

El ancho efectivo para dispositivos de tres compuertas se puede expresar como:

$$W_{eff} = (2H_{fin} + W_{fin})N_{fin}N_{finger} \quad (1-3)$$

En este trabajo se aborda el estudio de FinFETs de tres compuertas (Triple Gate - TG) fabricados con tecnología SOI, debido a que su tecnología de fabricación es compatible con la tecnología estándar y ofrecen mejor rendimiento. A continuación se describe más a detalle este tipo de transistores.

1.5 FinFETs de Tres Compuertas.

En la siguiente figura se muestra la estructura de un FinFET simplificado de tres compuertas compuesto de un finger y dos fins

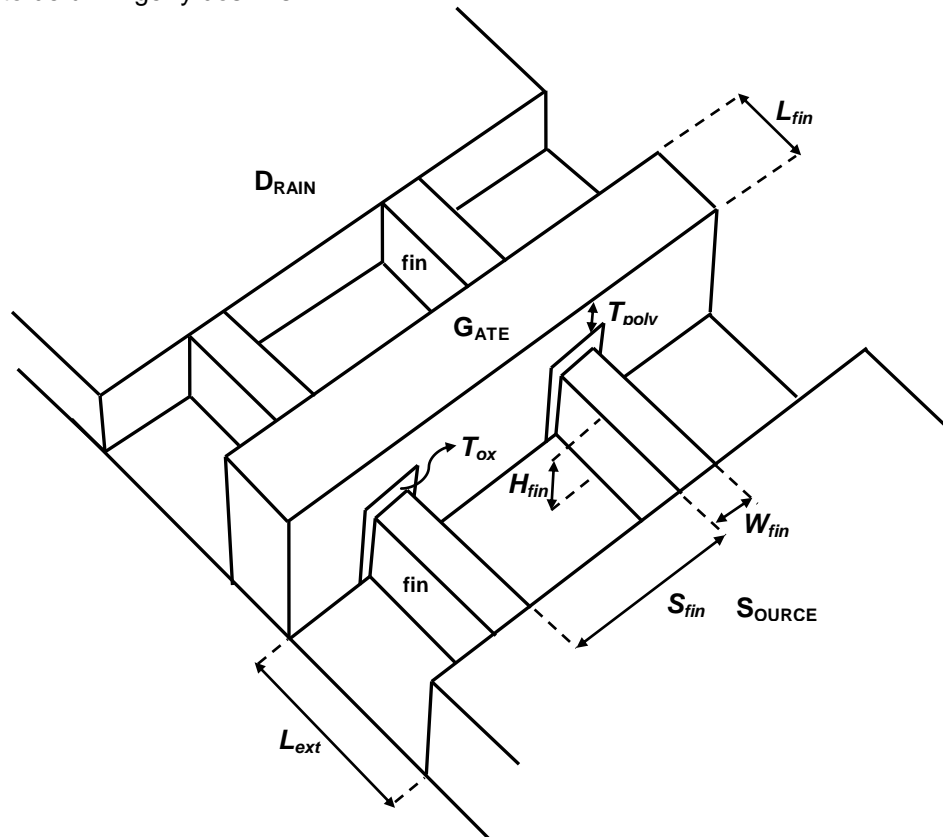


Figura 1.5.1. Estructura de un FinFET de dos fins ($N_{fin} = 2$) y un finger ($N_{finger} = 1$).

En la Figura 1.5.1, se puede observar los principales parámetros geométricos involucrados en el FinFET de tres compuertas. El fin tiene una altura H_{fin} , un ancho W_{fin} y una longitud L_{ext} . Los fins están separados cierta distancia S_{fin} . La longitud del canal es L_{fin} . El electrodo de compuerta está fabricado con polisilicio de espesor T_{poly} . El óxido del FinFET tiene un espesor T_{ox} .

Al hacer una comparación entre la geometría de un dispositivo de una compuerta (SG) y un dispositivo de múltiple compuerta, se puede observar que el área de silicio activo es mejor aprovechada por este último. En la Figura 1.5.2 se muestra la misma área de silicio para un dispositivo de una compuerta y un dispositivo de múltiples compuertas. Se puede ver que el ancho total de un FinFET es mayor que el ancho de un dispositivo SG. Para el FinFET, la corriente fluye por la tres compuertas (área sombreada), el ancho total de este dispositivo será la suma de las dos superficies laterales ($2H_{fin}$) mas la superficie del fin (W_{fin}). Sin embargo, para el SG, la corriente únicamente fluye por la superficie de silicio activo (área sombreada), que es donde se encuentra la compuerta [11].

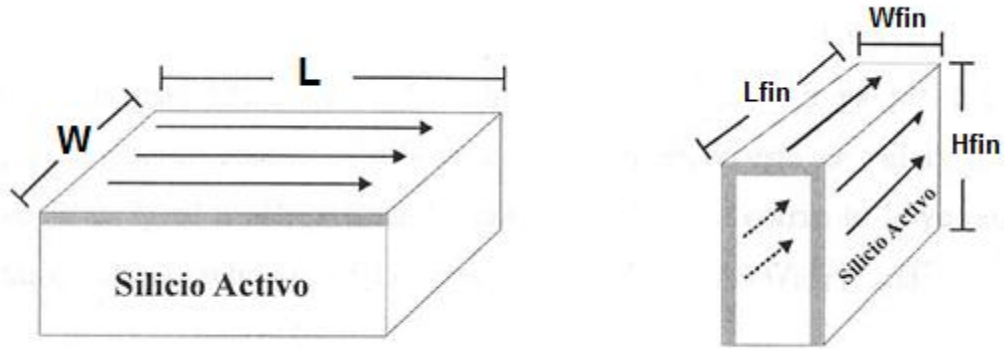


Figura 1.5.2. Áreas de silicio activo iguales. Lado izquierdo, transistor SG. Lado derecho FinFET con un solo fin [11].

La corriente I_{DS} para un SG y para un FinFET es proporcional al ancho del canal, por lo que entre más ancho sea el dispositivo mayor será la corriente [11].

$$I_{DS} \propto W \quad (1-4)$$

Para un solo fin de un FinFET la corriente es proporcional a [11]:

$$I_{DS} \propto (2H_{fin} + W_{fin}) \quad (1-5)$$

A la ecuación anterior se le puede agregar el número de fins y fingers:

$$I_{DS} \propto (2H_{fin} + W_{fin})N_{fin}N_{finger} \quad (1-6)$$

De esta forma, se puede observar que los FinFETs en configuración multi-fin multi-finger presentan flujos de corriente mucho mayores que los SG.

1.6 Referencias

- [1] Raskin J.-P., "Modeling, Characterization and Optimization of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's", PhD Theses, Université Catholique de Louvain, Laboratoire D'Hyperfréquences, Belgium, Louvain-la-Neuve, 1997.
- [2] Doering R. & Yoshio Nishi, "Handbook of Semiconductor Manufacturing Technology", Second Edition, USA, CRC Press Taylor & Francis Group, 2008, pp. 4-1 – 4-52.
- [3] Minin I., "Microwave and Millimeter Wave Technologies: From Photonic Bandgap Devices to Antenna Applications", Cap. 9, Advanced RF MOSFET's for microwave and millimeter wave applications: RF characterization issues, Tinoco J. C. & Raskin J.-P, In-Tech, India, 2010, p. 205.
- [4] IBM Advances Chip Technology With Breakthrough For Making Faster, More Efficient Semiconductors, April 2012. [Online]. Available: <http://www-03.ibm.com/press/us/en/pressrelease/2521.wss>
- [5] SOI Technology: IBM's Next Advance In Chip Design, April 2012. [Online]. Available: http://dungtien.com/public/shareholder_detail/eng/catid/9.html
- [6] Garduño V. S., "Corrientes de Fuga en Transistores MOS de Doble Compuerta: Estudio y Modelación", Ph.D. thesis, CINVESTAV, México, 2012.
- [7] Bernstein K. and Rohrer N. J., *SOI Circuit Design Concepts*, New York, USA, IBM Microelectronics, Springer, 2000, pp. 13-17.
- [8] Raskin J.-P., "SOI technology: an opportunity for RF designers?", 8th Diagnostics & Yield Symposium, Warsaw, Poland, paper #7, June 22-24, 2009.
- [9] Antonio F. L., "Extracción del Modelo de Circuito Equivalente de Pequeña Señal de Transistores FinFET", B.S. Theses, Universidad Nacional Autónoma de México, Facultad de Ingeniería, México, 2010.
- [10] Stockinger M., "Optimization of Ultra-Low-Power CMOS Transistors", PhD Theses, Vienna University of Technology, Faculty of Electrical Engineering and Information Technology, Vienna, 2000.
- [11] Conde D. J., "Estudio de los transistores SOI multi-compuerta utilizando la simulación tridimensional", PhD Theses, Centro de Investigación y de Estudios Avanzados del IPN, Departamento de Ingeniería Eléctrica, México, 2010.
- [12] The International Technology Roadmap for Semiconductors (ITRS), RF and Analog/Mixed-signal Technologies (RFAMS), 2012 update, March 2013, [Online]. Available: <http://www.itrs.net/Links/2012ITRS/Home2012.htm>
- [13] Colinge J.-P., "FinFETs and Other Multi-Gate Transistors", Cambridge, Massachusetts, United States of America, Ed. Springer, 2010, pp.13-26.
- [14] Parvais B., Dehan M., Subramanian V., Mercha A., San K.T., Jurczak M., et al, "Analysis of FinFET parasitics for improved RF performance", Proc. Intl. SOI Conf., pp.37-38, 2007.

CAPITULO 2

Modelo Equivalente de Pequeña-Señal

En este capítulo se describe a detalle el modelo equivalente de pequeña señal para transistores MOSFET en tecnología SOI. A partir de este modelo se pueden extraer las capacitancias parásitas y las resistencias parásitas por medio de mediciones experimentales de los dispositivos. Además, a partir de este modelo se puede definir las principales figuras de mérito analógicas de los transistores MOSFET: la frecuencia de corte (f_T) y la máxima frecuencia de oscilación (f_{max}).

El modelado y caracterización de los transistores MOS en altas frecuencias es de gran importancia para los sistemas analógicos, esto se realiza por medio de los parámetros de dispersión, conocidos como parámetros "S" [1].

En general, hay dos tipos de modelos: modelos polinomiales y modelos físicos basados en pequeña señal [2]:

Modelos Polinomiales: Estos modelos describen el comportamiento del MOSFET como cajas negras y frecuentemente requieren rutinas de optimización matemática. Es relativamente fácil obtener los parámetros del modelo, pero no da información sobre la naturaleza física del transistor [2].

Modelos físicos de pequeña señal: Estos modelos describen el comportamiento del MOSFET como un circuito eléctrico equivalente de parámetros concentrados. Los elementos que conforman el modelo tienen un origen basado en los fenómenos físicos que ocurren en el interior del dispositivo, sin embargo, no son fáciles de obtener. El conocimiento del circuito equivalente de pequeña señal es muy importante porque es útil para determinar metodologías de diseño de circuitos, así como la influencia de cada parámetro en el comportamiento dinámico del transistor [2].

2.1 Efecto Útil.

El efecto útil de un transistor MOSFET es la modulación de corriente (I_{ds}) que fluye a través del canal, de la terminal del Source (S) a la terminal del Drain (D), mediante un voltaje de control (V_{GS}) aplicado a la terminal de la compuerta (Gate - G). Eléctricamente este comportamiento puede ser representado por una fuente de corriente conectada entre las terminales S y D, mientras el voltaje de control es aplicado entre las terminales G y S. La corriente del Source queda definida por la transconductancia intrínseca (g_{mi}) [2]. La Figura 2.1.1 representa el circuito equivalente del MOSFET considerando solamente el efecto útil. La transconductancia intrínseca [2] puede ser expresada matemáticamente como:

$$g_{mi} = \left. \frac{\partial i_{ds}}{\partial v_{gs}} \right|_{v_{ds}=const} \quad (2-1)$$

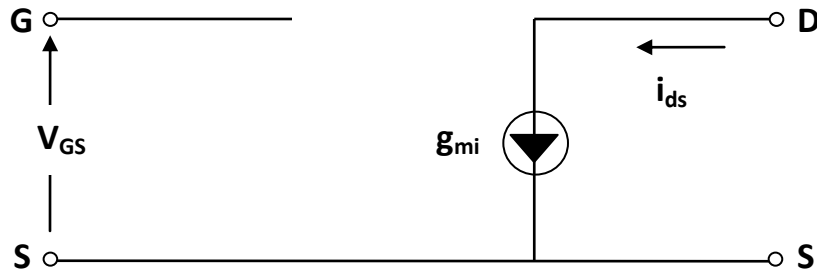


Figura 2.1.1. Circuito equivalente del efecto útil de un MOSFET [2].

2.2 Parámetros Intrínsecos.

Para comprender los parámetros intrínsecos que conforman el circuito equivalente de pequeña señal es necesario analizar el modelo cuasi-estático del MOSFET que se presenta a continuación [1].

- **Modelo cuasi-estático.**

El modelo cuasi-estático se define cuando una pequeña señal aplicada varía con la suficiente lentitud de forma que los portadores dentro del transistor pueden seguirla instantáneamente. Por otra parte, en el MOSFET, hay algunas influencias entre las terminales, de tal manera que un pequeño incremento en el voltaje aplicado en una terminal producirá una variación de la carga asociada a las demás terminales. La Figura 2.2.1 muestra el esquema simplificado del MOSFET cuando se polariza en CD (Corriente Directa) y una pequeña señal es agregada a la terminal de la compuerta con un valor δV_g . Este incremento en el voltaje produce un aumento en la carga del canal representado por δQ . Este incremento de carga se asocia a las terminales del Source y Drain denotadas como δQ_s y δQ_d , respectivamente [2].

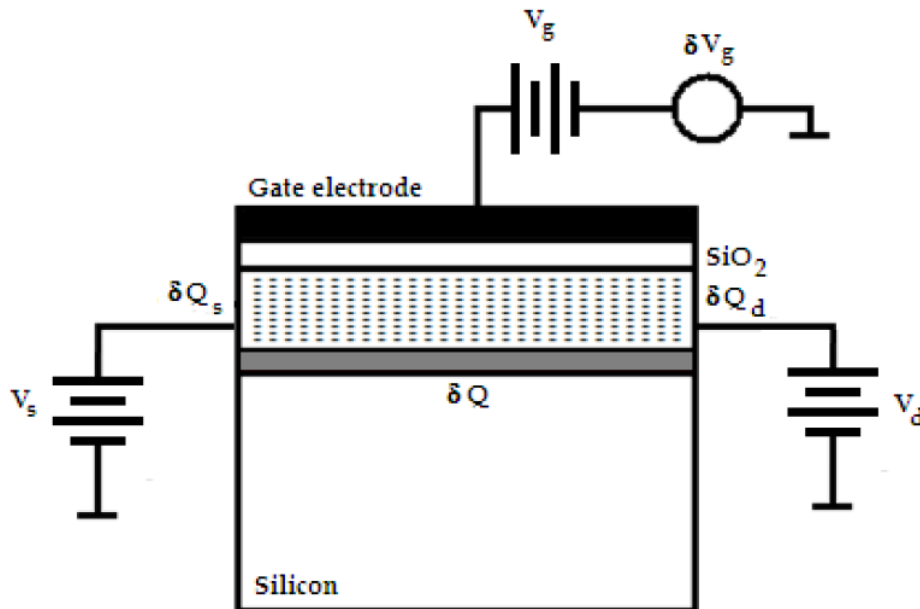


Figura 2.2.1. Esquema simplificado del MOSFET que muestra el efecto producido en el canal por un pequeño incremento en el voltaje aplicado en la terminal de la compuerta [2].

Los efectos anteriores, pueden ser incluidos en el modelo equivalente de pequeña-señal como capacitancias intrínsecas debido al incremento de carga relacionado con un cambio de voltaje $C = dQ/dV$ [2]. Las capacitancias entre el Source, Drain y la compuerta [2] se definen por:

$$\begin{aligned}
 C_{gdi} &= -\left. \frac{\partial q_g}{\partial v_d} \right|_{v_{gs}=\text{const}} & C_{dgi} &= -\left. \frac{\partial q_d}{\partial v_g} \right|_{v_{gs}=\text{const}} & (2-2) \\
 C_{gsi} &= -\left. \frac{\partial q_g}{\partial v_s} \right|_{v_{gd}=\text{const}} & C_{sgi} &= -\left. \frac{\partial q_s}{\partial v_g} \right|_{v_{gd}=\text{const}} \\
 C_{dsi} &= -\left. \frac{\partial q_d}{\partial v_s} \right|_{v_{gs}=\text{const}} & C_{sdi} &= -\left. \frac{\partial q_s}{\partial v_d} \right|_{v_{gs}=\text{const}}
 \end{aligned}$$

De las capacitancias intrínsecas anteriores, las que tienen mayor efecto en el modelado del circuito equivalente para transistores SOI son: C_{gdi} , C_{gsi} y C_{sdi} [1].

Es interesante notar que en general las capacitancias no son recíprocas. Por ejemplo, si se tiene en cuenta un MOSFET en saturación, un incremento en el voltaje de Drain no produce ningún cambio en la terminal de la compuerta [3], y, por lo tanto $C_{gdi} = 0$. Por otro lado, un pequeño cambio en el voltaje de la compuerta producirá una variación en la densidad de carga del canal y un cambio en la corriente del Drain que conducirá a un cambio en la carga del Drain y por lo tanto $C_{dgi} \neq 0$. Así, bajo esta condición tenemos $C_{gdi} \neq C_{dgi}$. Este efecto no recíproco se puede modelar mediante la adición de una parte imaginaria a la transconductancia intrínseca llamada transcapacitancia intrínseca (C_{mi}) [2]. Así, la transmitancia intrínseca (Y_{mi}) [2] se define como:

$$Y_{mi} = g_{mi} - j\omega C_{mi} \quad (2-3)$$

Por lo general, la transcapacitancia intrínseca puede despreciarse para frecuencias relativamente bajas, sin embargo, para frecuencias muy altas debe considerarse con el fin de describir con precisión el comportamiento del MOSFET [1].

Por otro lado, el transistor actúa como una fuente de corriente real y por lo tanto, tiene asociada una conductancia intrínseca de salida [2], definida por:

$$g_{di} = \left. \frac{\partial i_{ds}}{\partial v_{ds}} \right|_{v_{gs}=\text{const}} \quad (2-4)$$

Finalmente, el circuito equivalente de pequeña señal se presenta en la Figura 2.2.2, con todos los parámetros dependientes de las ecuaciones (2-1) – (2-4) indicados claramente:

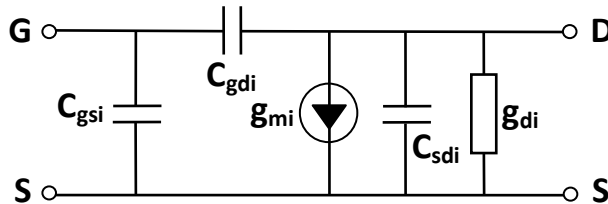


Figura 2.2.2. Circuito equivalente del modelo cuasi-estático de un MOSFET [2].

Este circuito equivalente puede ser representado por la matriz de admitancia intrínseca ($Y_{\pi i}$) [2] definida por:

$$Y_{\pi i} = \begin{bmatrix} j\omega(C_{gsi} + C_{gdi}) & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gdi} & g_{di} + j\omega(C_{sdi} + C_{gdi}) \end{bmatrix} \quad (2-5)$$

2.3 Parámetros Extrínsecos.

- **Modelo extrínseco.**

En la sección anterior se estableció el modelo del circuito equivalente bajo el régimen cuasi-estático. El modelo toma en cuenta sólo la parte intrínseca del transistor por lo que presenta una fuerte dependencia con la polarización aplicada y con la geometría del transistor. Sin embargo, la estructura del MOSFET está rodeada por algunos efectos parásitos procedentes principalmente de los contactos e interconexiones, los cuales deben ser considerados con el fin de describir adecuadamente su comportamiento general. Estos elementos extrínsecos parásitos son, en general independientes del voltaje de polarización [1].

- **Capacitancias extrínsecas.**

Varias capacitancias extrínsecas están asociadas a la estructura física del transistor, como se muestra en la Figura 2.3.1. Estas capacitancias extrínsecas están asociadas a las terminales de la compuerta, el Drain y el Source. Las capacitancias Gate-Drain (C_{gde}) y Gate-Source (C_{gse}) se producen de la combinación paralela de: (i) el traslape de regiones debido a la difusión de átomos dopados debajo de la capa de óxido de la compuerta tanto en el Source como en el Drain (ii) efectos de borde de campo eléctrico desde el electrodo de la compuerta a las regiones del Source y Drain. La capacitancia Drain-Source (C_{dse}) corresponde a una capacitancia de proximidad debido a efectos de acoplamiento a través del sustrato [2].

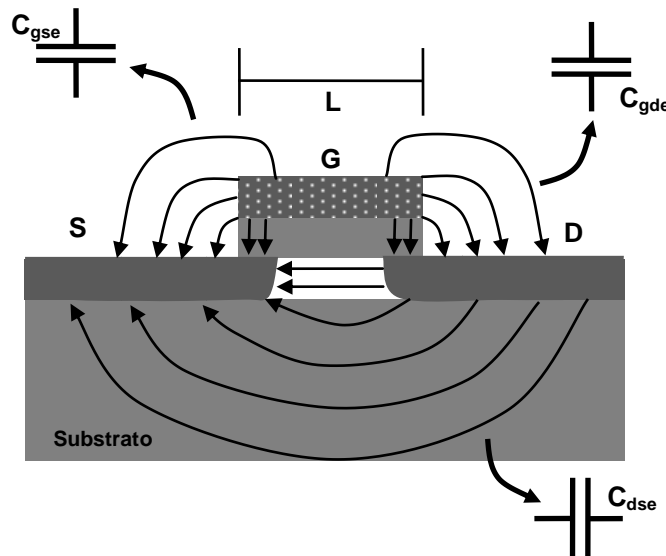


Figura 2.3.1. Capacitancias extrínsecas asociadas a la estructura física del transistor MOS [2].

El circuito equivalente de pequeña señal se muestra en la Figura 2.3.2, con las capacitancias extrínsecas agregadas:

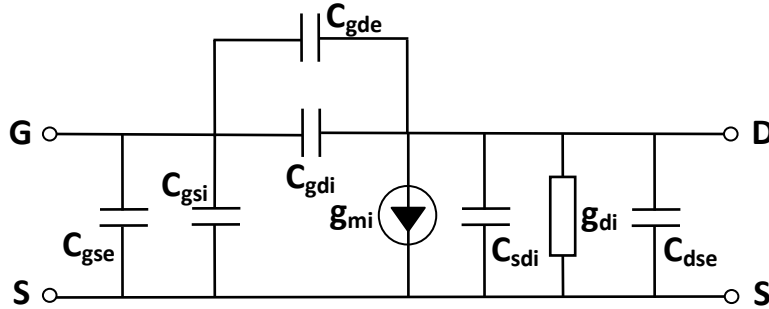


Figura 2.3.2. Modelo intrínseco cuasi-estático que incluye las capacitancias extrínsecas [2].

La matriz de admitancias (Y_{π}) del circuito equivalente de pequeña señal [2] presentado en la Figura 2.3.2 se define como:

$$Y_{\pi} = Y_{\pi i} + Y_e \quad (2-6)$$

donde

$$Y_e = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix}$$

- **Resistencias extrínsecas.**

Las regiones de semiconductor dopadas del Source y Drain están caracterizadas por cierta resistividad que, debido a su geometría, producen una resistencia en serie con el transistor intrínseco. Además, el transistor debe estar conectado al exterior mediante líneas de metal. Esas líneas de interconexión también introducen algunas resistencias en serie con el canal intrínseco del transistor. Por último, el contacto entre las líneas de metal y las regiones del semiconductor dopado se caracteriza por una resistencia de contacto que también contribuye a la resistencia parásita total [2].

La Figura 2.3.3 representa una vista superior de un transistor FinFET con las resistencias extrínsecas distribuidas.

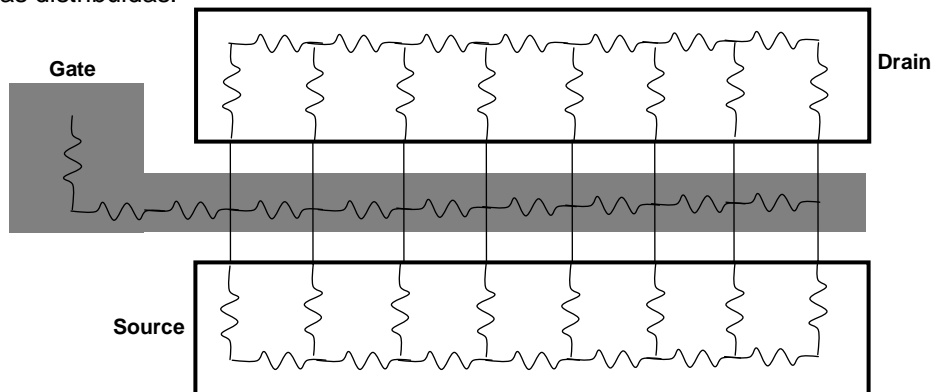


Figura 2.3.3. Resistencias extrínsecas en serie distribuidas en la estructura física del transistor [2].

La Figura 2.3.4 presenta el circuito equivalente de pequeña señal del MOSFET incluyendo tanto los elementos intrínsecos, como los extrínsecos.

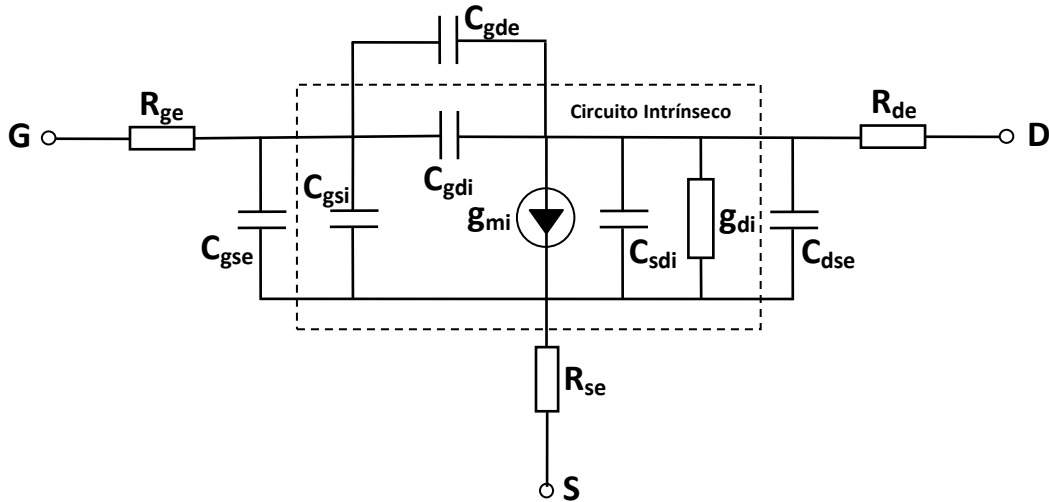


Figura 2.3.4. Circuito equivalente de pequeña señal de un MOSFET que incluye todos los elementos intrínsecos y extrínsecos concentrados [2].

La matriz de impedancia (Z) de todo el circuito presentado en la Figura 2.3.4 [2] puede ser representada matemáticamente por:

$$Z_{\Sigma} = Y_{\pi}^{-1} + Z_e \quad (2-7)$$

donde

$$Z_e = \begin{bmatrix} R_{ge} + R_{se} & R_{se} \\ R_{se} & R_{de} + R_{se} \end{bmatrix}$$

- **Parámetros de acceso.**

Con el fin de caracterizar un MOSFET en una banda de frecuencias amplia, debe ser integrado en líneas de transmisión planares, la más común es la guía de onda coplanar (CPW) presentada en la Figura 2.3.5. Por su puesto, estas líneas introducen algunos elementos parásitos adicionales, en serie y en paralelo, tanto a la entrada como a la salida del transistor bajo prueba [2].



Figura 2.3.5. Estructura de una guía de onda coplanar [2].

Varios procedimientos llamados de “de-embedding” (des-incrustación), se han propuesto en la literatura [4] para retirar los elementos parásitos relacionados a la estructura CPW. Sin embargo, el esquema real de “de-embedding” no es perfecto y por lo tanto algunos de los parámetros de acceso permanecen en la entrada y salida del dispositivo [2].

Por esta razón, los elementos parásitos de acceso (Z_{ga} , Z_{da} , Y_{ga} , Y_{da} , Y_{gda}) deben estar incluidos en el modelo de circuito equivalente tal como se presenta en la Figura 2.3.6.

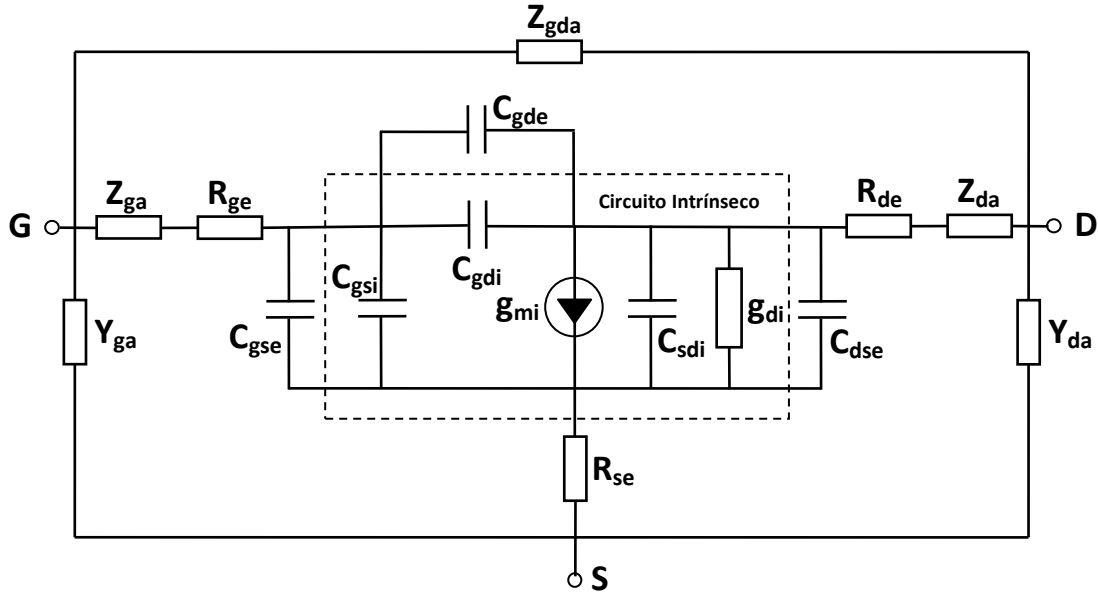


Figura 2.3.6. Circuito equivalente de pequeña señal completo de un MOSFET incrustado en una estructura CPW [2].

La representación matemática del circuito equivalente de pequeña señal completo presentado en la Figura 2.3.6, necesita dos consideraciones, primero es necesario añadir las impedancias de acceso a la matriz Z_{Σ} y posteriormente agregar las admitancias de acceso [2]. Así tenemos:

$$Z_{\sigma} = Z_{\Sigma} + Z_a \quad (2-8)$$

donde

$$Z_a = \begin{bmatrix} Z_{ga} & 0 \\ 0 & Z_{da} \end{bmatrix}$$

Y finalmente:

$$Y_{\mu} = Z_{\sigma}^{-1} + Y_a \quad (2-9)$$

donde

$$Y_a = \begin{bmatrix} Y_{ga} + Y_{gda} & -Y_{dga} \\ -Y_{gda} & Y_{da} + Y_{gda} \end{bmatrix}$$

Por lo tanto, la matriz Y_{μ} representa los parámetros de admitancia de todo el circuito equivalente del transistor MOS.

En la actualidad, las infraestructuras tecnológicas son lo suficientemente robustas de modo que las estructuras de control utilizadas para los procedimientos de “de-embedding” pueden, adecuadamente, quitar los elementos parásitos de acceso. Así, para transistores avanzados bien optimizados y estructuras de de-embedding (en circuito abierto, en circuito corto, con líneas, con carga), los elementos de acceso pueden ser removidos adecuadamente de las mediciones de los dispositivos bajo prueba [2].

2.4 Figuras de mérito f_T y f_{max} .

Las figuras de mérito que comúnmente se usan para describir el funcionamiento de los MOSFET en alta frecuencia son: la frecuencia de corte de la ganancia de corriente (f_T) y la máxima frecuencia de oscilación (f_{max}) [2].

La frecuencia de corte f_T puede ser definida como la frecuencia a la cual la ganancia de corriente disminuye hasta 1 (0 dB) [2]. Basándose en el circuito equivalente de pequeña-senal, puede ser descrita por la siguiente expresión:

$$f_T = \frac{g_{mi}}{2\pi} \frac{1}{(C_{gs} + C_{gd})(1 + g_{di}R_{se}) + C_{gd}g_{mi}R_{se}} \quad (2-10)$$

donde: $C_{gd} = C_{gdi} + C_{gde}$ y $C_{gs} = C_{gsi} + C_{gse}$.

De esta ecuación se puede observar que f_T es fuertemente afectada por la resistencia del Source extrínseca R_{se} , así como por las capacitancias extrínsecas asociadas a la compuerta. En la literatura, la frecuencia de corte intrínseca f_c , que mide la habilidad intrínseca de un MOSFET para amplificar señales de alta frecuencia [2], se define como:

$$f_c = \frac{g_{mi}}{2\pi} \frac{1}{C_{gs}} \quad (2-11)$$

La máxima frecuencia de oscilación se define como la frecuencia a la cual el dispositivo aún proporciona potencia para operar de forma estable [2], se define como:

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T R_{ge} C_{gd} + g_{di}(R_{ge} + R_{se})}} \quad (2-12)$$

Se puede ver que esta ecuación es directamente proporcional a f_T y es afectada fuertemente por las resistencias extrínsecas de la compuerta y el Source y las capacitancias extrínsecas asociadas a la compuerta. Además, f_{max} es afectada por la resistencia de compuerta R_{ge} como indica (2-12).

2.5 Referencias

- [1] Antonio F. L., "Extracción del Modelo de Circuito Equivalente de Pequeña Señal de Transistores FinFET", B.S. Theses, Universidad Nacional Autónoma de México, Facultad de Ingeniería, México, 2010.
- [2] Minin I., "Microwave and Millimeter Wave Technologies: From Photonic Bandgap Devices to Antenna Applications", Cap. 9, *Advanced RF MOSFET's for microwave and millimeter wave applications: RF characterization issues*, J. C. Tinoco & J.-P. Raskin, In-Tech, India, 2010, pp. 205-230.
- [3] Colinge J.-P., "*Silicon-on-Insulator technology: Material to VLSI*", Kluwer Academic Publishers, ISBN 0792391500, Dordrecht, 1991.
- [4] Cho H. & Burk D. E., "A three-step method for de de-embedding of high-frequency S parameters measurements". *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1371-1375, ISSN: 0018-9383, 1991.
- [5] Lovelace D., Costa J. & Camilleri N., "Extracting small-signal model parameters of silicon MOSFET transistors", *IEEE MTT-Symposium*, pp. 865-868, San Diego, CA, USA, 1994.
- [6] Torres-Torres R., Murphy-Arteaga R. S. & Decoutere S., "MOSFET bias dependent series resistance extraction from RF measurements", *Electronics Letters*, vol. 39, no. 20, pp. 1476-1478, ISSN: 0013-5194, 2003.
- [7] Raskin J.-P., Gillon R., Chen J., Vanhoenacker-Janvier D., & Colinge J.-P., "Accurate SOI MOSFET characterizations at microwave frequencies for device performance optimization and analog modeling", *IEEE Transaction on Electron Devices*, vol. 45, no. 5, pp. 1017-1025, ISSN: 0018-9383, 1998.
- [8] Bracale A., Ferlet-Cavrois V., Fel N., Pasquet D., Gauthier J. L., Pelloie J. L. & Du Port de Poncharra J., "A New Approach for SOI Devices Small-Signal Parameters Extraction", *Analog Integrated Circuits and Signal Processing*, vol. 25, no. 2, pp. 157, ISSN: 0925-1030, 2000.
- [9] Pascht A., Grözing M., Wiegner D. & Berroth M., "Small-signal and temperature noise model for MOSFET's", *IEEE Trans. on Microwave Theory and Techniques*, vol. 50, no. 8, p. 1927, ISSN: 0018-9480, 2002
- [10] Lee S., Yu H. K., Kim C. S., Koo J. G. & Nam K. S., "A novel approach to extracting small-signal model parameters of silicon MOSFET's". *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 3, p. 75, ISSN: 1051-8207, 1997.
- [11] Tinoco J. C. & Raskin J.-P., "RF-Extraction Methods for MOSFET Series Resistances: a fair comparison", *Proceedings of the 7th International Caribbean Conference on Devices, Circuits and Systems*, paper 64, April 28-30, 2008, Cancun, Mexico, 2008.
- [12] J. C. Tinoco, J.-P. Raskin. "New RF extrinsic resistances extraction procedure for deep-submicron MOS transistors", *International Journal of Numerical Modelin IJNM*, Vol 23, no. 2, pp. 107-126, 2010.

CAPITULO 3

Lineamientos para la Optimización de FinFETs de Triple Compuerta

En la literatura que aborda la optimización de transistores FinFET de tres compuertas para aplicaciones en RF, se pueden encontrar varios trabajos que analizan la geometría del transistor y proponen reglas de diseño que permiten reducir las capacitancias y resistencias parásitas para mejorar su frecuencia de operación. Sin embargo, la mayoría omite el análisis del impacto de las optimizaciones propuestas, sobre los SCEs, lo cual es de suma importancia ya que al escalar un transistor siempre se ve afectado por SCEs. En otras investigaciones se proponen procesos tecnológicos de fabricación para tratar de disminuir los efectos parásitos.

A continuación se describen los trabajos más destacados que abordan la optimización de la geometría de FinFETs para aplicaciones en radiofrecuencia, dichos trabajos se enfocan en disminuir el efecto de los elementos parásitos extrínsecos discutidos en el capítulo anterior.

3.1 Optimización de la geometría y efectos parásitos de FinFETs para aplicaciones en RF.

El autor Kranti presentó en [1] un análisis del impacto de los parámetros geométricos de la estructura del fin (altura del fin - H_{fin} , ancho del fin - W_{fin} , separación entre fins - S_{fin} y longitud de la compuerta - L_{fin}), sobre los componentes parásitos (capacitancias y resistencias) para aplicaciones en RF.

La estructura del transistor que se estudió en [1] se muestra a continuación:

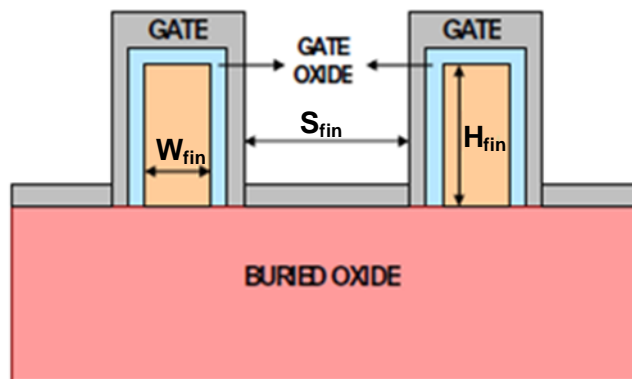


Figura 3.1.1. Sección transversal de un transistor con dos fins. El ancho efectivo W_{eff} que se toma en cuenta es $N_{fin}(2H_{fin}+W_{fin})$, donde N_{fin} es el número de fins. H_{fin} , W_{fin} y S_{fin} representan la altura del fin, el ancho del fin y la separación entre fins, respectivamente [1].

Este estudio se basó en simulaciones numéricas en 3D, así como en mediciones experimentales, para lo cual se utilizaron dispositivos con longitudes de compuerta de 60nm. El ancho del fin se varió de 22nm a 42nm y se utilizó una altura de fin de 60nm. El espacio entre fins se estableció en 325nm. Para propósitos de las simulaciones S_{fin} se varió hasta 50nm.

La siguiente figura muestra que una reducción de S_{fin} de 325nm a 50nm disminuye la capacitancia parásita extrínseca ($(C_{gg})_{parasitic}$) alrededor de 20% [1].

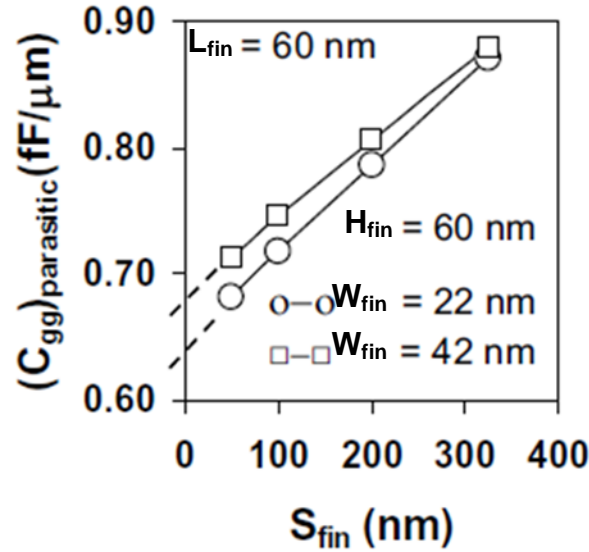


Figura 3.1.2. Capacitancia parásita en función de S_{fin} para $V_{GS} = -0.2$ y $V_{DS} = 10$ mV [1].

Como resultado de la minimización de $(C_{gg})_{parasitic}$ se produce una mejora importante en f_T y f_{MAX} [1] como se observa en la siguiente figura:

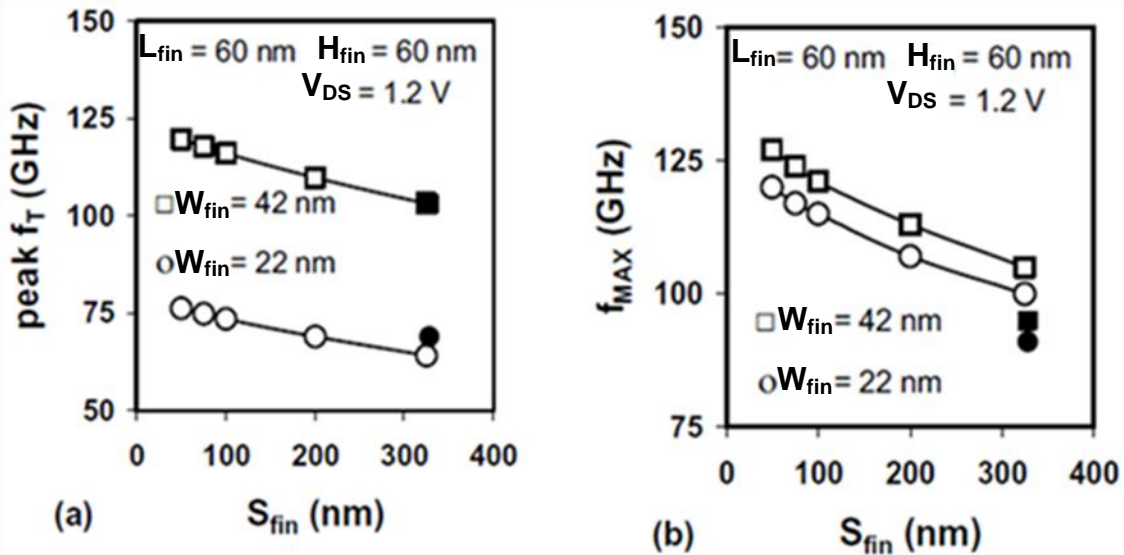


Figura 3.1.3. (a) f_T pico y (b) f_{MAX} en función de S_{fin} para W_{fin} de 42nm y 22nm. Los símbolos de color negro representan mediciones experimentales a $S_{fin} = 325$ nm; los símbolos de color blanco representan las simulaciones [1].

Un parámetro clave para mejorar el rendimiento en RF es la razón de aspecto ($AR = H_{fin}/W_{fin}$) y tecnológicamente está limitada a 5. En la siguiente figura se muestra que $(C_{gg})_{parasitic}$ (fF/ μ m) se reduce con el incremento de AR y la disminución de S_{fin} , la reducción es más significativa para dispositivos con W_{fin} más pequeños [1].

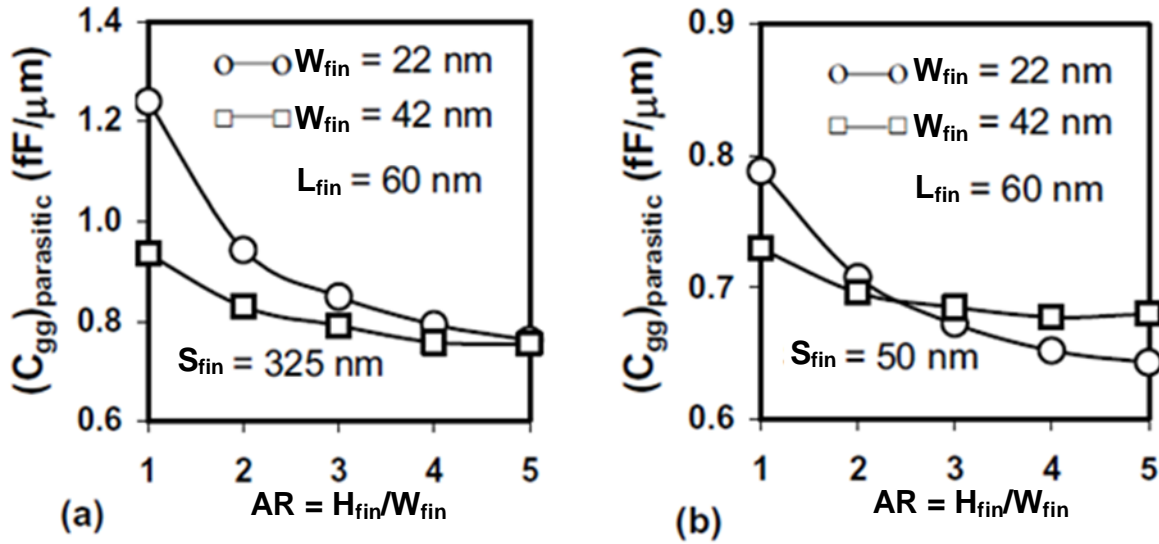


Figura 3.1.4. Variación de la capacitancia parasita total en función de $AR = H_{fin}/W_{fin}$ para $V_{GS} = -0.2V$ y $V_{DS} = 10mV$ (a) para $S_{fin} = 325nm$ y (b) para $S_{fin} = 50nm$ [1].

FinFETs diseñados con $W_{fin} = 22nm$ logran minimizar $(C_{gg})_{parasitic}$ para $AR \geq 4$, mientras dispositivos con fins mas anchos ($W_{fin} = 42nm$) lo logran a partir de $AR \geq 2$ [1].

En la siguiente figura se muestra la dependencia de la frecuencia f_T y f_{MAX} pico en función de AR.

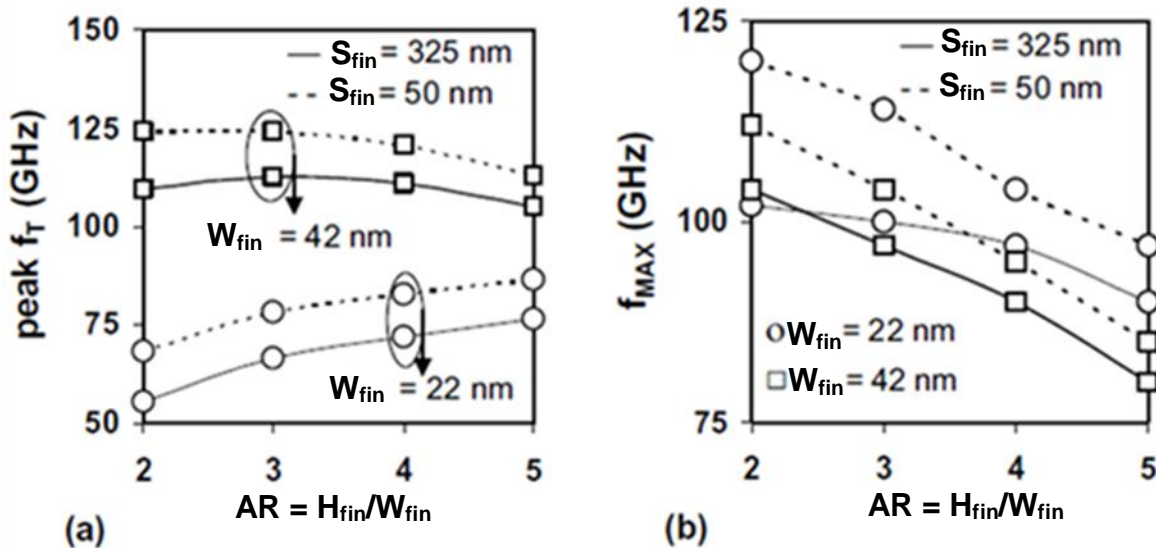


Figura 3.1.5. Dependencia de (a) f_T pico y (b) f_{MAX} en función de AR para dos valores diferentes de W_{fin} [1].

La frecuencia f_T permanece casi constante pero disminuye ligeramente en $AR = 5$ para $W_{fin} = 42nm$. Para $W_{fin} = 22nm$, f_T muestra un incremento cuasi-lineal al aumentar AR pero f_{MAX} disminuye con el incremento de AR [1].

La variación de f_{MAX} puede ser explicada por la siguiente expresión [1]:

$$f_{max} \cong \frac{f_T}{2} \left(\frac{1}{\sqrt{R_{ge}g_{ds} + 2\pi f_T C_{gd}(R_{ge} + (C_{gd}/C_{gg})R_D)}} \right) \quad (3-1)$$

donde C_{gg} es la capacitancia extrínseca total de compuerta. Se puede ver de la expresión anterior que f_{MAX} es degradada por los altos valores de g_{ds} y C_{gd} . FinFETs diseñados con valores pequeños de AR, W_{fin} anchos y valores de S_{fin} bajos dan el mejor compromiso para f_T y f_{MAX} . Un FinFET propuesto con $W_{fin} \sim 0.7L_{fin}$, AR = 2-3 y $S_{fin} = 50\text{nm}$ es muy competitivo con tecnologías planares [1].

En la siguiente figura se muestra la dependencia de la frecuencia de corte pico f_T y f_{MAX} en función de R_{SD} :

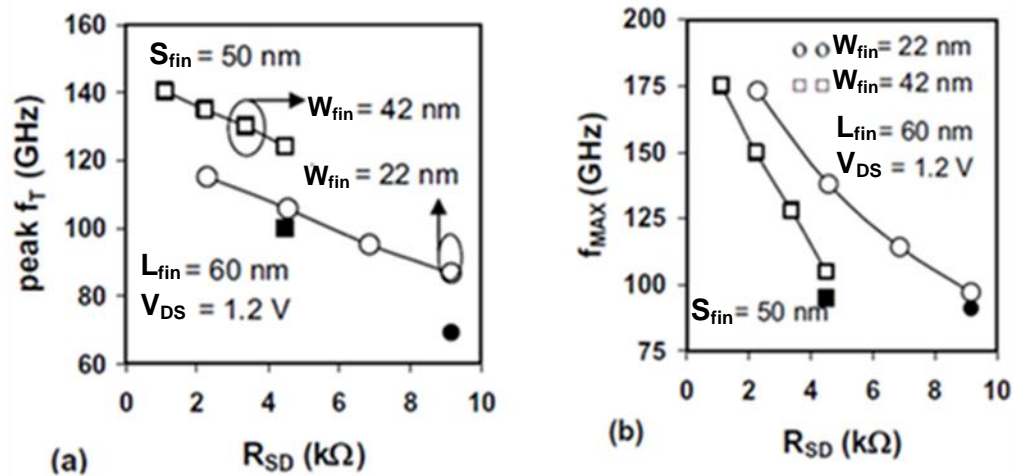


Figura 3.1.6. Dependencia de (a) f_T pico y (b) f_{MAX} en función de R_{SD} para $W_{fin} = 22\text{nm}$ con AR = 5 y $W_{fin} = 42\text{nm}$ con AR = 3. Los símbolos rellenos representan mediciones experimentales para $S_{fin} = 325\text{nm}$ [1].

De la figura anterior se puede observar que frecuencias de corte del orden de 140 GHz pueden lograrse mediante una optimización de S_{fin} , W_{fin} , AR y R_{SD} . La frecuencia f_{MAX} muestra mejoras importantes con la reducción de R_{SD} [1].

El análisis presentado hasta ahora, sugiere que un dispositivo óptimo para RF ($W_{fin}/L_{fin} = 0.6 - 0.7$, AR = 3 y mínimo $S_{fin} = 50\text{nm}$) será muy diferente de un dispositivo óptimo para aplicaciones digitales donde se requieren fins estrechos ($W_{fin}/L_{fin} = 0.4$ y AR = 4-5) [1].

Los resultados obtenidos en [1], señalan que FinFETs óptimamente diseñados de 60nm de longitud de canal, pueden alcanzar valores de f_T alrededor de 140GHz y f_{MAX} alrededor de 175GHz.

En [2] el autor Ohguro analizó diferentes parámetros de transistores MOSFET y FinFET para obtener un alto rendimiento en RF. A continuación se describen los aspectos más importantes tratados en cuanto a los transistores FinFET.

En la siguiente figura se muestra la estructura del transistor analizado:

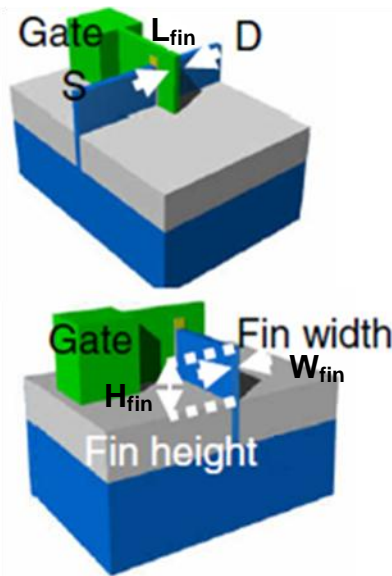


Figura 3.1.7. Estructura de un FinFET [2].

En la siguiente figura se muestran los resultados de las frecuencias de corte, en función de S_{fin} para $L_{fin} = 30\text{nm}$.

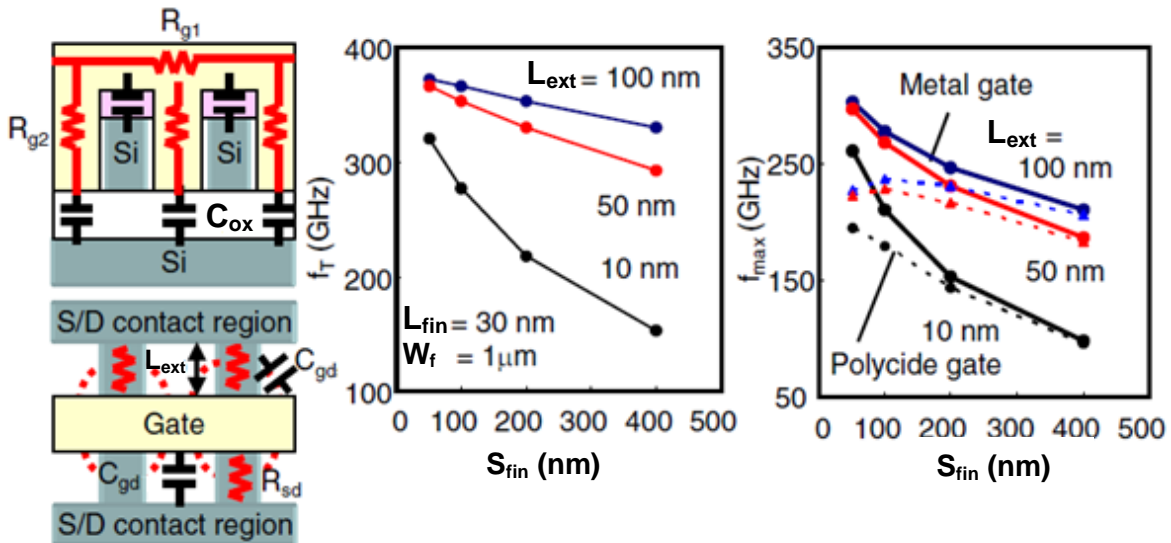


Figura 3.1.8. Dependencia de S_{fin} en función de f_T y f_{MAX} . L_{ext} es la distancia entre la compuerta y la región de contacto con el Source/Drain. W_f es el ancho total del finger [2].

De la figura anterior, se puede ver que f_T y f_{MAX} se incrementan al disminuir S_{fin} debido a que la capacitancia parásita disminuye. Sin embargo, a medida que se reduce L_{ext} , f_T disminuye significativamente debido a que la capacitancia parásita producida entre el electrodo de compuerta y los electrodos de Drain y Source aumenta de manera importante [2].

Como se mencionó anteriormente, el uso de SEG (Selective Epitaxial Growth) es útil a fin de reducir la resistencia parásita de Source/Drain, sin embargo, al mismo tiempo produce un incremento de las capacitancias parásitas asociadas a la compuerta, por ello aparece un compromiso en su implementación como se demuestra en la figura 3.1.9 [2].

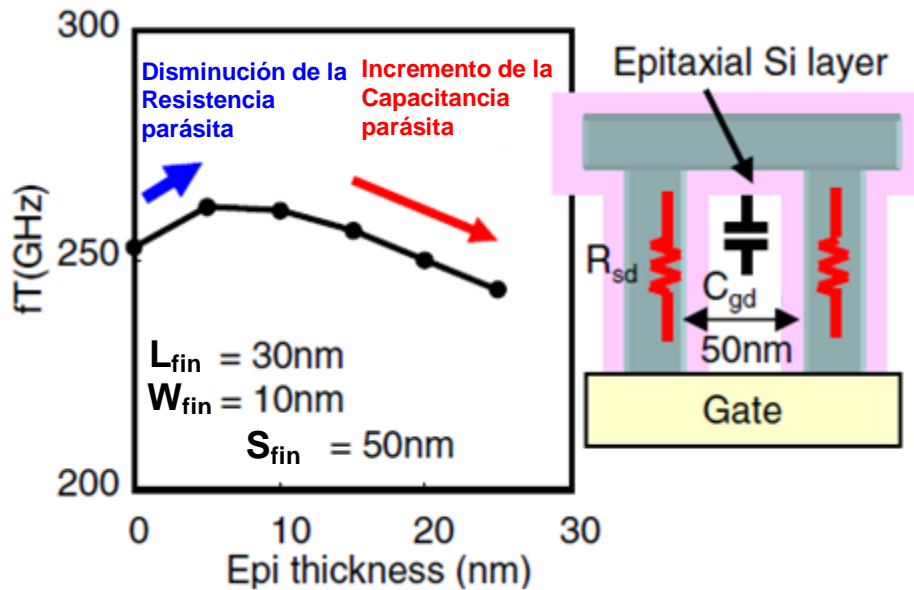


Figura 3.1.9. f_T en función del espesor de la capa de SEG [2].

Una investigación enfocada a optimizar transistores FinFET para aplicaciones en RF fue planteada por Parvais [3], en donde se investigan soluciones tecnológicas tanto en procesos de integración como metodologías de diseño para disminuir las limitaciones que se producen al escalar transistores FinFET. El FinFET analizado en [3] tiene la siguiente estructura:

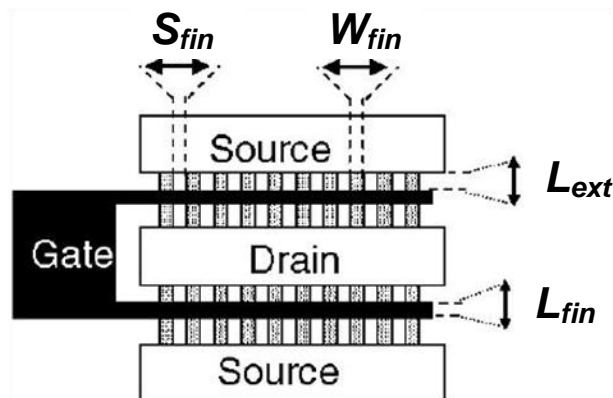


Figura 3.2.1. FinFET con dos fingers y múltiples fins; N_{fin} es la cantidad de fins por finger; N_{finger} es la cantidad de fingers. El ancho total del dispositivo es $N_{fin} \cdot N_{finger} (W_{fin} + 2H_{fin})$ donde H_{fin} es la altura del fin [3].

Este estudio se realizó mediante mediciones experimentales de dispositivos de tres compuertas y simulaciones. Se utilizó un FinFET tipo n con $L_{fin} = 55\text{nm}$ y $W_{fin} = 28\text{nm}$.

La reducción de la resistencia parásita Source/Drain (R_{SD}) juega un papel importante en el diseño de transistores FinFET, esta puede ser lograda con SEG (Selective Epitaxial Growth). Esta técnica mejora la velocidad del dispositivo pero el proceso es más complejo y la capacitancia parásita se incrementa alrededor de un 15% [3].

El ancho del fin (W_{fin}), así como la distancia entre el borde de la compuerta y el contacto de S/D (L_{ext}), pueden ser elementos importantes para la optimización de R_{SD} . Mediciones experimentales indican que disminuir L_{ext} de 100nm a 40nm reduce R_{SD} un 25% [3]. En la siguiente figura se muestra claramente que al reducir R_{SD} la frecuencia f_{max} se incrementa:

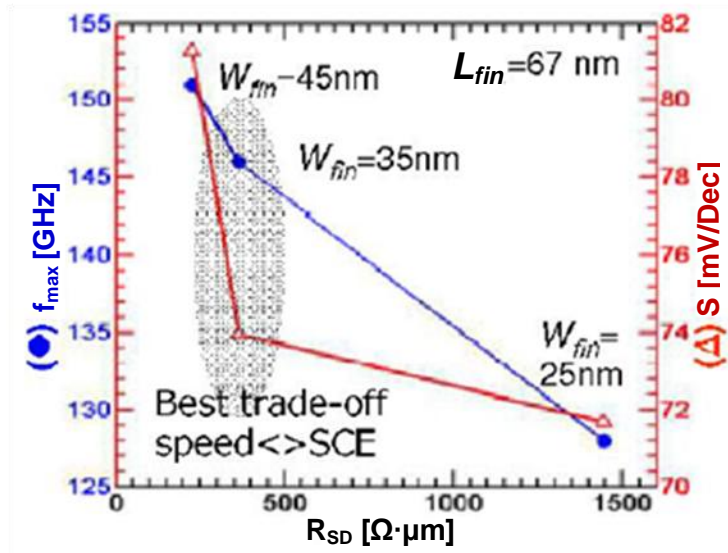


Figura 3.2.2. La reducción de R_{SD} incrementa f_{max} . El incremento de W_{fin} afecta la pendiente sub-umbral (S) [3].

Además, de la figura anterior se observa que al incrementar el ancho del fin se produce un aumento en los SCEs.

Las optimizaciones presentadas en [3] indican un 15% de aumento en f_T .

3.2 Metodología de diseño de FinFETs para aplicaciones en RF

Los estudios que se han mostrado hasta ahora son relativamente simples ya que no estudian el transistor en su totalidad, es decir, se desprecian los efectos de la estructura multi-finger multi-fin y sus interconexiones.

En [4] se presenta una investigación más profunda sobre transistores operando en RF utilizando un modelo compacto de capacitancias parásitas extrínsecas e intrínsecas así como de resistencias en serie parásitas. También, muestra la extracción de los elementos parásitos del transistor y el cálculo de las frecuencias de corte. Con el análisis de f_T se presenta el efecto de los diferentes elementos parásitos en RF de los FinFET. En [4] el autor Subramanian identifica la principal limitación de los transistores FinFET para aplicaciones en RF, se proponen soluciones pertinentes y se discuten sus ventajas y desventajas.

El análisis se basa en dispositivos experimentales multi-fin multi-finger de dos compuertas con longitudes de canal que van de 60nm a 500nm.

En la siguiente figura se muestra el diseño del transistor simplificado para este estudio. Para obtener alta transconductancia y mejor rendimiento en RF estos transistores se diseñan con un ancho muy grande, por ejemplo varias decenas de micrómetros, que se logra con la ayuda de un gran número de fingers y varios fins en cada finger (en [4] se consideraron 50 fingers y 9 fins por finger).

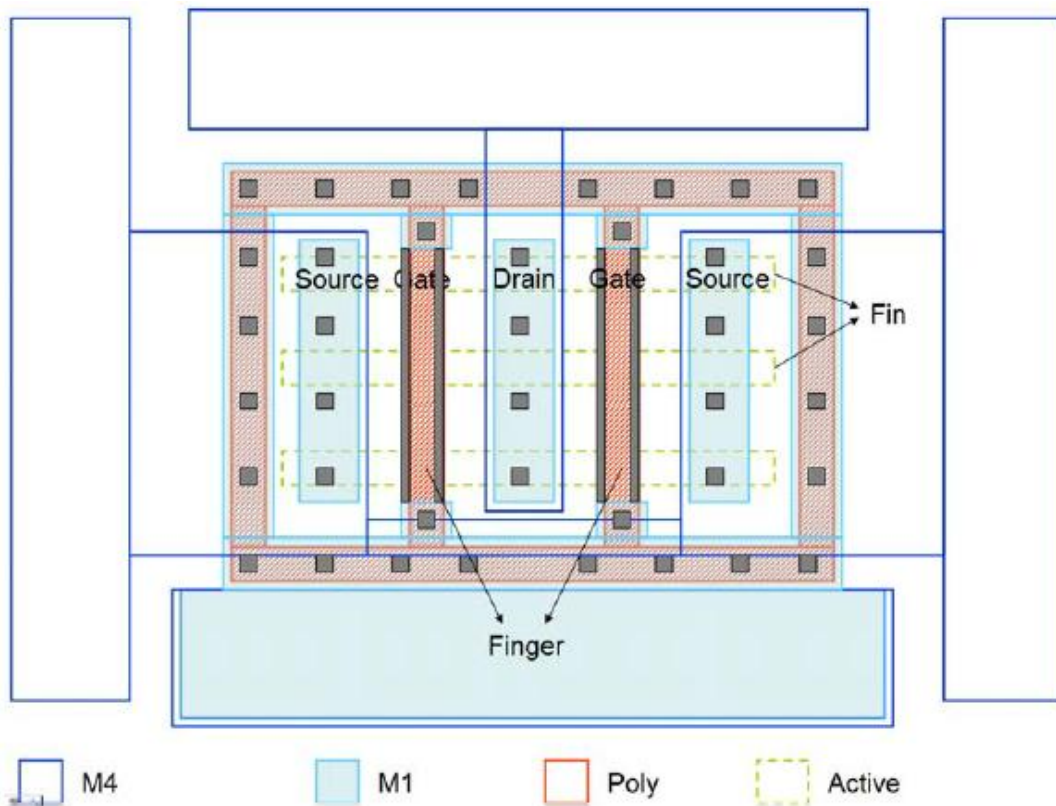


Figura 3.2.3. Diseño del FinFET en configuración multi-fin multi-finger [4].

Múltiples fingers son utilizados para minimizar la resistencia de compuerta. La compuerta es conectada por dos lados usando la mayor cantidad de contactos como sea posible. Para minimizar la resistencia parásita de acceso, líneas de metal ancho son empleadas para conectar el Source,

Drain y Gate a los contactos del transistor. Como consecuencia de lo anterior, a pesar de que las resistencias de acceso se reducen, el acoplamiento entre las líneas de metal relativamente anchas resulta en efectos capacitivos de acoplamiento entre las líneas de acceso de Gate-Source, Gate-Drain, y Drain-Source [4].

En el modelo de capacitancias que se presentó en [4] se definen tres componentes de “capacitancia de acceso”: C_{ga} , C_{gda} y C_{da} . Estas capacitancias surgen del acoplamiento entre las líneas de interconexión de metal. También, se definen tres componentes de “capacitancia extrínseca”: C_{ge} , C_{gde} y C_{de} . Estas capacitancias surgen debido al acoplamiento entre el Source, Drain y Gate [4]. A continuación se muestran estas capacitancias en esquema en dos dimensiones:

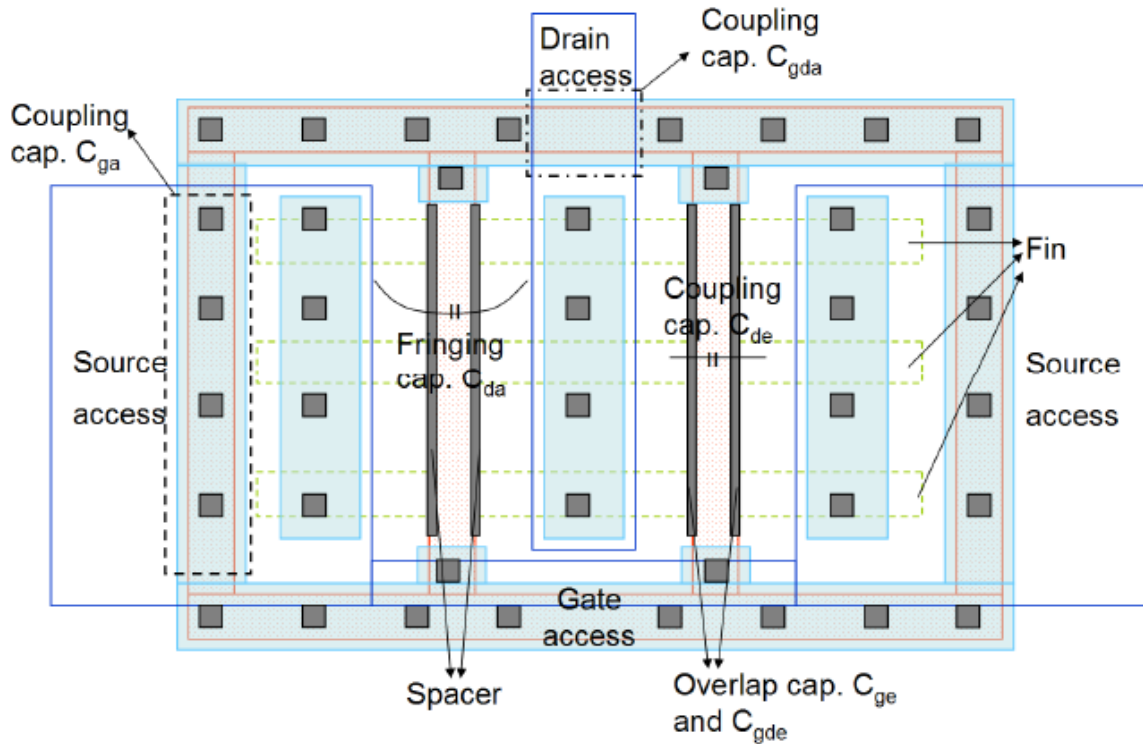


Figura 3.2.4. Diferentes capacitancias parásitas en un FinFET en configuración multi-fin y multi-finger [4].

Las capacitancias mostradas anteriormente pueden ser definidas por [4]:

$$C_{ga} = C_{ga,fin}N_{fin} + C_{ga,gr}N_{finger} \quad (3-2)$$

$$C_{gda} = C_{gda,fin}N_{fin} + C_{gda,gr}N_{finger} \quad (3-3)$$

$$C_{da} = C_{da,fin}N_{fin} + C_{da,gr}N_{finger} \quad (3-4)$$

$$C_{ge} = (C_{ge,fin} + L_{fin}C_{ge,L})N_{fin}N_{finger} \quad (3-5)$$

$$C_{gde} = (C_{gde,fin} + L_{fin}C_{gde,L})N_{fin}N_{finger} \quad (3-6)$$

$$C_{de} = \frac{C_{de,L}}{L_{fin}+L_{con}}N_{fin}N_{finger} \quad (3-7)$$

donde $C_{ga,fin}$, $C_{ga,finger}$, $C_{gda,fin}$, $C_{gda,finger}$, $C_{da,fin}$, $C_{da,finger}$, $C_{ge,fin}$, $C_{ge,L}$, $C_{gde,fin}$, $C_{gde,L}$ y L_{con} son constantes.

Estas capacitancias se pueden representar en un modelo de circuito eléctrico que represente las capacitancias de de acceso, las capacitancias extrínsecas y las resistencias parásitas [4], como se muestra a continuación:

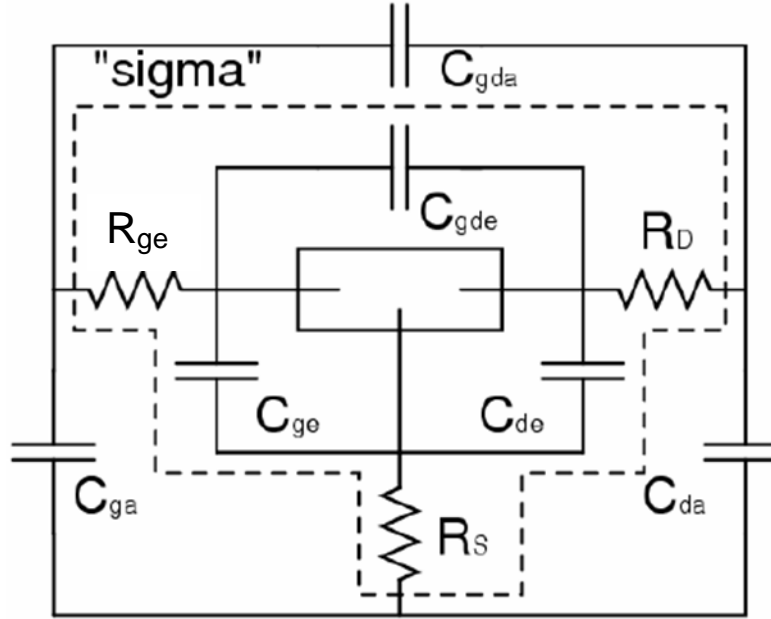


Figura 3.2.5. Modelo de circuito eléctrico equivalente de efectos parásitos de un FinFET [4].

La extracción de las capacitancias parásitas se puede realizar polarizando el transistor con un voltaje menor al voltaje de umbral (condición de empobrecimiento) para que la parte intrínseca se pueda despreciar [4], por lo que se puede escribir:

$$C_{12} = C_{21} = \frac{Im(Y_{12})}{\omega} = \frac{m(Y_{21})}{\omega} C_{gda} + C_{gde} \quad (3-8)$$

$$C_{11} = \frac{Im(Y_{11})}{\omega} + C_{12} = C_{ga} + C_{ge} \quad (3-9)$$

$$C_{22} = \frac{Im(Y_{22})}{\omega} + C_{21} = C_{da} + C_{de} \quad (3-10)$$

donde Y_{11} , Y_{12} , Y_{21} y Y_{22} son los parámetros Y de una red de dos puertos de un dispositivo. Sustituyendo las ecuaciones (3-2)-(3-7) en (3-8)-(3-10) se puede obtener las capacitancias C_{ij} en términos de las desconocidas de las ecuaciones (3-2)-(3-7) [4].

Las capacitancias de acceso determinadas anteriormente se pueden extraer del circuito equivalente de la Figura 3.2.5 mediante los parámetros Y. Las resistencias R_S , R_D y R_{ge} se determinan a partir de los parámetros Z del mismo circuito equivalente anteriormente mencionado [4].

Con las capacitancias y resistencias parásitas estimadas se puede extraer la frecuencia de corte intrínseca del FinFET. La frecuencia se puede referir a aquella frecuencia de corte alcanzable f_T considerando ciertos efectos parásitos (capacitancias de acceso, capacitancias extrínsecas,

resistencias parásitas), es decir, se definen cuatro casos en el FinFET, los cuales son acotados en la siguiente figura:

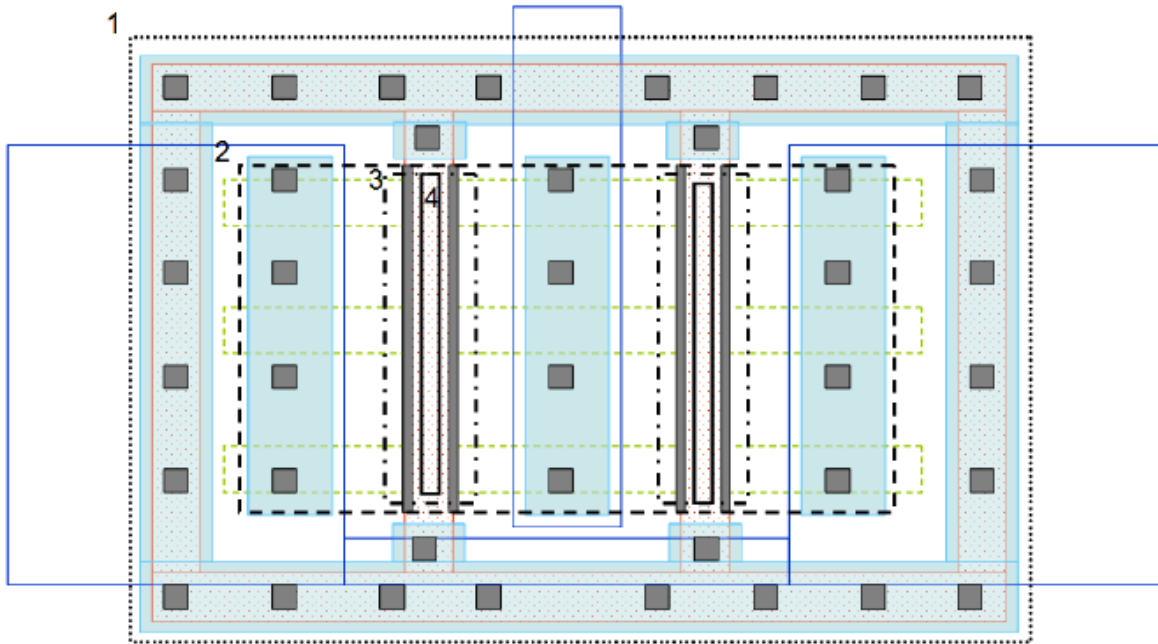


Figura 3.2.6. Superficies de referencia en el diseño de un FinFET [4].

En la superficie de referencia “1” los efectos parásitos de las líneas de interconexión externas son excluidos del dispositivo, pero todos los demás efectos parásitos son parte del dispositivo bajo análisis, la frecuencia de corte asociada con esta parte del dispositivo es f_{T1} . En la superficie de referencia “2” se desprecian las capacitancias de acceso asociadas con el Gate, Source y Drain del dispositivo. Las resistencias en serie y capacitancias de overlap son parte del dispositivo, la frecuencia asociada aquí es f_{T2} . Si se desprecian las resistencias en serie asociadas con el Source y Drain se llega a la superficie de referencia “3” con frecuencia de corte f_{T3} . Al eliminar las capacitancias extrínsecas se obtiene la superficie de referencia “4” con frecuencia de corte asociada f_{T4} . Para terminar, si se desprecia la resistencia de compuerta se obtiene un dispositivo al que se le puede asociar una frecuencia de corte intrínseca pura f_{Ti} . A continuación se muestra una tabla con las frecuencias mencionadas con los parámetros que se incluyen y excluyen.

Tabla 3.2.1. Parámetros incluidos y excluidos correspondientes a las diferentes superficies de referencia [4].

f_{T1}	f_{T2}	f_{T3}	f_{T4}	f_{Ti}
Incluye: - Parte intrínseca - Capacitancia de Overlap - R_S, R_D, R_{ge} - Interconexiones	Incluye: - Parte intrínseca - Capacitancia de Overlap - R_S, R_D, R_{ge}	Incluye: - Parte intrínseca - Capacitancia de Overlap - R_{ge}	Incluye: - Parte intrínseca - R_{ge}	Incluye: - Parte intrínseca
Incluye todos los componentes	Excluye: - Interconexiones	Excluye: - Interconexiones - R_S, R_D	Excluye - Interconexiones - R_S, R_D - Capacitancia de Overlap	Excluye - Interconexiones - R_S, R_D, R_{ge} - Capacitancia de Overlap

En la siguiente figura se muestra una gráfica de la frecuencia alcanzable f_T de un FinFET de 60nm de longitud de compuerta con 9 fins y 50 fingers a un voltaje V_{DS} de 1.2V y a V_{GS} de 0.9V. Se puede ver que la f_{Ti} intrínseca del dispositivo es aproximadamente de 340GHz.

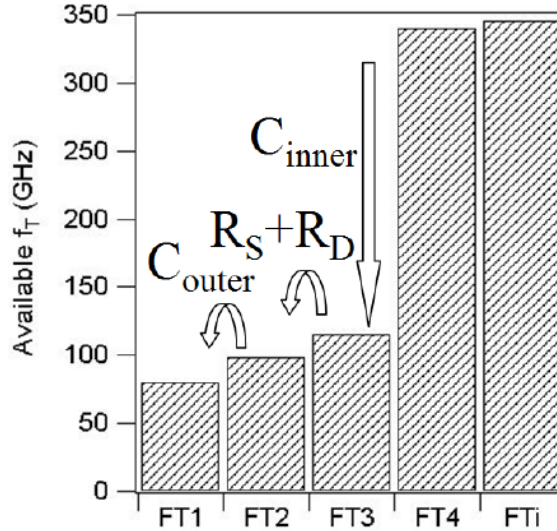


Figura 3.2.7. Frecuencia de corte alcanzable f_T para diferentes superficies de referencia de un FinFET con $L_{fin} = 60\text{nm}$, $N_{fin} = 9$, $N_{finger} = 50$, $V_{DS} = 1.2\text{V}$ y $V_{GS} = 0.9\text{V}$ [4].

Cuando la resistencia de compuerta es añadida a la parte intrínseca del dispositivo, la frecuencia de corte dada por f_{T4} permanece casi igual. Una vez que se añade la capacitancia extrínseca la frecuencia de corte f_{T3} disminuye a 115GHz. Además, los efectos parásitos del Source y Drain disminuyen la frecuencia de corte a 100GHz. Cuando se añaden las capacitancias de acceso, se llega a la superficie de referencia "1", donde la frecuencia de corte es de 80GHz. En términos relativos, al añadir las capacitancias extrínsecas se tiene como resultado una disminución de aproximadamente dos tercios en la frecuencia de corte, y añadiendo las resistencias en serie resulta una caída de 5% de la frecuencia de corte y otro 5% al añadir las capacitancias de acceso. En total, hay una pérdida de casi 75% de la frecuencia de corte intrínseca entre el dispositivo intrínseco y el dispositivo completo, donde las capacitancias extrínsecas provocan una importante fracción de esta pérdida. Tendencias similares se muestran para la frecuencia f_{max} como se ve en la Figura 3.2.8. En este caso, la resistencia de compuerta y la capacitancia extrínseca son los factores más grandes de degradación en el rendimiento del transistor, seguidos por la resistencia Source/Drain y finalmente las capacitancias de acceso [4].

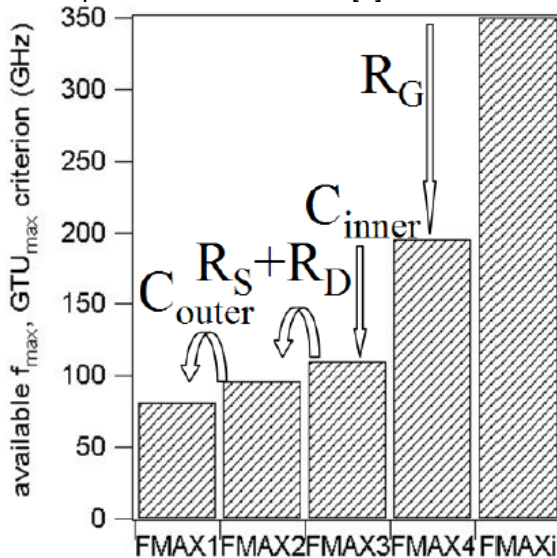


Figura 3.2.8. Frecuencia de corte f_{max} alcanzable para diferentes superficies de referencia de un FinFET con $L_{fin} = 60\text{nm}$, $N_{fin} = 9$, $N_{finger} = 50$, $V_{DS} = 1.2\text{V}$ y $V_{GS} = 0.9\text{V}$ [4].

Según lo anterior, claramente se indica que la capacitancia parásita, especialmente la capacitancia extrínseca, juega un papel importante en la degradación del FinFET al operar en RF en comparación con la resistencia parásita [4]. Debido a esto, en [4] se investigó a profundidad la capacitancia extrínseca. Se utilizó el modelo de Wu [5] para este propósito, que se ha desarrollado para tomar en cuenta la naturaleza tridimensional del FinFET. Las capacitancias se muestran en la Figura 3.2.9. Basado en simulaciones, el modelo permite identificar tres componentes de capacitancia principalmente C_1 , C_2 y C_3 .

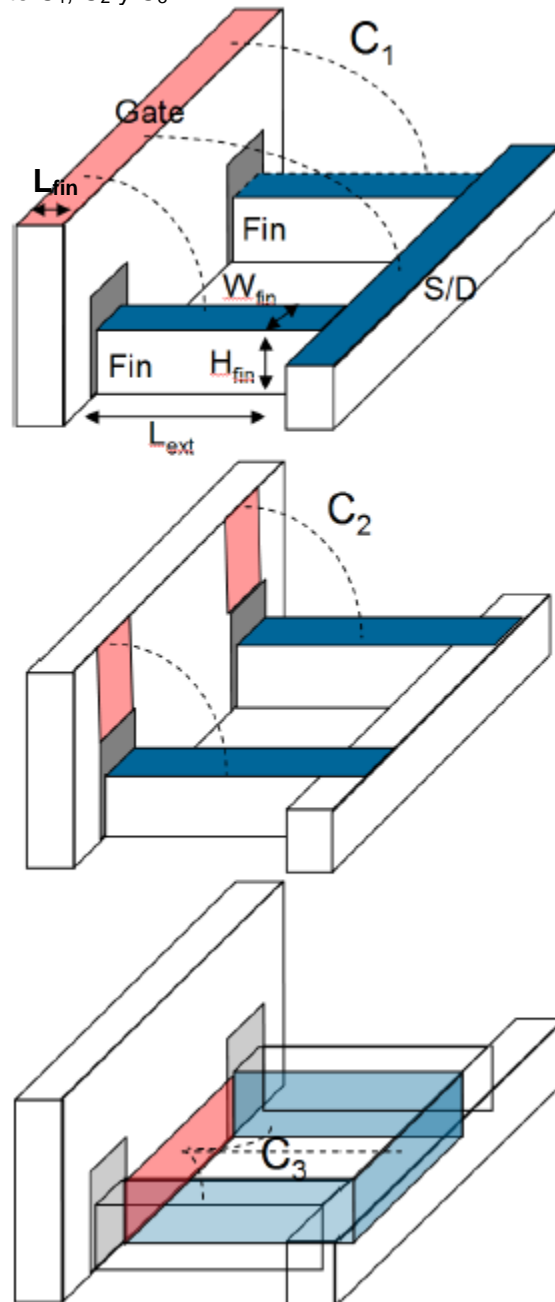


Figura 3.2.9. Diferentes componentes de capacitancia parásita de un FinFET. Se muestran tres componentes principales C_1 , C_2 y C_3 [4].

C_1 es la capacitancia asociada al campo eléctrico de la parte superior del electrodo de la compuerta y la parte superior de los fins. C_2 es la capacitancia asociada al campo eléctrico de la parte lateral de la compuerta y la parte superior de los fins. C_3 es la capacitancia asociada a la

parte lateral inferior de la compuerta y las regiones internas de los fins, esta capacitancia es distintiva en los FinFETs. Además, se tiene la capacitancia de overlap C_{ov} , que se debe a la superposición entre la compuerta y las extensiones de Source/Drain,

A continuación se muestra la tabla de ecuaciones que se utilizaron en [4]:

Tabla 3.2.2. Ecuaciones utilizadas para calcular las componentes de capacitancia parásita [4].

C_{ova}	$2N_{fin}(W_{fin} + 2H_{fin})\frac{\epsilon_{ox}}{t_{ox}}L_{ov}$
C_{ovb}	$2N_{fin}(W_{fin} + 2H_{fin})\frac{\epsilon_{ox}t_{ox}}{t_{ox}}\frac{1}{2}\left(1 + \frac{1 - \cos\left(\frac{\pi}{2}\frac{\epsilon_{ox}}{\epsilon_{si}}\right)}{\sin\left(\frac{\pi}{2}\frac{\epsilon_{ox}}{\epsilon_{si}}\right)}\right)$
C_{1a}	$2N_{fin}W_{fin}\frac{\epsilon_{ox}}{\pi}\ln\left(1 + \frac{L_{fin}}{t_{poly} + t_{ox}}\right)$
C_{1b}	$2N_{fin}S_{fin}\frac{\epsilon_{ox}}{\pi}\ln\left(1 + \frac{L_{fin}}{t_{poly} + t_{ox}}\right)$
C_{2a}	$2N_{fin}W_{fin}\frac{\epsilon_{ox}}{\pi}\ln\left(1 + \frac{\eta_1 t_{poly} + \sqrt{((\eta_1 t_{poly})^2 + 2\eta_1 t_{ox} t_{poly})}}{t_{ox}}\right)$
C_{2b}	$N_{fin}W_{fin}\frac{\eta_2 \epsilon_{ox}}{\pi e}\ln\left(\frac{N_{fin}W_{fin}\pi}{t_{ox}}\right)$
C_{3a}	$4N_{fin}H_{fin}\frac{\epsilon_{ox}}{\pi}\ln\left(1 + \frac{\eta_3 \frac{S_{fin}}{2} + \sqrt{\left(\left(\eta_3 \frac{S_{fin}}{2}\right)^2 + \eta_3 t_{ox} S_{fin}\right)}}{t_{ox}}\right)$
C_{3b}	$2N_{fin}H_{fin}\frac{\eta_4 \epsilon_{ox}}{\pi e}\ln\left(\frac{2N_{fin}H_{fin}\pi}{t_{ox}}\right)$
	$\eta_1 = \exp\left[\frac{1}{\tau^1}\left(1 - \frac{\sqrt{t_{poly}^2 + 2t_{ox}t_{poly}}}{L_{ext}}\right)\right]$
	$\eta_3 = \exp\left[\frac{1}{\tau^2}\left(1 - \frac{\sqrt{\frac{S_{fin}^2}{4} + t_{ox}S_{fin}}}{L_{ext}}\right)\right]$

En las ecuaciones de la tabla anterior, L_{fin} es la longitud de compuerta, H_{fin} es la altura del fin, W_{fin} es el ancho del fin, S_{fin} es la separación entre fins, t_{ox} es el espesor del óxido, t_{poly} es el espesor del polisilicio, L_{ext} es la longitud de la extensión de Source/Drain y L_{ov} es la longitud de la región de

overlap. η_1 y η_3 son parámetros dependientes de la geometría, mientras que η_2 , η_4 , τ_1 y τ_2 son valores constantes.

Con este modelo se analizó las componentes de capacitancia parásita del FinFET. Los resultados mostraron lo siguiente [4]:

1. La componente C_1 es totalmente despreciable
2. La componente C_3 es la componente parásita de mayor valor, el término más dominante es C_{3b}
3. C_{ov} es la segunda componente de mayor valor, la componente C_{ova} es la que domina este término
4. C_2 es la tercer componente de mayor valor, el término que mas domina es C_{2b}
5. De todos los términos de capacitancias que se analizaron, alrededor del 80% de capacitancia parásita se atribuye a 3 términos C_{3b} , C_{2b} y C_{ova} .

Para el efecto de las componentes C_{2b} y C_{3b} se debe disminuir la longitud de las extensiones que conectan la compuerta con el Source/Drain. El término C_{ova} depende de la longitud de overlap, que puede ser del orden de 6nm para disminuir su efecto, si embargo, esto es muy complicado debido a cuestiones tecnológicas de fabricación. El término C_{3a} depende de la separación entre fins, y puede ser disminuido reduciendo el valor de S_{fin} [4].

Para finalizar, se observó el impacto de los efectos parásitos con el escalado de la longitud de compuerta, como se muestra en la siguiente figura:

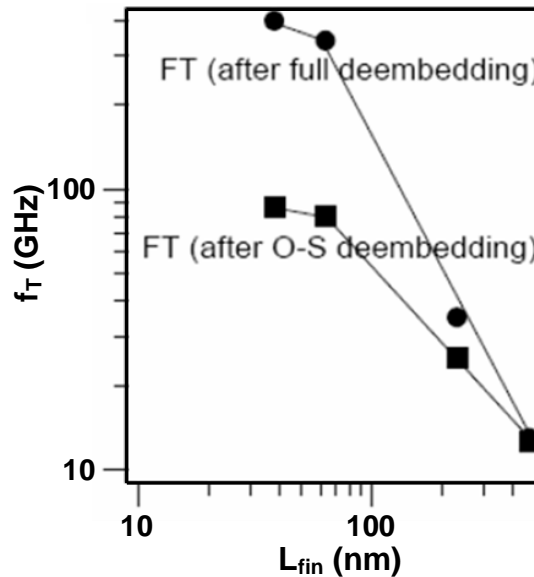


Figura 3.2.10. Frecuencia de corte intrínseca y extrínseca en función de la longitud del Gate [4].

En la Figura 3.2.10 se muestra la frecuencia de corte extrínseca f_T (after O-S deembedding) que contiene todos los efectos parásitos y la frecuencia de corte intrínseca f_T (after full deembedding) sin considerar los efectos parásitos. Se puede ver que la frecuencia de corte extrínseca es fuertemente degradada en dispositivos de longitud de compuerta cada vez más pequeña. Este comportamiento es debido a los efectos parásitos del dispositivo [4].

En este último estudio presentado en [4], el papel desempeñado por las resistencias y capacitancias parásitas en la degradación del rendimiento de FinFETs en RF se diseccionó sistemáticamente al cuantificar la contribución de cada parte analizada. Se reveló que las capacitancias parásitas son el principal componente que degrada la operación los FinFET en RF en comparación con las resistencias parásitas.

En los trabajos tratados en este capítulo se puede notar que el trabajo más avanzado en la optimización de FinFETs es el presentado en [4], ya que muestra un análisis de toda la estructura del FinFET, es decir, toma en cuenta las capacitancias parásitas asociadas a la estructura multi-finger multi-fin del transistor, así como las resistencias parásitas asociadas a la estructura. Sin embargo, sólo se analiza el desempeño de las frecuencias de corte del transistor en RF, y se omite el análisis de los efectos parásitos en los SCEs. Debido a esto, en esta tesis se aborda en detalle el efecto del escalado de un dispositivo de $L_{fin} = 40\text{nm}$ para maximizar sus figuras de mérito analógicas, y además se presenta el impacto de dicho escalado en los SCEs.

3.3 Referencias

- [1] Kranti A., Raskin J.-P. and Armstrong G. A., "Optimizing FinFET geometry and parasitics for RF applications," *Proc. 2008 IEEE Int. SOI Conf.*, pp. 123–124, 2008.
- [2] Ohguro T., Higashi Y., Okano K., Inaba S. and Toyoshima Y., "The Optimum device parameters for high RF and analog/MS performance in planar MOSFET and FinFET", IEEE, *2012 Symposium on VLSI Technology Digest of Technical Papers*, pp. 149-150, 2012.
- [3] Parvais B., Dehan M., Subramanian V., Mercha A., San K.T., Jurczak M., et al, "Analysis of FinFET parasitics for improved RF performance", *Proc. Intl. SOI Conf.*, pp.37-38, 2007.
- [4] Subramanian V., Mercha A., Parvias B., Dehan M., Groeseneken G., Sansen W. and Decoutere S., "Identifying the bottlenecks to the RF performance of FinFETs," *Proc. 2010 23rd Int. Conf. VLSI Design*, pp. 111–116, 2010.
- [5] Wu W. and Chan M., "Analysis of Geometry Dependent Parasitics in Multifin Double-Gate FinFETs", *IEEE Transaction on Electron Devices*, vol. 54, pp. 692-698, 2007.

CAPITULO 4

Modelado de los Efectos Parásitos en FinFETs

En este capítulo se describen los modelos utilizados para predecir el comportamiento de la resistencia de Source/Drain (R_{SD}), la resistencia serie de compuerta (R_{ge}) y la capacitancia extrínseca (C_{gge}), en función de la geometría del transistor. Con la ayuda de estos modelos es posible minimizar los efectos parásitos debidos a la geometría del FinFET y por lo tanto maximizar las frecuencias de operación del transistor.

4.1. Modelo para Resistencia de Source/Drain (R_{SD}).

El modelo utilizado en este trabajo para caracterizar la resistencia parásita de Source/Drain (R_{SD}) para transistores MuGFETs (Multiple-Gate FETs) se presentó en [1]. Este tipo de dispositivos sufre de una alta resistencia parásita debido a que las extensiones de S/D son muy delgadas, de modo que su área transversal es muy pequeña. Debido a esto en [1], se analizó el comportamiento de R_{SD} de un transistor FET de doble compuerta utilizando un modelo analítico basado en la geometría del dispositivo y las extensiones de S/D, el cual fue validado mediante simulaciones de dispositivos en tres dimensiones y dispositivos experimentales. Dicho modelo permite predecir límites en el escalado para la resistencia parásita de S/D, los cuales muestran que la resistencia de contacto entre el siliciuro de S/D y el silicio del fin domina el comportamiento de la resistencia parásita de S/D de los transistores FET de múltiple compuerta [1].

A continuación se muestra una descripción detallada del modelo.

El dispositivo utilizado para las simulaciones en [1], es un MuGFET de dos compuertas canal n mostrado en la Figura 4.1.1.

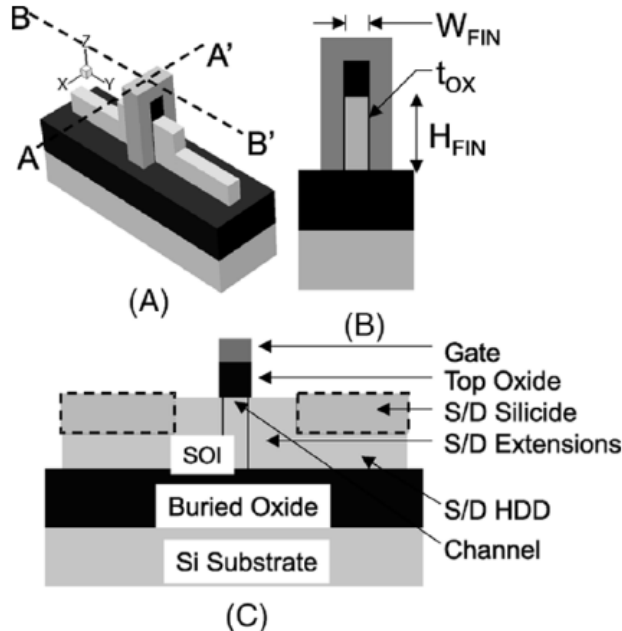


Figura 4.1.1. Estructura del MuGFET utilizado para las simulaciones en [1] (a) Perspectiva en 3-D, (b) Sección transversal a lo largo de la línea A-A', (c) Sección transversal a lo largo de la línea B-B'.

En estas simulaciones se consideró el uso de regiones altamente dopadas en el Source y Drain (Heavily Doped S/D - HDD). En la Figura 4.1.1 (c) se muestra una capa adicional de silicio la cual se deposita selectivamente sobre las regiones HDD, cuya finalidad es reducir R_{SD} y cuyo espesor es definido por (T_{SEG}), la resistividad de contacto del silicio de S/D fue de $10^{-7} \Omega \cdot \text{cm}^2$.

En la Figura 4.1.1 (b) y (c) se muestra el uso de una capa de óxido gruesa en la parte superior del fin para desactivar el canal superior, con lo que se tiene un dispositivo de doble compuerta. Cuando la capa de superior óxido es delgada se tiene un dispositivo con tres compuertas activas.

En la siguiente tabla se muestra los parámetros del dispositivo utilizados para las simulaciones en [1]:

Tabla 4.1.1. Nomenclatura, símbolos y valores de los parámetros utilizados en la estructura simulada en [1].

Variable	Símbolo	Valor
Longitud de compuerta	L_{fin}	30nm
Óxido de compuerta (EOT)	T_{OX}	1.4nm
Espesor de la capa de óxido de la parte superior del fin	T_{TPX}	30nm
Dopado del canal	N_{CH}	10^{16}cm^{-3}
Función trabajo de extracción del electrodo de compuerta	Φ_M	4.15 V
Separación entre fins	S_{fin}	40nm
Dopado de las regiones HDD de S/D	N_{HDD}	$5 \times 10^{20} \text{cm}^{-3}$
Dopado de las extensiones S/D	N_{EXT}	$1 \times 10^{20} \text{cm}^{-3}$
Longitud de overlap de las extensiones	$L_{OVL P}$	3nm de cada lado del S/D
Espesor del silicio de S/D	T_{SIL}	30nm
Longitud de las regiones HDD de S/D	L_{CON}	100nm de cada lado del S/D
Altura del fin	H_{fin}	60nm
Ancho del fin	W_{fin}	20nm
Espesor del SEG de S/D	T_{SEG}	20nm

La resistencia en serie parásita de las regiones de S/D de un MuGFET tiene contribuciones de diferentes partes de la geometría de S/D. Las principales componentes se observan en la Figura 4.1.2:

1. La componente R_{ac} es la resistencia de acumulación y es debida a que al aplicar un voltaje de compuerta suficiente para formar el canal del transistor, también una capa de acumulación es formada en la las regiones de traslape entre Gate/Source y Gate/Drain, lo cual se modela con la resistencia R_{ac} . Sin embargo, esta componente se puede despreciar, ya que para valores grandes de V_{GS} la resistividad de esta región $\rho_{ac} = 1/(\mu_{ac} \cdot C_{ox} \cdot V_{GS})$ tiende a ser muy pequeña [1], μ_{ac} es la movilidad de la capa de acumulación y C_{ox} es la capacitancia del óxido.
2. La componente R_{sp1} se conoce como la resistencia de spread y es debida a la propagación de corriente de la delgada capa de acumulación dentro de las extensiones de S/D.
3. R_{sh} es la resistencia de hoja de las extensiones de S/D.
4. R_{sp2} es la resistencia debida a la propagación de corriente de las extensiones de S/D dentro de las regiones HDD. Una consideración hecha en el dispositivo es que las regiones HDD pueden ser más anchas que las extensiones de S/D, sólo cuando SEG de silicio es

utilizado en las regiones HDD. De esta forma, la resistencia R_{sp2} existe solamente en presencia de la capa de SEG.

5. La resistencia R_{con} representa la resistencia de contacto entre el S/D de silicio y las regiones de S/D de silicio [1].

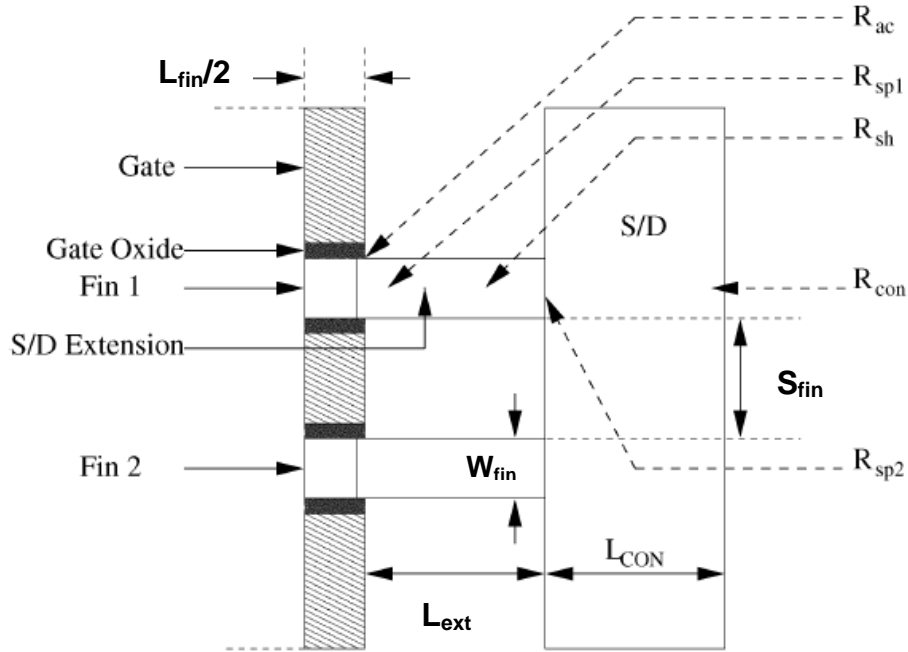


Figura 4.1.2. Vista desde la parte superior de un MuGFET con dos fins. Como se puede observar, la resistencia parásita surge de diferentes regiones de la geometría del S/D. Sólo se muestra una mitad del dispositivo ya que se puede considerar como simétrico [1].

El modelo más común utilizado para estimar la resistencia de spread en MOSFETs de tecnología planar es el que se muestra en la Figura 4.1.3 (a). De acuerdo a este modelo, la resistencia de spread está dada por [1]:

$$R_{spr} = \frac{2 R_j x_j}{\pi W} \ln \left(0.75 \frac{x_j}{x_c} \right) \quad (4-1)$$

donde R_j es la resistencia de hoja de la región del Source, x_j es la profundidad de la unión del Source, W es el ancho del canal, x_c es el espesor del canal. El modelo se puede extender para un MuGFET de dos compuertas como el que se muestra en la Figura 4.1.3 (b). La expresión para la resistencia de spread puede escribirse como [1]:

$$R_{sp1} = \frac{1}{2} \times \left[\frac{2 \rho_{ext}}{\pi H_{fin}} \ln \left\{ 0.75 \frac{\left(\frac{W_{fin}}{2} \right)}{x_c} \right\} \right] \quad (4-2)$$

donde ρ_{ext} es la resistividad de las extensiones de S/D. El valor de x_c se considera constante y es igual a 1.5 nm. En el caso de MuGFETs, el ancho del canal (W) visto en la ecuación (4-1) se ha modificado para ser el ancho por canal en la ecuación (4-2), es decir, H_{fin} . La profundidad de la unión (x_j) mostrada en la ecuación (4-1) se ha modelado para dividir el fin en dos partes iguales, por lo que x_j se ha reemplazado por $W_{fin}/2$ en la ecuación (4-2) [1].

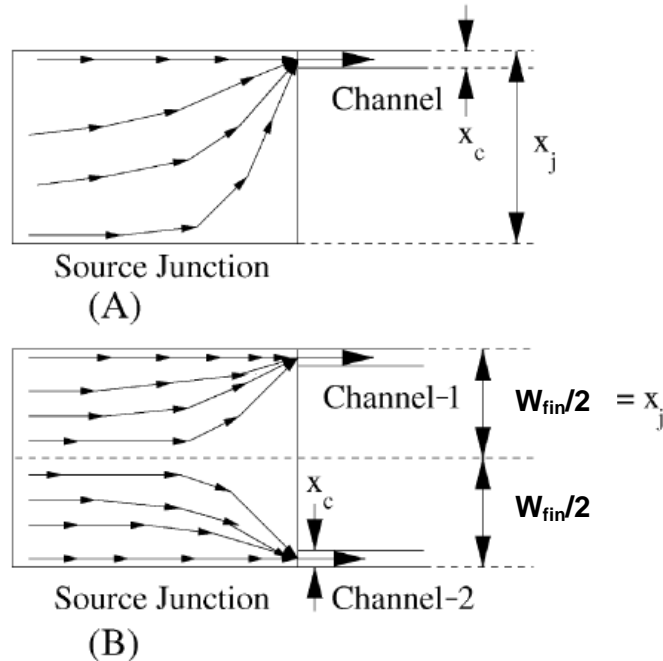


Figura 4.1.3. Esquema del modelo de resistencia de spread: (a) utilizado en un MOSFET planar de volumen (b) utilizado para MuGFETs [1].

La resistencia de hoja R_{sh} de las extensiones de S/D mostrada en la Figura 4.1.2 se puede modelar como [1]:

$$R_{sh} = \rho_{ext} \left(\frac{L_{ext}}{H_{fin} \times W_{fin}} \right) \quad (4-3)$$

donde L_{ext} es la longitud de las extensiones de S/D.

La resistencia de contacto tiene dos componentes nombradas R_{conA} y R_{conB} debido a que la corriente es colectada en dos planos A y B [1], como se observa en la Figura 4.1.4.

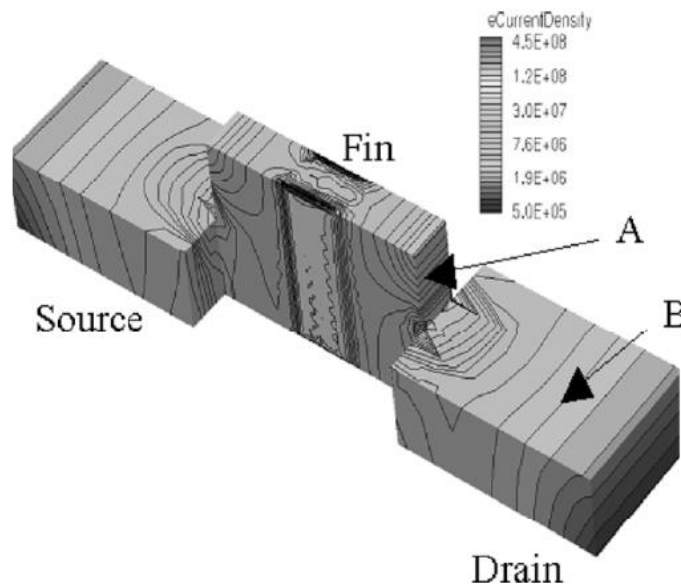


Figura 4.1.4. Los planos A y B representan las interfaces entre el silicio de S/D y el silicio de las regiones HDD, donde la corriente es colectada en el Drain [1].

La resistencia de contacto asociada al plano A es modelada como [1]:

$$R_{conA} = \frac{\rho_{int}}{W_{fin}(T_{SIL}-T_{SEG})} \quad (4-4)$$

donde T_{SIL} es el espesor del silicio de S/D y ρ_{int} es la resistividad de contacto del silicio de S/D.

Una parte de la corriente colectada por el plano B primero encuentra una resistencia de spread adicional (R_{sp2}). Esta resistencia se puede escribir como [1]:

$$R_{sp2} = \frac{\rho_{hdd} \times [\ln(0.75) + \ln(W_{SD}) - \ln(W_{fin})]}{\pi(H_{fin} + T_{SEG} - T_{SIL})} \quad (4-5)$$

donde ρ_{hdd} es la resistividad de las regiones HDD. Esta misma ecuación se desarrolló a partir del modelo de la ecuación (4-1). La profundidad de la unión (x_i) vista en la ecuación (4-1) se ha remplazado por la mitad del ancho de las regiones HDD en la ecuación (4-5), es decir $W_{SD}/2$. El ancho de las regiones HDD está dado por [1]:

$$W_{SD} = W_{fin} + 2 \times T_{SEG} \quad (4-6)$$

A fin de modelar la resistencia de contacto asociada con el plano B, se utilizó un modelo de una línea de transmisión. De acuerdo a este modelo, en el caso de la corriente paralela a la interface entre un semiconductor y un metal, existe una longitud de contacto mínima antes de que la corriente sea transferida del semiconductor al metal. Ésta longitud se conoce como longitud de transferencia ($L_{transfer}$) y está dada por [1]:

$$L_{transfer} = \sqrt{\frac{\rho_{int}}{\rho_{hdd}}} \quad (4-7)$$

Utilizando el modelo de línea de transmisión, la resistencia de contacto asociada con el plano B está dada por [1]:

$$R_{conB} = \frac{\rho_{int}}{(L_{transfer} \times W_{SD})} \coth\left(\frac{L_{CON}}{L_{transfer}}\right) \quad (4-8)$$

donde L_{CON} es la longitud de las regiones HDD.

Para modelar la resistencia parásita de S/D, se ha modelado la combinación de dos resistencias R_1 y R_2 en serie [1], es decir:

$$R_{SD} = 2(R_1 + R_2) \quad (4-9)$$

donde el factor de 2 es para tomar en cuenta la resistencia parásita del Source y del Drain. R_1 es la resistencia entre el Gate y los bordes de las regiones de S/D, dada por [1]:

$$R_1 = R_{sp1} + R_{sh} \quad (4-10)$$

La resistencia R_2 que aparece en la ecuación (4-9) es modelada como una combinación en paralelo de dos resistencias que surgen del plano A y Plano B, de esta forma se puede escribir [1]:

$$R_2 = \frac{R_A R_B}{R_A + R_B} \quad (4-11)$$

donde R_A y R_B están dadas por [1]:

$$R_A = R_{conA} \quad (4-12)$$

$$R_B = R_{sp2} + R_{conB} \quad (4-13)$$

4.2. Modelo para Resistencia de Compuerta (R_{ge}).

El modelo utilizado en este trabajo para caracterizar la resistencia de compuerta (R_{ge}) se presentó en [2], el cual toma en cuenta la cantidad de fins y fingers del dispositivo. El modelo fue validado con dispositivos experimentales.

A continuación se muestra una descripción detallada de dicho modelo.

Los dispositivos experimentales que se utilizaron para este estudio tienen la forma que se muestra en la Figura 4.2.1.

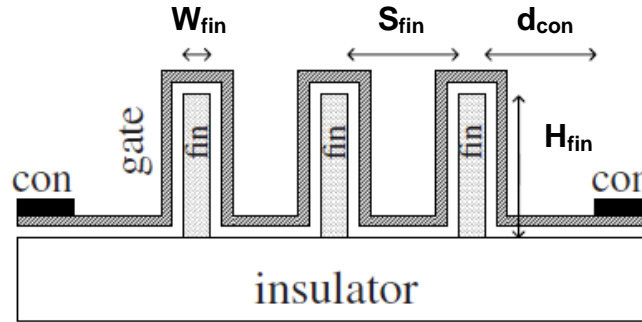


Figura 4.2.1. Sección transversal del finger de un FinFET. Se muestran 3 fins ($N = 3$) y dos contactos ($n_{con} = 2$) [2].

La arquitectura típica de un FinFET tiene varios fingers, y cada uno tiene un número determinado de fins (N) como se muestra en la Figura 4.2.1. Para calcular la resistencia efectiva de compuerta inicialmente se asumió $d_{con} = S_{fin}/2$, de esta manera se puede separar el finger en N partes iguales, cada una de las cuales incluye un solo fin y dos partes de material de compuerta de longitud $S_{fin}/2$ en ambos lados. La resistencia efectiva de compuerta para un solo fin está dada por [2]:

$$R_G(1) = \frac{R}{3n_{con}^2} + \frac{R_{ext}}{2n_{con}} \quad (4-14)$$

donde se ha definido [2]:

$$R \equiv \rho_{sil} \frac{2H_{fin} + W_{fin}}{L_{fin}} \quad (4-15)$$

$$R_{ext} \equiv \rho_{sil} \frac{S_{fin}}{L_{fin}} \quad (4-16)$$

En estas ecuaciones n_{con} es el número de contactos, L_{fin} es la longitud del canal del FinFET y ρ_{sil} es la resistencia de hoja del silicio. Una representación más compleja del caso para un solo fin está dada por la red en estrella mostrada en la Figura 4.2.2. Para el caso de la resistencia de compuerta para un número N de fins la configuración se muestra en la Figura 4.2.3, sin embargo, el valor de $R_X(N)$ aún no es conocido. Para el caso de $N+1$ fins las redes de las Figuras 4.2.2 y 4.2.3 se pueden combinar como se muestra en la Figura 4.2.4.

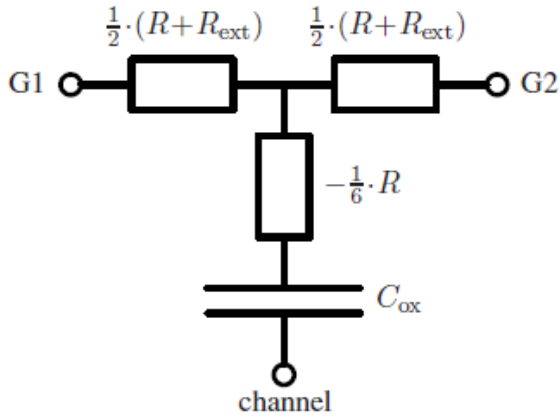


Figura 4.2.2. Representación en estrella de la resistencia de compuerta para el caso de un solo fin [2].

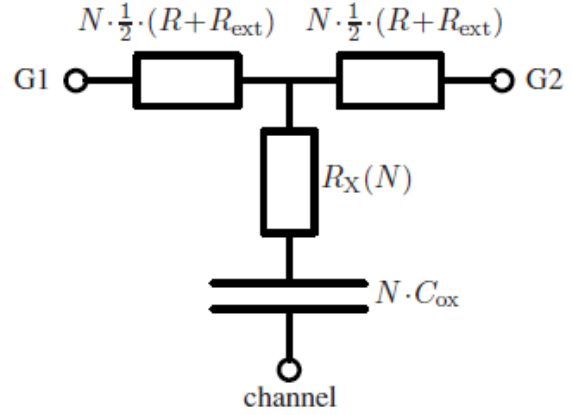


Figura 4.2.3. Representación en estrella de la resistencia de compuerta para un FinFET con N fins [2].

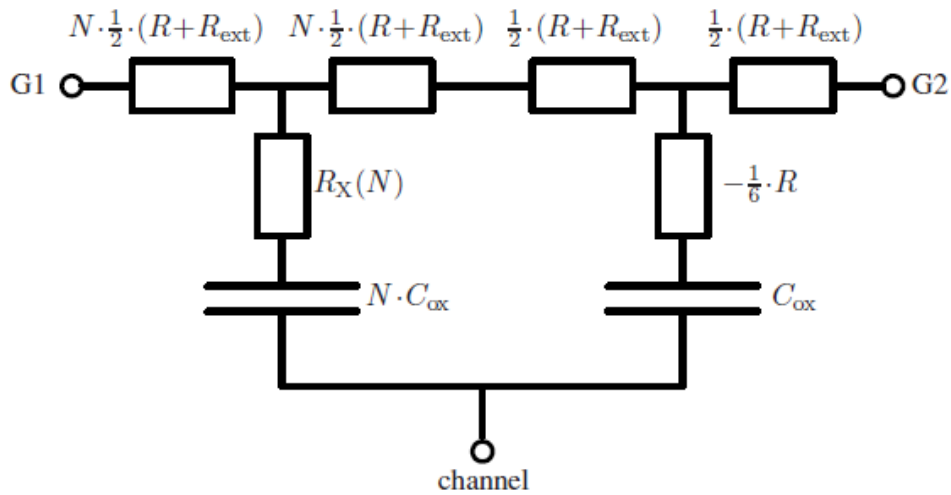


Figura 4.2.4. Cálculo de la resistencia de compuerta de un FinFET de N+1 fins [2].

Utilizando una transformación pi a estrella, esta red puede ser reducida otra vez a una red en estrella. Despreciando términos de alto orden en frecuencia y una relación recursiva entre $R_X(N+1)$ y $R_X(N)$ se obtiene [2]:

$$R_X(N+1) = \frac{-3N^2 - 3N - 1}{6(N+1)^2} N - \frac{1}{2} \frac{N}{N+1} R_{ext} + R_X(N) \frac{N^2}{(N+1)^2} \quad (4-17)$$

La ecuación anterior puede ser resuelta utilizando $R_X(1) = -R/6$, dando [2]:

$$R_X(N) = -\frac{1}{6} N \left[R + \frac{N^2 + 1}{N^2} R_{ext} \right] \quad (4-18)$$

Conociendo $R_X(N)$ se puede obtener $R_{ge}(N)$ como [2]:

$$R_{ge}(N) = \frac{N(R + R_{ext})}{3n_{con}^2} + \frac{R_{ext}}{6N} \quad (4-19)$$

Finalmente, incluyendo la resistencia de contacto y las partes despreciadas $d_{con} - S_{fin}/2$ de ambos lados del finger se obtiene el resultado final [2]:

$$R_{ge}^{total}(N) = \frac{N(R+R_{ext})}{3n_{con}^2} + \frac{R_{ext}}{6N} + \rho_{sil} \frac{d_{con}^{-0.5} \times S_{fin}}{n_{con} L_{fin}} + \frac{\rho_{con}}{NW_{fin} L_{fin}} \quad (4-20)$$

donde ρ_{con} es la resistencia de contacto del polisilicio.

4.3. Modelo para Capacitancia Extrínseca (C_{gge}).

El modelo utilizado en este trabajo para estudiar la capacitancia parásita extrínseca es el presentado en [3]. Es un modelo semi-analítico para la capacitancia extrínseca asociada a la compuerta para FinFETs de tres compuertas, el cual permite calcular la capacitancia parásita en función de los principales parámetros geométricos del FinFET.

A continuación se describe detalladamente este modelo.

El modelo fue validado con simulaciones. Los principales parámetros geométricos que se presentan en el modelo se muestran en la siguiente figura.

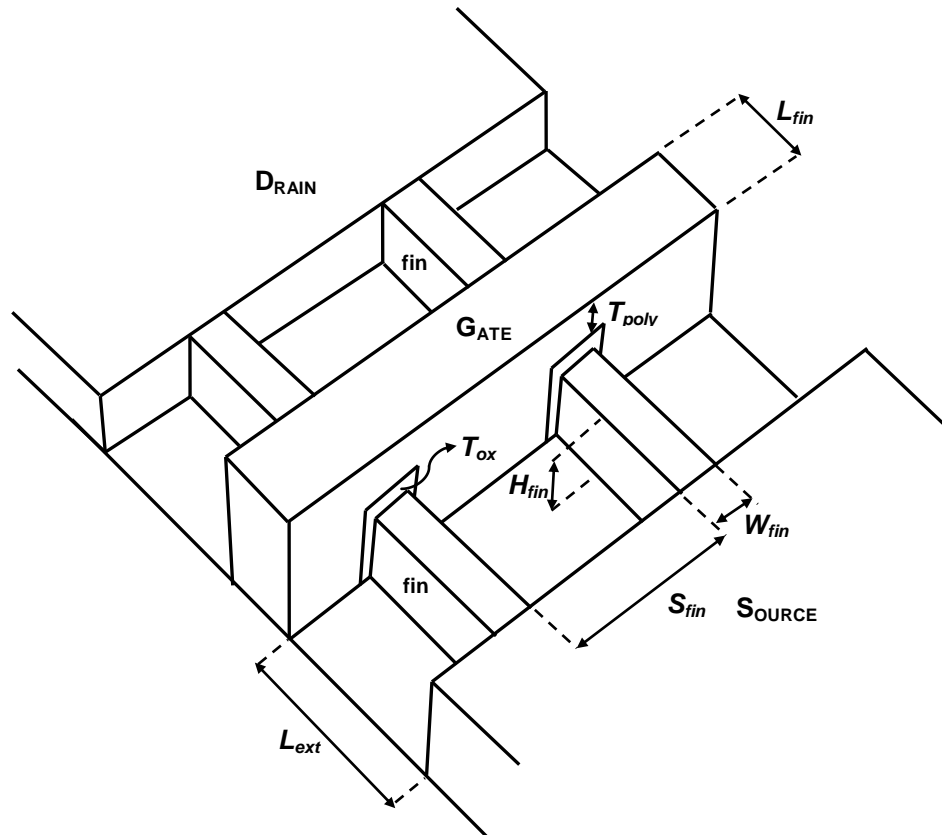


Figura 4.3.1. Principales parámetros geométricos de un FinFET.

En este modelo se proponen cinco componentes de capacitancia extrínseca que se muestran en la Figura 4.3.2.

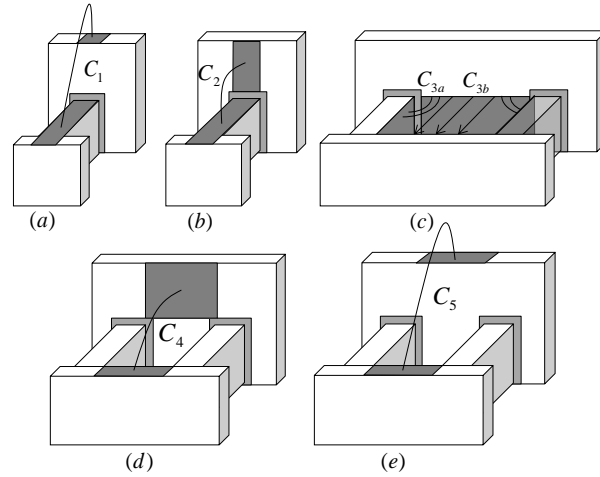


Figura 4.3.2. Cinco componentes del modelo de capacitancia parasita extrínseca [3].

La componente C_1 (Figura 4.3.2(a)) representa la capacitancia que surge de las placas de la parte superior de la compuerta y de la extensión del fin, se puede expresar como [3]:

$$C_1 = \frac{\varepsilon_{ox}}{\pi} W_{fin}^{\alpha_1} L_{ext}^{\alpha_2} (a_1 - a_2 T_{poly}^{\alpha_3}) \ln\left(1 + \frac{L_{ext}}{T_{ox}}\right) \ln\left(1 + \frac{0.5L_{fin}}{T_{poly} + T_{ox}}\right) \quad (4-21)$$

donde a_1 , a_2 , α_1 , α_2 y α_3 son parámetros de ajuste.

La componente C_2 (Figura 4.3.2 (b)) representa la capacitancia entre dos placas perpendiculares asociadas al la parte lateral de la compuerta y la extensión del fin, está dada por [3]:

$$C_2 = \frac{2\varepsilon_{ox}}{\pi} W_{fin}^{\beta_1} \left\{ b_1 T_{poly}^{\beta_2} \ln\left(1 + \frac{L_{ext}}{T_{ox}}\right) \ln\left(1 + \frac{T_{poly}}{T_{ox}}\right) + W_{fin} \left(b_2 + b_3 e^{-\frac{T_{poly}}{b_4}} \right) \ln\left(\frac{\pi W_{fin}}{T_{ox}}\right) \right\} \quad (4-22)$$

donde b_1 - b_4 , β_1 y β_3 son parámetros de ajuste.

La componente C_3 (Figura 4.3.2 (c)) está formada por dos partes C_{3a} y C_{3b} , en esta última se toma en cuenta el contacto de S/D. Esta capacitancia surge de las placas interiores de los fins, la compuerta y el contacto de S/D. Esta componente está dada por [3]:

$$C_3 = C_{3a} + C_{3b} \quad (4-23)$$

donde C_{3a} y C_{3b} se pueden expresar como [3]:

$$C_{3a} = \frac{4\varepsilon_{ox}}{\pi} H_{fin}^{\gamma_1} \left\{ (d_1 S_{fin}^{\gamma_2} + d_2) \ln\left(1 + \frac{L_{ext}}{T_{ox}}\right) \ln\left(1 + \frac{0.5S_{fin} - T_{ox}}{T_{ox}}\right) + (d_3 S_{fin}^{\gamma_3} + d_4) \ln\left(\frac{\pi H_{fin}}{T_{ox}}\right) \right\} \quad (4-24)$$

$$C_{3b} = \frac{4\varepsilon_{ox}}{\pi} \left[0.66\pi H_{fin}^{\gamma_1} \left(\frac{0.5S_{fin} - T_{ox}}{L_{ext}} \right) (d_5 S_{fin}^{\gamma_4} + d_6) + d_7 \right] \quad (4-25)$$

donde d_1 - d_7 y γ_1 - γ_4 son parámetros de ajuste.

La componente C_4 (Figura 4.3.2 (d)) corresponde a la capacitancia asociada con la parte lateral de la compuerta y la parte superior del contacto de S/D, y esta expresada por [3]:

$$C_4 = \frac{2\varepsilon_{ox}}{\pi} S_{fin}^{\tau_1} \left(t_1 + t_2 e^{-\frac{T_{poly}}{t_3}} \right) \ln \left(1 + \frac{W_{con}}{L_{ext}} \right) \ln \left(1 + \frac{T_{poly}}{T_{ox}} \right) + \frac{\varepsilon_{ox}}{\pi-2} \ln \left(\frac{\pi}{2} \right) S_{fin}^{\tau_1} \left(t_4 + t_5 e^{-\frac{T_{poly}}{t_6}} \right) \quad (4-26)$$

donde τ_1 y t_1 - t_6 son parámetros de ajuste.

La última componente que considera el modelo es C_5 (Figura 4.3.2 (e)), esta corresponde a la capacitancia asociada con la placa de la parte superior de la compuerta y el contacto de S/D. Se puede expresar como [3]:

$$C_5 = 1.5 \frac{\varepsilon_{ox}}{\pi} S_{fin}^{\varphi_1} (f_1 + f_2 L_{ext}^{\varphi_2}) \ln \left(1 + \frac{0.5L_{fin}}{\sqrt{(T_{poly}+T_{ox})^2 + L_{ext}^2}} \right) \ln \left(1 + \frac{W_{con}}{\sqrt{(T_{poly}+T_{ox})^2 + L_{ext}^2}} \right) \quad (4-27)$$

donde f_1 , f_2 , φ_1 y φ_2 son parámetros de acoplamiento.

La suma de las componentes presentadas anteriormente representa la capacitancia parásita extrínseca del FinFET, considerando un FinFET con varios fins (N_{fin}), la capacitancia parásita total queda expresada como [3]:

$$C_{gge} = 2N_{fin}(C_1 + C_2 + C_3 + C_4 + C_5) \quad (4-28)$$

En la siguiente tabla aparecen los parámetros de ajuste mencionados anteriormente:

Tabla 4.3.1. Parámetros de ajuste utilizados [3].

Parámetro	Valor	Parámetro	Valor
a_1	2.54	γ_3	0.96
a_2	2.26×10^{-8}	γ_4	-0.67
α_1	0.44	t_1	4.06×10^{-3}
α_2	0.64	t_2	6.41×10^{-3}
α_3	-1.07	t_3	211.4×10^{-9}
b_1	0.236	t_4	0.154
b_2	80.12	t_5	-0.09
b_3	2.54×10^3	t_6	121.53×10^{-9}
b_4	82.35×10^{-9}	τ_1	0.757
β_1	0.42	f_1	6.95×10^{-5}
β_2	0.55	f_2	22.05
γ_1	0.84	φ_1	0.336
γ_2	0.32	φ_2	0.834
d_1	$6.03 - 4.95 \times 10^6 (0.5S_{fin} - T_{ox})$		
d_2	$16 \times 10^3 (0.5S_{fin} - T_{ox}) - 0.019$		
d_3	$4.03 \times 10^{10} (0.5S_{fin} - T_{ox}) - 4.9 \times 10^4$		
d_4	$0.079 - 6.46 \times 10^4 (0.5S_{fin} - T_{ox})$		
d_5	$0.44 (0.5S_{fin} - T_{ox}) - 5.635 \times 10^7$		
d_6	$0.077 - 6.27 \times 10^3 (0.5S_{fin} - T_{ox})$		
d_7	$1.05 (0.5S_{fin} - T_{ox}) + 3.94 \times 10^{-8}$		

Los modelos para R_{SD} y R_{ge} fueron ajustados a la geometría de los transistores utilizados en esta tesis.

4.4. Referencias

[1] Dixit A., Kottantharayil A., Collaert N., Goodwin M., Jurczak M. & De Meyer K., "Analysis of the parasitic S/D resistance in multiple-gate FETs," IEEE Transactions on Electron Devices, vol. 52, no. 6, pp. 1132–1140, 2005.

[2] Scholten A.J., Smit G.D.J., Pijper R.M.T., Tiemeijer L.F., Mercha A. & Klaassen D.B.M., "FinFET compact modelling for analogue and RF applications," IEEE Electron Devices Meeting, pp. 8.4.1-8.4.4, 2010.

[3] Tinoco J. C., Salas S., Martinez-Lopez A. G., Alvarado J., & Raskin J.-P., "Impact of extrinsic capacitances on FinFET RF performance," IEEE Transactions on microwave theory and techniques, vol. 61, no. 2, 2013.

CAPITULO 5

Optimización de la Geometría de Transistores FinFET de Tres Compuertas para Aplicaciones en RF

Durante este capítulo se describe la metodología utilizada para optimizar los principales parámetros geométricos de los transistores FinFET. Este procedimiento se realizó en base a los modelos de efectos parásitos descritos en el capítulo anterior.

Los principales parámetros geométricos que intervienen en el FinFET estudiado se muestran en la siguiente figura:

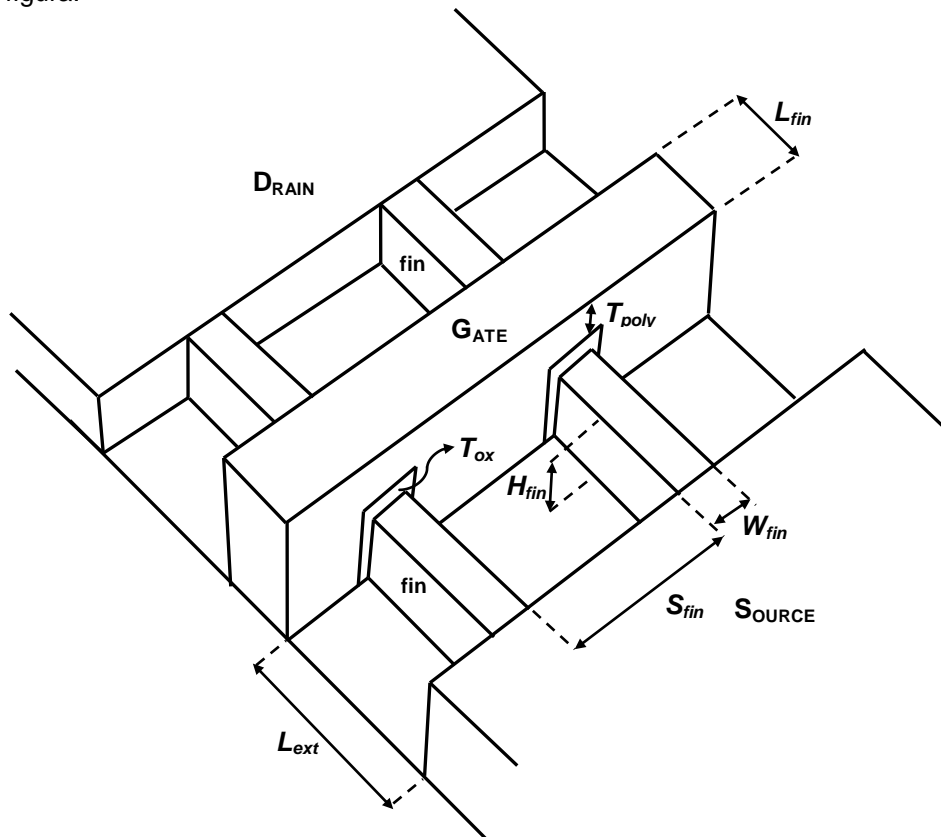


Figura 5.1. Estructura de un FinFET de dos fins ($N_{fin} = 2$).

La optimización se realizó para un nodo tecnológico de 40nm ($L_{fin} = 40\text{nm}$). Los principales parámetros que deberán ser modificados a fin de optimizar la respuesta del FinFET son: el ancho del fin (W_{fin}), la altura del fin (H_{fin}), la longitud de la extensión del fin (L_{ext}), la separación entre fins (S_{fin}), el espesor del óxido de compuerta (T_{ox}) y el espesor del polisilicio de compuerta (T_{poly}).

Los modelos presentados se componen de dos fins y un finger, como el de la figura 5.1. En el Capítulo 4 se describió más a detalle estos modelos.

5.1 Resistencia parásita de Source/Drain (R_{SD})

Para el modelado de la resistencia R_{SD} propuesto en este trabajo no se consideró el uso de la técnica de fabricación SEG (Selective Epitaxial Growth). En la Figura 5.1.1, se muestra una imagen de las diferentes componentes consideradas de esta resistencia parásita.

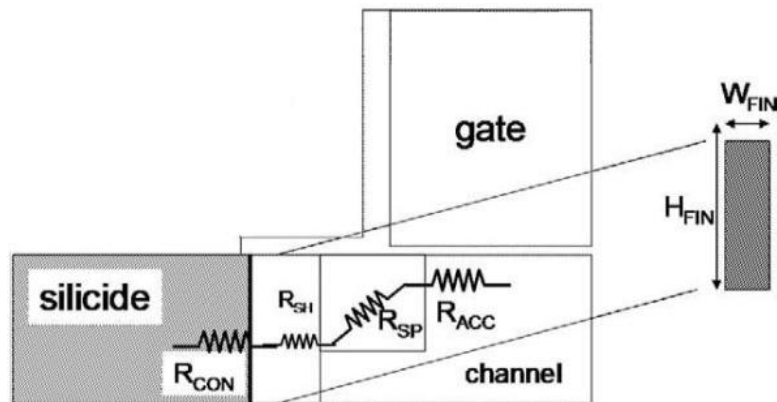


Figura 5.1.1. Componentes de la resistencia parásita de S/D [1].

Los parámetros que se pueden escalar son: W_{fin} , H_{fin} y L_{ext} .

En la siguiente figura se puede ver la variación de la resistencia R_{SD} al escalar H_{fin} y W_{fin} :

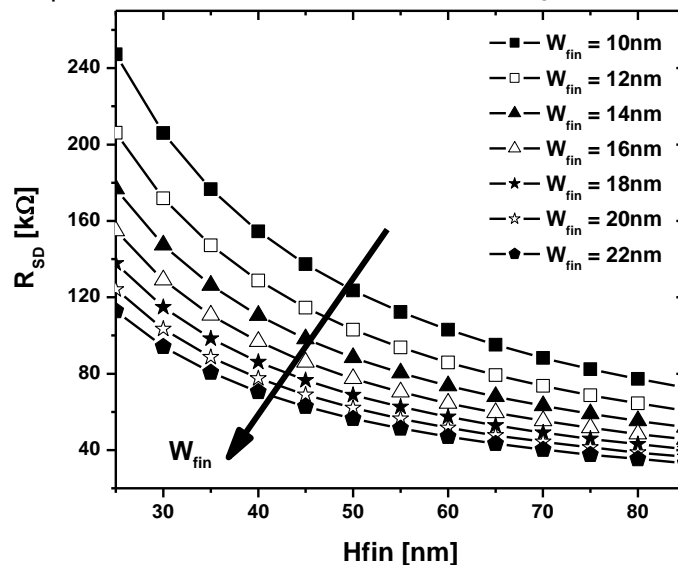


Figura 5.1.2. R_{SD} en función de H_{fin} , para $L_{fin} = 40\text{nm}$, $L_{ext} = 50\text{nm}$ y $S_{fin} = 50\text{nm}$.

De la figura anterior se puede observar que la resistencia R_{SD} aumenta al escalar W_{fin} y H_{fin} , ya que al reducir estos parámetros el área transversal del fin es menor y por tanto la resistencia que ofrecen las componentes R_{sh} y R_{con} se incrementan.

En la siguiente figura se muestra la resistencia R_{SD} en función de la relación de aspecto ($AR = H_{fin}/W_{fin}$).

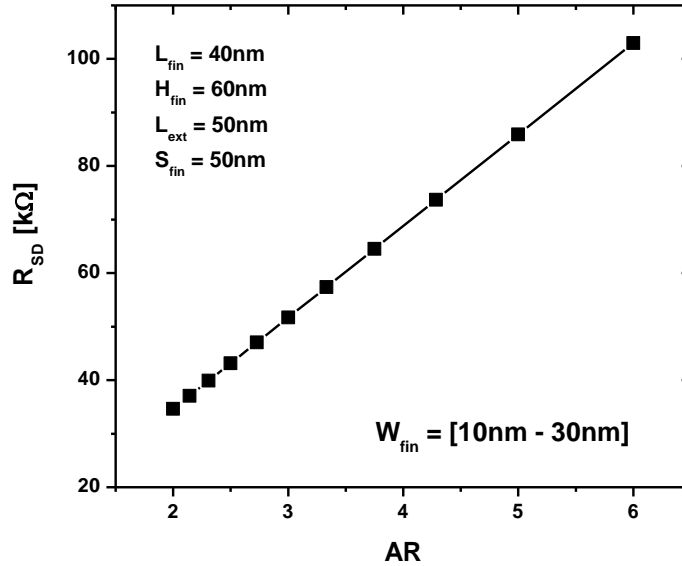


Figura 5.1.3. R_{SD} en función de la relación AR.

Para reducir la resistencia parásita de Source/Drain se debe disminuir el valor de AR, para esto se puede considerar mantener una H_{fin} fija y de esta forma se puede incrementar el valor de W_{fin} .

Otro parámetro que es posible escalar para reducir la resistencia R_{SD} es L_{ext} , en la siguiente figura se muestra R_{SD} en función de L_{ext} :

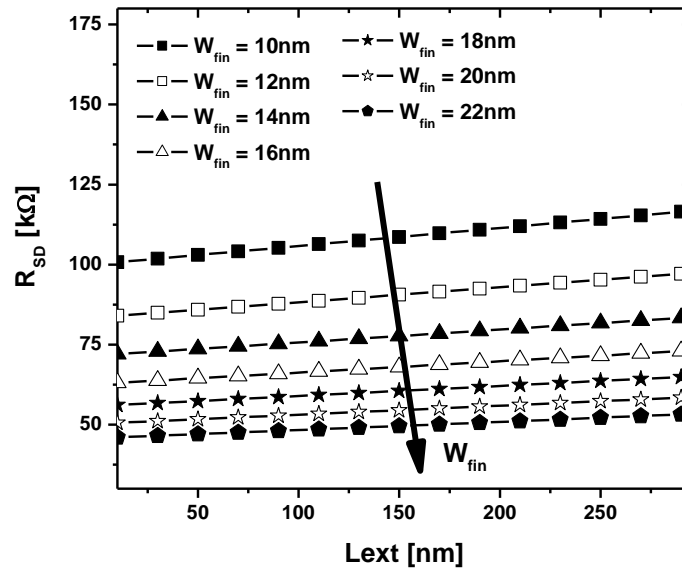


Figura 5.1.4. R_{SD} en función de L_{ext} , para $L_{fin} = 40nm$ y $S_{fin} = 50nm$.

La resistencia R_{SD} es reducida muy poco con el escalado de L_{ext} , ya que este elemento parasito está dominado principalmente por la resistencia de contacto (R_{con}) como se muestra en la siguiente figura:

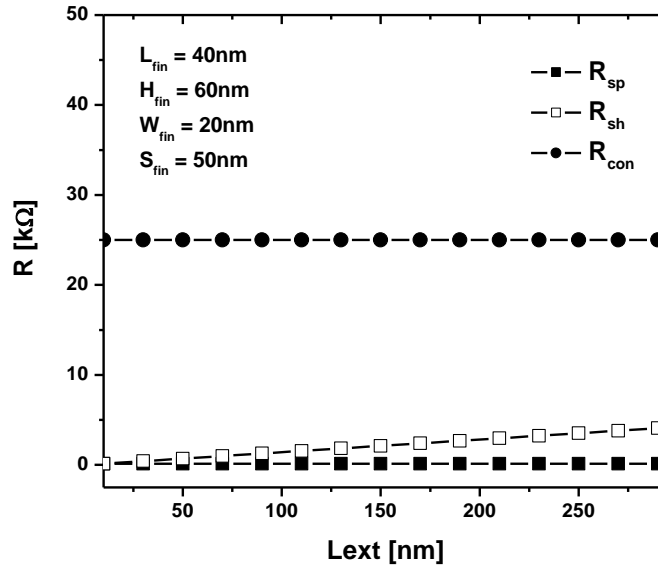


Figura 5.1.5. Componentes de la resistencia parásita de S/D en función de L_{ext} .

Con los resultados mostrados hasta ahora se puede apreciar que el escalado de H_{fin} y W_{fin} aumentan la resistencia parásita de S/D y el escalado de L_{ext} logra disminuir un poco este elemento parásito. Una razón de aspecto adecuada para minimizar R_{SD} y mantener la geometría adecuada del transistor es de 3. El parámetro L_{ext} se debe escalar tanto como sea posible por la tecnología de fabricación.

Otra alternativa para reducir la resistencia R_{SD} es mediante el uso de la técnica de fabricación SEG, como se menciona en [1]. El uso de SEG permite reducir la componente asociada a la resistencia de contacto R_{con} .

5.2 Capacitancia extrínseca parásita (C_{gge})

Diversos estudios, como los mostrados en el Capítulo 3, y otros [2], [3], muestran que la resistencia extrínseca parásita es la principal causa de la degradación de la frecuencia de operación de los transistores FinFET. A continuación se muestra que una optimización de los parámetros geométricos permite disminuir de forma considerable este elemento parásito.

En la siguiente figura se muestran las componentes principales que se consideraron en este trabajo para optimizar la capacitancia extrínseca parásita:

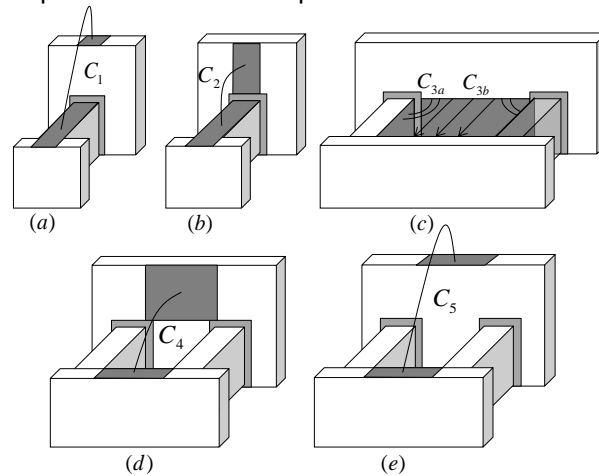


Figura 5.2.1. Componentes de la capacitancia parásita extrínseca C_{gge} [3].

De acuerdo a este modelo, descrito en la sección 4.3 del Capítulo 4, la capacitancia parásita extrínseca se puede reducir con el escalado de H_{fin} , W_{fin} , S_{fin} y L_{ext} . Manteniendo valores razonables para H_{fin} , W_{fin} y S_{fin} se puede encontrar un valor para L_{ext} óptimo para el cual la capacitancia parásita es mínima. En la siguiente figura se muestra C_{gge} en función de L_{ext} para un FinFET de dos fins:

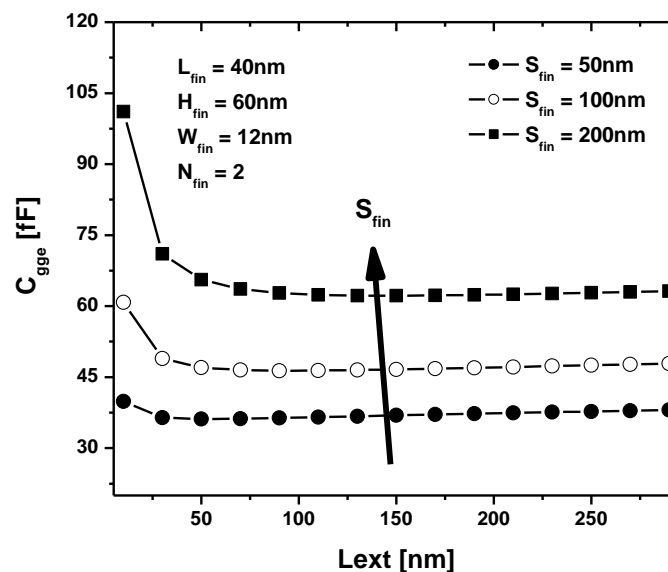


Figura 5.2.2. Capacitancia parásita C_{gge} en función de L_{ext} .

De la figura anterior se puede ver que manteniendo H_{fin} y W_{fin} constantes se debe escalar S_{fin} y L_{ext} para disminuir la capacitancia parásita extrínseca de manera importante. Esto se debe a que la componente C_3 es fuertemente dependiente de S_{fin} , además, es la capacitancia mas importante en los transistores FinFET y la de mayor impacto.

A continuación se muestra la variación de $C_{g_{ge}}$ al escalar S_{fin} :

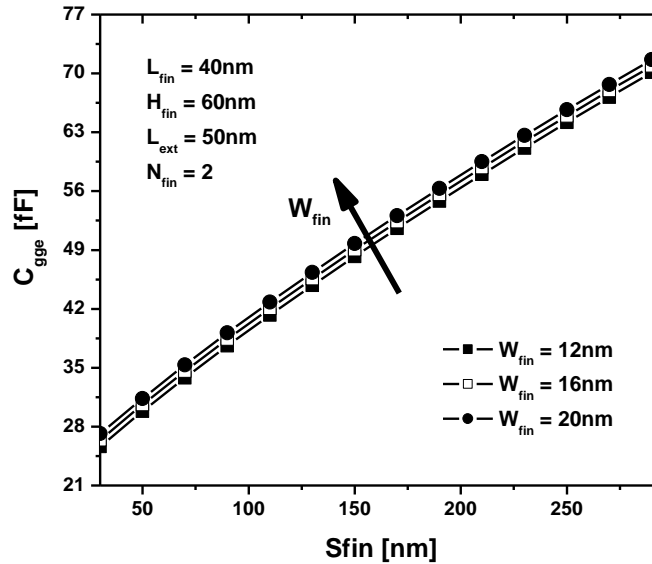


Figura 5.2.3. Capacitancia parásita $C_{g_{ge}}$ en función de S_{fin} .

En la Figura 5.2.3 se destaca la importancia de escalar S_{fin} , ya que la capacitancia se reduce de manera considerable.

En la siguiente figura se muestra la capacitancia extrínseca parásita en función de la relación de aspecto. Como puede observarse, una reducción adicional puede lograrse al incrementar la razón de aspecto del fin.

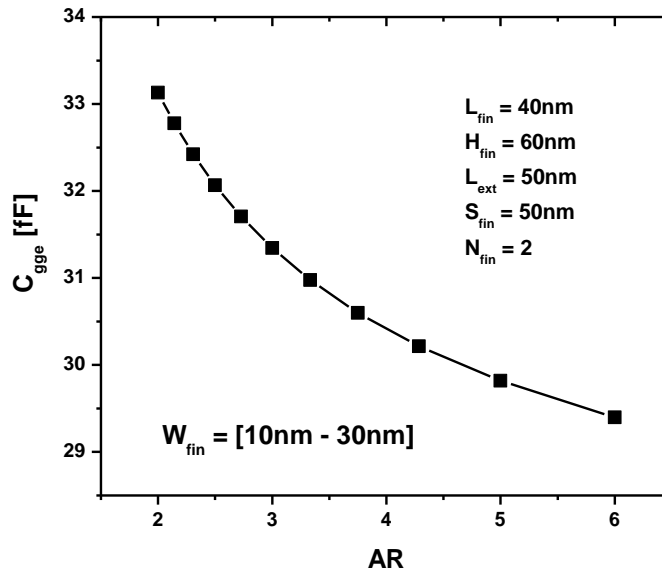


Figura 5.2.4. $C_{g_{ge}}$ en función de AR.

Los resultados anteriores claramente muestran que los parámetros fundamentales para reducir $C_{g_{ge}}$ son el espacio entre fins (S_{fin}) y la longitud de las extensiones de Source/Drain (L_{ext}). Una reducción adicional es posible al incrementar la razón de aspecto del fin.

5.3 Resistencia de compuerta (R_{ge})

La minimización de la resistencia serie de compuerta tiene efectos importantes en la frecuencia de máxima oscilación del transistor. A continuación se presenta el efecto del escalado de H_{fin} , W_{fin} y S_{fin} en este elemento parasito, para un FinFET de dos fins.

En la siguiente figura se muestran los parámetros geométricos que se tomaron en cuenta para disminuir la resistencia de compuerta en este trabajo:

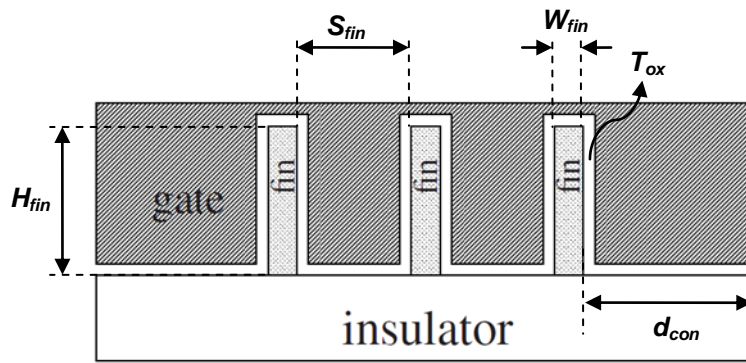


Figura 5.3.1. Sección transversal de un finger de un FinFET, se muestran tres fins [4].

En la siguiente figura se muestra la resistencia serie de compuerta en función de la altura del fin H_{fin} .

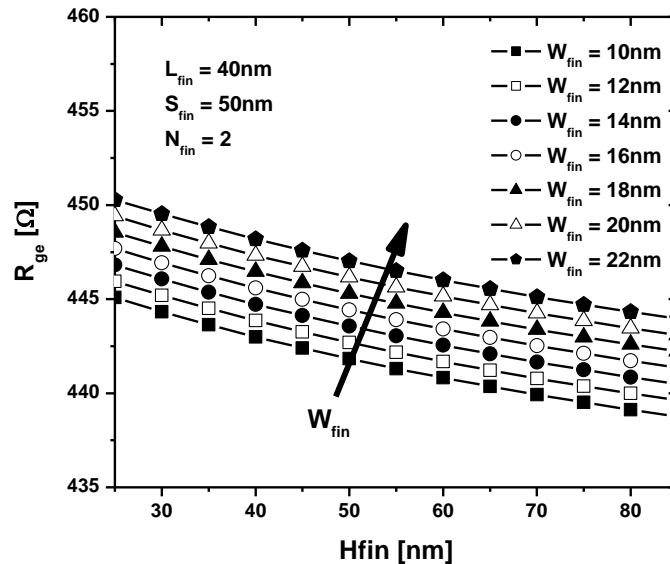


Figura 5.3.2. H_{fin} en función de R_{ge} .

En la figura anterior se puede notar que el escalado de H_{fin} produce un incremento de la resistencia R_{ge} , esto se debe a que la componente R_{ext} es inversamente proporcional a este parámetro. Sin

embargo, el escalado de W_{fin} si permite disminuir R_{ge} . En la Figura 5.3.3 se muestra la resistencia serie de compuerta en función de W_{fin} :

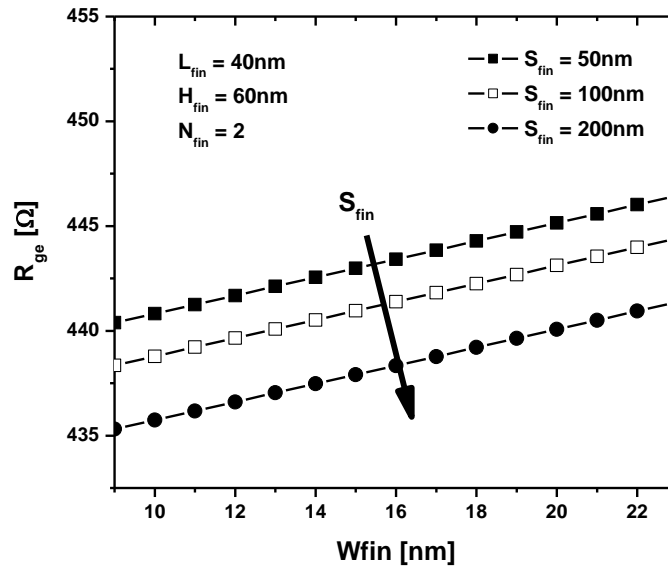


Figura 5.3.3. W_{fin} en función de R_{ge} .

El escalado de W_{fin} disminuye la resistencia parásita R_{ge} debido a que se disminuye el área activa que se toma en cuenta al calcular la resistencia de compuerta. Por otra parte, en la Figura 5.3.4 se observa que el escalado de S_{fin} no reduce R_{ge} :

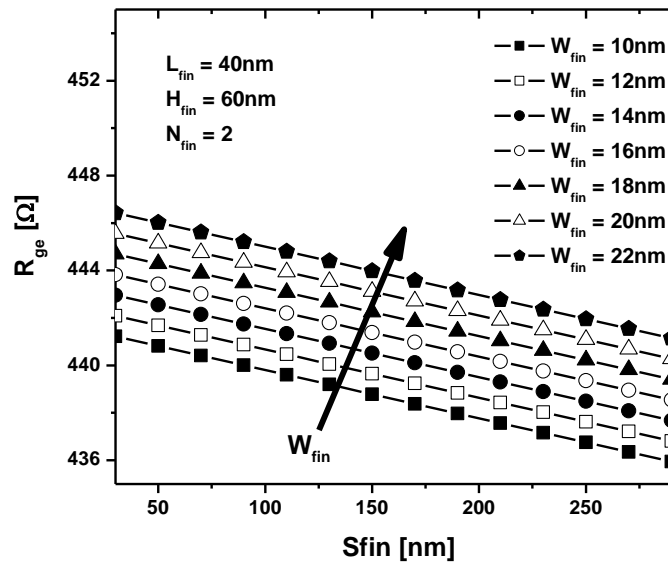


Figura 5.3.4. S_{fin} en función de R_{ge} .

Escalar S_{fin} aumenta la resistencia parásita de compuerta, sin embargo, según la Figura 5.3.4 el efecto no es muy importante.

Con las gráficas presentadas anteriormente de R_{ge} es posible deducir que se necesita escalar W_{fin} y mantener constante H_{fin} para disminuir la resistencia parásita de compuerta. Escalar S_{fin} aumenta el valor de R_{ge} muy ligeramente, sin embargo, esto es necesario ya que disminuye considerablemente C_{gge} .

5.4 Figuras de Mérito Analógicas (f_T y f_{max})

En este estudio se consideró un dispositivo experimental en tecnología SOI de $L_{fin} = 40\text{nm}$, $W_{fin} = 12\text{nm}$, $H_{fin} = 60\text{nm}$, $L_{ext} = 145\text{ nm}$, $S_{fin} = 328\text{nm}$, $T_{ox} = 2\text{nm}$ y $T_{poly} = 100\text{nm}$. El transistor cuenta con 48 fingers y 10 fins en cada finger, es decir 480 fins en total. La f_T medida de este transistor fue de 101 GHz, y la f_{max} de 105 GHz, las cuales son muy bajas, considerando una longitud de canal de 40nm en comparación con un transistor en tecnología planar. En este sentido, se prevé que una optimización de la geometría del transistor ayudará a mejorar las figuras de mérito analógicas del transistor, sin embargo, se debe tener en cuenta el impacto de dichas optimizaciones en los SCEs.

En la siguiente figura se muestra la frecuencia de corte f_T del transistor experimental en función de los efectos parásitos estudiados.

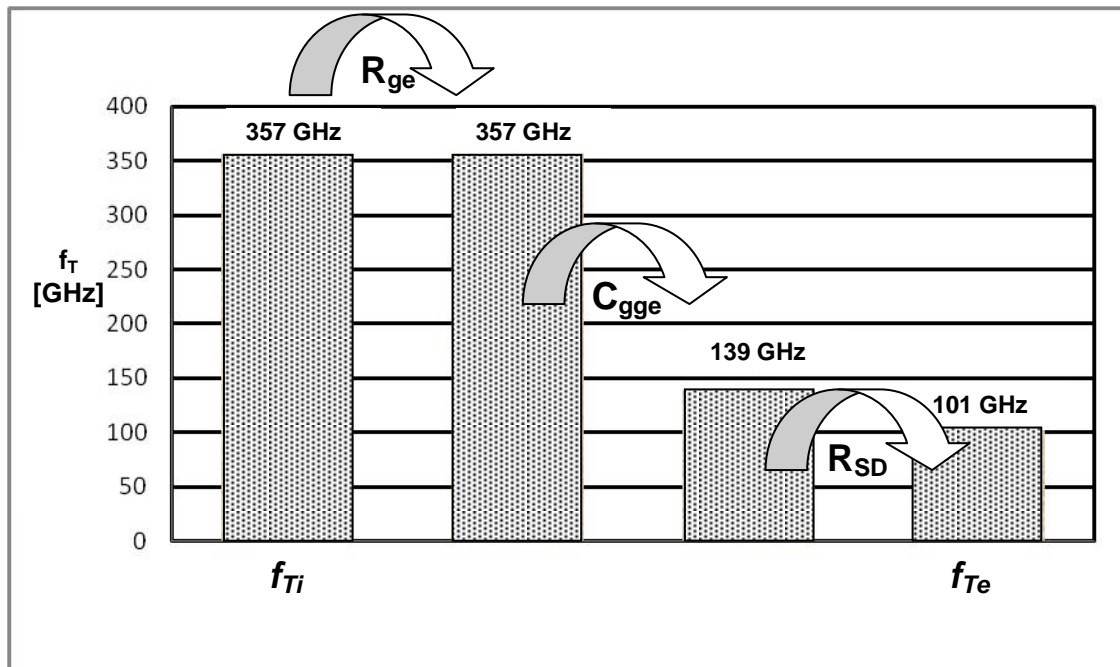


Figura 5.4.1. Degradación de la frecuencia f_T por los elementos parásitos.

En la figura anterior, la frecuencia de corte intrínseca (f_{Ti}) representa la frecuencia de corte sin los efectos parásitos (R_{ge} , C_{gge} y R_{SD}). En la frecuencia de corte extrínseca (f_{Te}) se introducen los efectos parásitos, está frecuencia coincide con la frecuencia medida (101GHz). Es notable el impacto que produce C_{gge} en la frecuencia de operación del transistor.

Los resultados mostrados por los modelos semi-analíticos sugieren escalar S_{fin} y L_{ext} para minimizar R_{SD} y C_{gge} , R_{ge} resultaría en un incremento poco significativo. Escalar W_{fin} permite reducir de manera considerable C_{gge} y R_{ge} .

De esta manera, el valor de S_{fin} más pequeño que se propone utilizar es de 50nm. En la siguiente figura se muestra el efecto del escalado de L_{ext} en la frecuencia f_T .

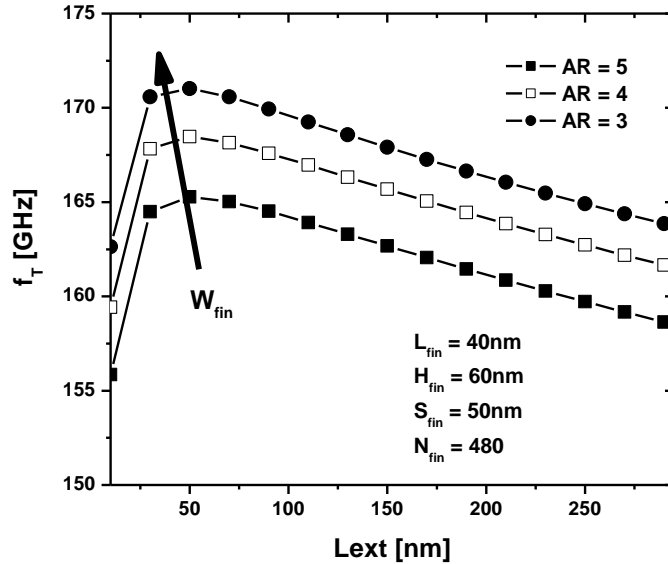


Figura 5.4.2. f_T en función de L_{ext} para varias relaciones de aspecto.

Según la figura anterior, al mantener AR igual a 3 ($H_{fin} = 60\text{nm}$ y $W_{fin} = 20\text{nm}$) y L_{ext} de aproximadamente 50nm la frecuencia f_T se maximiza, sin embargo, para valores menores a 50nm f_T disminuye debido a que la capacitancia extrínseca se incrementa como se mostró la figura 5.2.2.

En la siguiente figura se muestra la frecuencia f_{max} con los mismos parámetros sugeridos anteriormente:

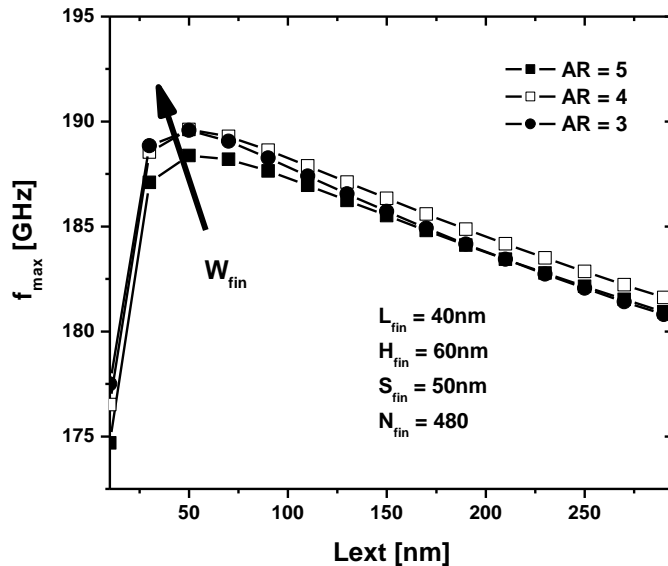


Figura 5.4.3. f_{max} en función de L_{ext} para varias relaciones de aspecto.

En el caso de la frecuencia f_{max} , la optimización de la geometría del transistor muestra una mejora de alrededor del 80 %. Para el caso de f_T se muestra una mejora de un poco más del 70%. Para valores menores a 50nm de L_{ext} , estas frecuencias comienzan a disminuir debido al incremento de la capacitancia parásita extrínseca.

A continuación se muestran las frecuencias f_T y f_{max} en función de H_{fin} :

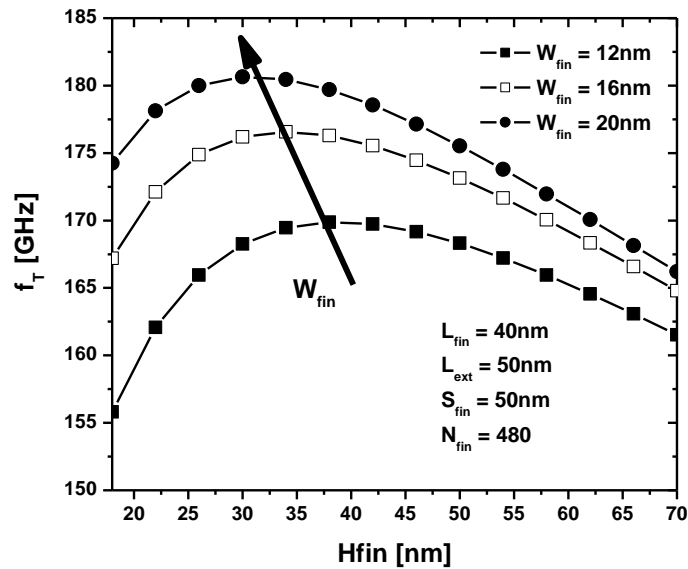


Figura 5.4.4. f_T en función de H_{fin} para algunos valores de W_{fin} .

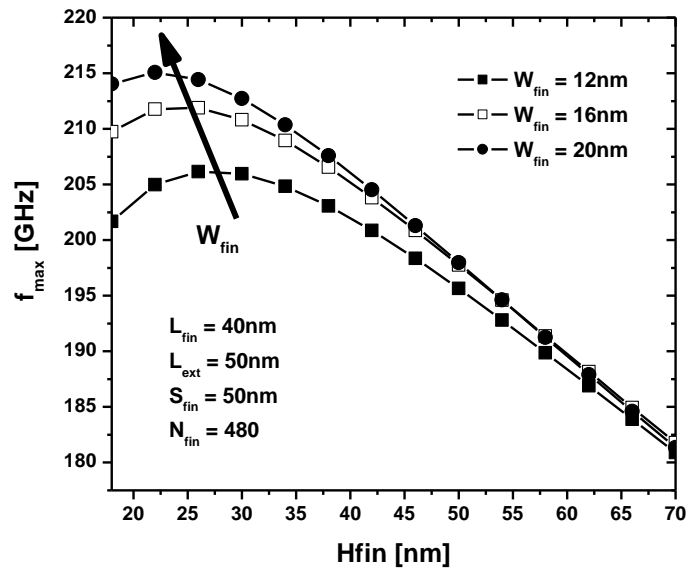


Figura 5.4.5. f_{max} en función de H_{fin} para algunos valores de W_{fin} .

De las figuras anteriores se puede observar que para un W_{fin} fijo, al escalar la altura del fin se encuentra un valor óptimo en el cual se maximizan las frecuencias. El escalado de H_{fin} produce cambios menos significativos que W_{fin} en los elementos parásitos estudiados anteriormente ya que no los afecta de manera importante. Al escalar H_{fin} la capacitancia $C_{g_{ge}}$ disminuye debido a que las placas activas involucradas en la capacitancia disminuyen su longitud, sin embargo, para valores menores a 30 nm la resistencia R_{SD} y R_{ge} se incrementan, debido a esto se observa el comportamiento de las frecuencias de corte f_T y f_{max} mostradas en las figuras 5.4.4 y 5.4.5.

Según las Figuras 5.4.4 y 5.4.5, para el caso de f_T se muestra una mejora de alrededor del 80%. En el caso de la frecuencia f_{max} , la optimización de la geometría del transistor muestra una mejora de alrededor del 115 %.

En las siguientes figuras se muestra f_T y f_{max} en función de L_{ext} para varias relaciones de aspecto:

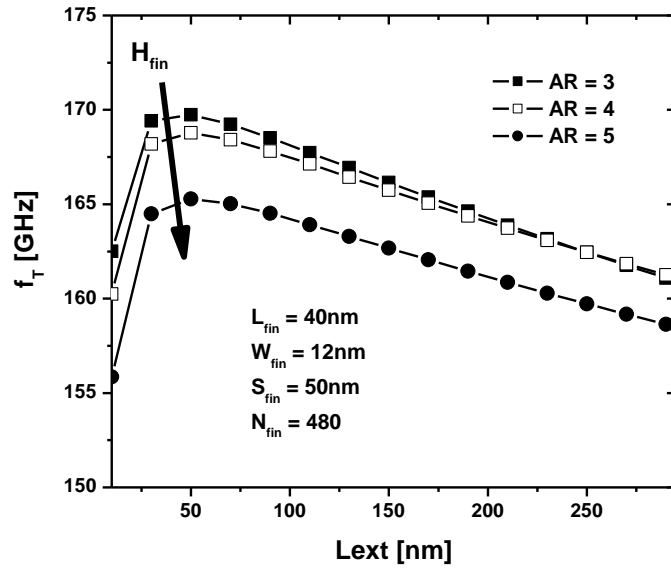


Figura 5.4.6. f_T en función de L_{ext} para algunas relaciones de aspecto.

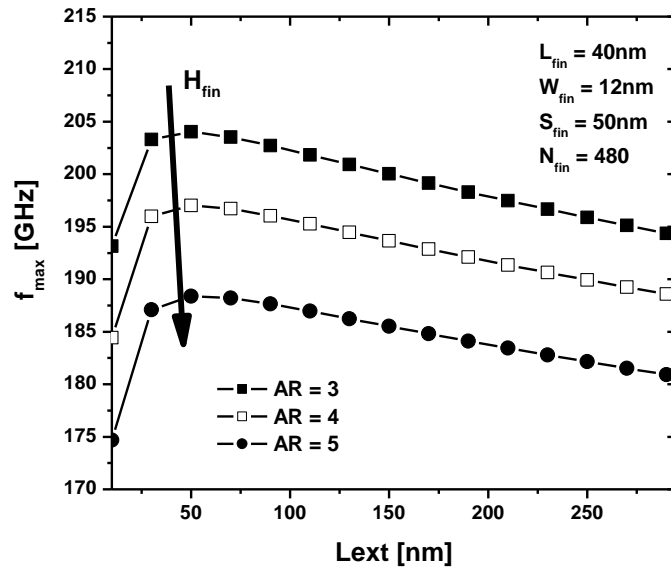


Figura 5.4.7. f_{max} en función de L_{ext} para algunas relaciones de aspecto.

Las figuras 5.4.6 y 5.4.7 también muestran que el escalado del L_{ext} mejora las frecuencias de operación del transistor. Sin embargo, para valores menores a 50nm las capacitancias comienzan a incrementarse, por lo que las frecuencias comienzan a disminuir.

En las figuras 5.4.8 y 5.4.9 se observa el efecto del escalado de S_{fin} en la frecuencia f_T y f_{max} .

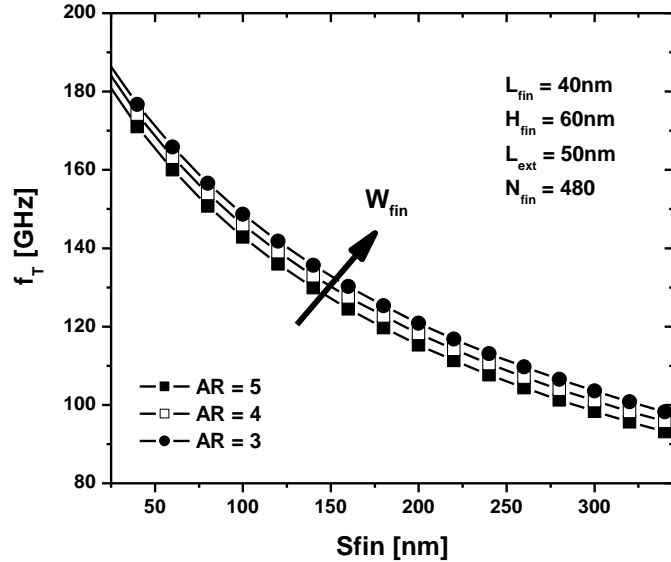


Figura 5.4.8. f_T en función de S_{fin} para algunas relaciones de aspecto.

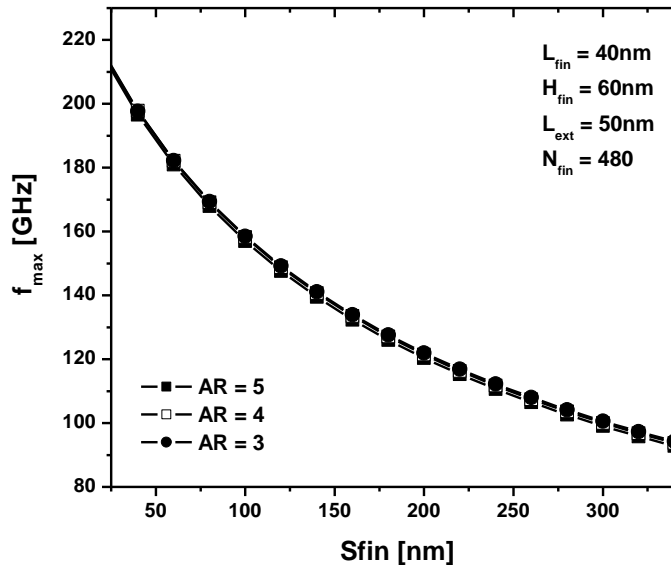


Figura 5.4.9. f_{max} en función de S_{fin} para algunas relaciones de aspecto.

Es destacable que el escalado de S_{fin} produce cambios significativos en las frecuencias de corte del transistor. Como se puede observar en las figuras 5.4.8 y 5.4.9, la variación de S_{fin} de 350nm hasta 50nm produce un incremento alrededor del 80% para f_T y 100% para f_{max} .

Como puede observarse de las figuras presentadas en esta sección, una razón de aspecto entre 3 y 4 permite mejorar la frecuencia de operación del transistor considerablemente. En el caso de f_{max} se perciben cambios más significativos al escalar H_{fin} apropiadamente.

Para finalizar, los parámetros propuestos para maximizar las figuras de mérito analógicas (f_T y f_{max}) son $S_{fin} = 50nm$ y $L_{ext} = 50nm$. La relación de aspecto AR debería estar entre 3 y 4. A partir de estos parámetros obtenidos se procedió a realizar simulaciones en tres dimensiones para verificar que el transistor permanece inmune a los SCEs.

5.5 Referencias

[1] Dixit A., Kottantharayil A., Collaert N., Goodwin M., Jurczak M. & De Meyer K., "Analysis of the parasitic S/D resistance in multiple-gate FETs," IEEE Transactions on Electron Devices, vol. 52, no. 6, pp. 1132–1140, 2005.

[2] Tinoco J. C., Alvarado J., Martinez-Lopez A. G. & Raskin J.-P., "Impact of extrinsic capacitances on FinFETs RF performance," in Proc. 2012 Topical Meeting Silicon Monolithic Integrated Circuits in RF Systems, pp. 73–76, 2012.

[3] Tinoco J. C., Salas S., Martinez-Lopez A. G., Alvarado J., & Raskin J.-P., "Impact of extrinsic capacitances on FinFET RF performance," IEEE Transactions on microwave theory and techniques, vol. 61, no. 2, 2013.

[4] Scholten A.J., Smit G.D.J., Pijper R.M.T., Tiemeijer L.F., Mercha A. & Klaassen D.B.M., "FinFET compact modelling for analogue and RF applications," IEEE Electron Devices Meeting, pp. 8.4.1-8.4.4, 2010.

CAPITULO 6

Impacto de la Optimización de la Geometría del Transistor en los SCEs

En este capítulo se muestra el efecto del escalado de los parámetros discutidos anteriormente para optimizar la geometría del transistor y poder maximizar sus frecuencias de operación. Este análisis se realizó en base a simulaciones en tres dimensiones.

Como se mostró en el capítulo anterior, la propuesta de optimización de la geometría del transistor prevé un aumento importante en las figuras de mérito analógicas del transistor, sin embargo, el escalado de los transistores se puede ver afectado por SCEs. De esta manera, a continuación se presenta el estudio en base a simulaciones en tres dimensiones del efecto del escalado del transistor en los SCEs.

En la siguiente figura se muestra la estructura utilizada en este trabajo para realizar las simulaciones de los transistores:

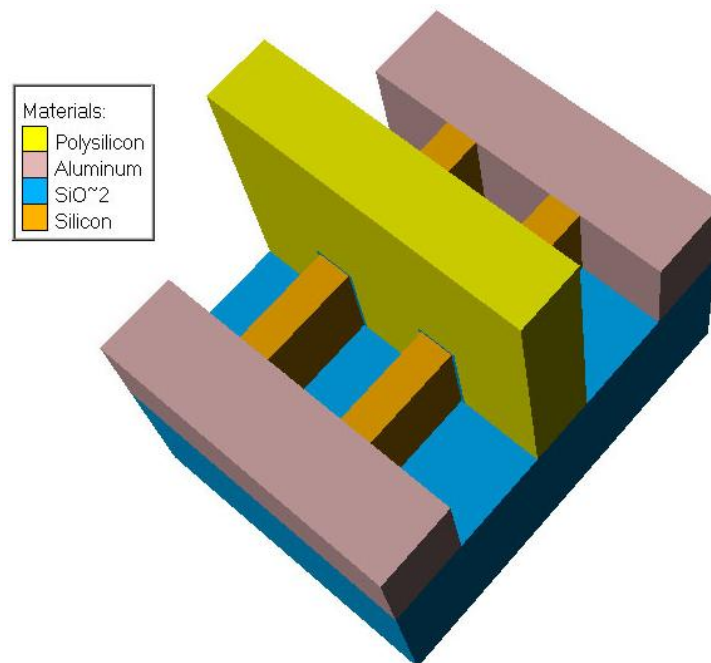


Figura 6.1. FinFET de tres compuertas compuesto por dos fins.

La estructura mostrada en la Figura 6.1 es la parte fundamental de la que se construyen los circuitos integrados de alto rendimiento contenidos microprocesadores, memorias, etcétera. El electrodo de la compuerta está fabricado usualmente de metal o polisilicio altamente dopado y está separado del substrato por una delgada capa de óxido de silicio, referido como óxido de compuerta (T_{ox}). Generalmente el óxido de compuerta es fabricado por oxidación térmica de silicio. La región que envuelve el óxido de compuerta, entre el Source y Drain, es la región del canal y es la parte más importante y crítica en la conducción de corriente del transistor [1]. La operación básica del transistor consiste en aplicar un voltaje en el polisilicio lo suficientemente grande para formar el canal de conducción entre el Source y Drain. Al aplicar un voltaje entre el Source y Drain (V_{DS}) se establece el flujo de corriente en el canal (I_{DS}).

El transistor utilizado en la simulación tiene las siguientes características geométricas constantes:

$$\begin{aligned}L_{fin} &= 40\text{nm} \\T_{ox} &= 2\text{nm} \\T_{poly} &= 100\text{nm}\end{aligned}$$

Las características geométricas que se variaron durante las simulaciones fueron: H_{fin} , W_{fin} , S_{fin} y L_{ext} .

Los parámetros analizados en este trabajo fueron la pendiente sub-umbral (S), el Drain Induced Barrier Lowering (DIBL) y la razón corriente de encendido (I_{on}) entre corriente de apagado (I_{off}).

6.1 Comportamiento en DC

6.1.1 Características de I_{DS} - V_{DS}

Las características de I_{DS} - V_{DS} indican que para un voltaje V_{GS} dado la corriente I_{DS} primero se incrementa linealmente con el voltaje V_{DS} (región lineal) y posteriormente la corriente llega a un valor constante (región de saturación) [1].

En la Figura 6.1.1 se muestran las curvas de salida (I_{DS} - V_{DS}) del transistor con los parámetros geométricos más pequeños considerados en la optimización del transistor: $L_{fin} = 40\text{nm}$, $H_{fin} = 60\text{nm}$, $W_{fin} = 12\text{nm}$, $L_{ext} = 50\text{nm}$, $S_{fin} = 50\text{nm}$ con $N_{fin} = 2$. Como se puede observar el transistor muestra claramente la región lineal y la región de saturación, con lo que se puede ver que la optimización que se propone en este trabajo es viable para mejorar el desempeño del transistor en aplicaciones de muy alta frecuencia.

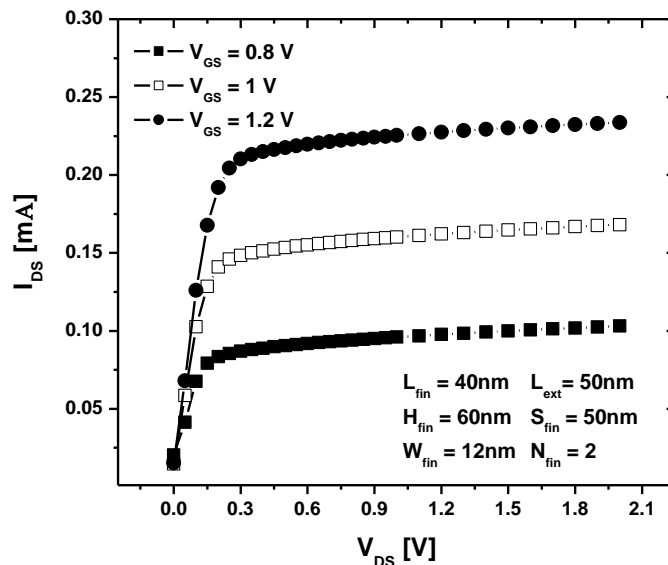


Figura 6.1.1. Características de I_{DS} - V_{DS} para diferentes voltajes de V_{GS} .

En la región lineal el transistor simplemente actúa como un resistor donde la corriente es modulada por el voltaje de compuerta [1]. Además, en la región de saturación la corriente permanece casi constante.

6.1.2 Curva Transferencial

Cuando el voltaje V_{GS} aplicado a la compuerta es muy pequeño ($V_{GS} < V_T$), existe un pequeño flujo de corriente en el canal, comúnmente esta región es referida como la región sub-umbral [1], idealmente el transistor debería permanecer en estado apagado en esta región. Cuando el voltaje de compuerta se incrementa ($V_{GS} > V_T$) la corriente en el canal comienza a aumentar de manera significativa, en esta región el transistor está encendido.

En la figura 6.1.2 se muestra la curva transferencial para el transistor con las mismas características mostradas en la sección anterior.

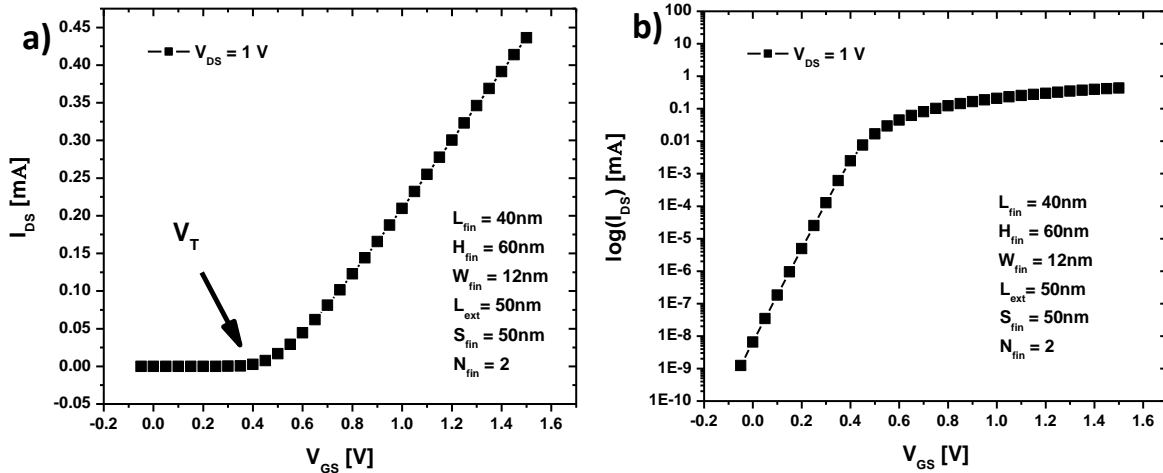


Figura 6.1.2. Curva transferencial I_{DS} - V_{GS} para $V_{DS} = 1V$. a) Escala lineal. b) Escala logarítmica.

Como se puede notar en la Figura 6.1.2 a) con la escala lineal, la corriente parece ser casi cero (para $V_{GS} < V_T$), sin embargo, en la Figura 6.1.2 b) con la escala logarítmica, se puede ver que existe corriente en el canal para $V_{GS} < V_T$, sin embargo, se muestran varios órdenes de magnitud desde el cambio de apagado a encendido lo que muestra un buen control de los efectos de canal corto de este transistor. De este modo, la corriente del transistor es modulada adecuadamente por el voltaje V_{GS} aplicado en la compuerta.

6.2 Pendiente Sub-umbral (S)

El valor ideal de la pendiente sub-umbral es de 60mV/Dec. Un valor cercano a este permitirá asegurar que el transistor no es afectado en gran medida por efectos de canal corto. Este parámetro se puede obtener a partir de las curvas transferenciales mostradas en la Figura 6.1.2.

La región sub-umbral ($V_{GS} < V_T$) es de particular importancia para los circuitos analógicos, de bajo voltaje, aplicaciones de baja potencia, así como en circuitos digitales lógicos y memorias, debido a que describe la capacidad de conmutación del transistor [1].

La pendiente sub-umbral representa cuantos milivolts se debe incrementar el voltaje de la compuerta para incrementar la corriente del canal en un factor de diez. Entre más bajo sea el valor de la pendiente sub-umbral el dispositivo es más eficiente y rápido para conmutar de estado apagado a encendido [2].

En la Figura 6.2.1 se muestra la evolución de la pendiente sub-umbral (S) a medida que el ancho del fin (W_{fin}) se varía desde 22nm hasta 10nm.

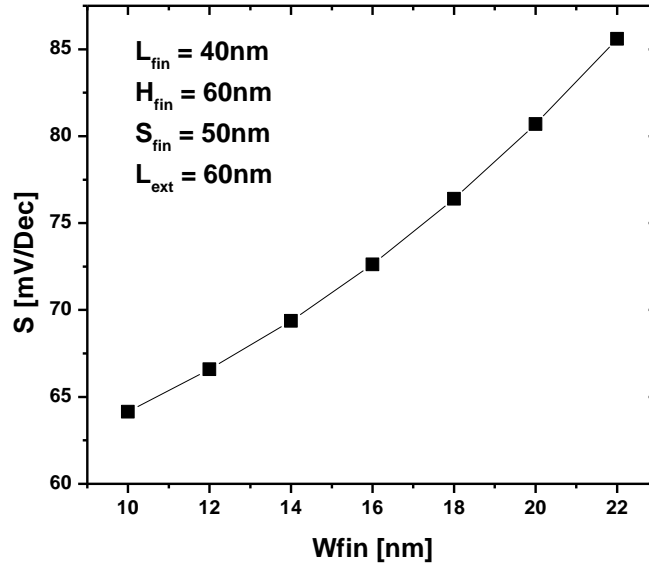


Figura 6.2.1 Efecto del escalado de W_{fin} en la pendiente sub-umbral.

La siguiente figura muestra la pendiente sub-umbral en función de la relación de aspecto ($AR=H_{fin}/W_{fin}$).

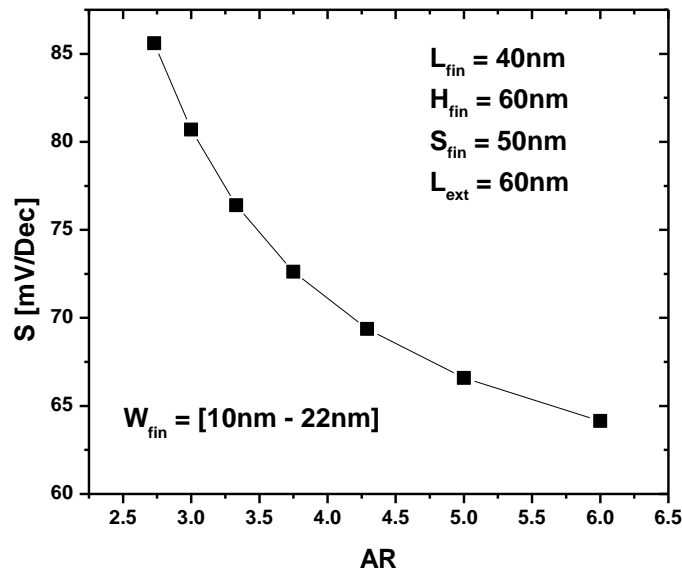


Figura 6.2.2. Efecto del escalado de W_{fin} . Se muestra la pendiente sub-umbral en función de AR.

De acuerdo a las figuras anteriores, el escalado de W_{fin} es primordial para reducir los efectos de canal corto en los FinFETs.

En transistores de múltiple compuerta, como los TG con W_{fin} relativamente grande, la región del centro del fin está muy alejada de los electrodos de la compuerta. Por lo tanto, este es el punto que la compuerta no puede controlar muy bien [3]. Este efecto se ve reflejado en un aumento de la pendiente sub-umbral cuando se aumenta W_{fin} , ya que la compuerta no está controlando el canal en su totalidad.

A continuación se muestra el efecto del escalado de H_{fin} en la pendiente sub-umbral:

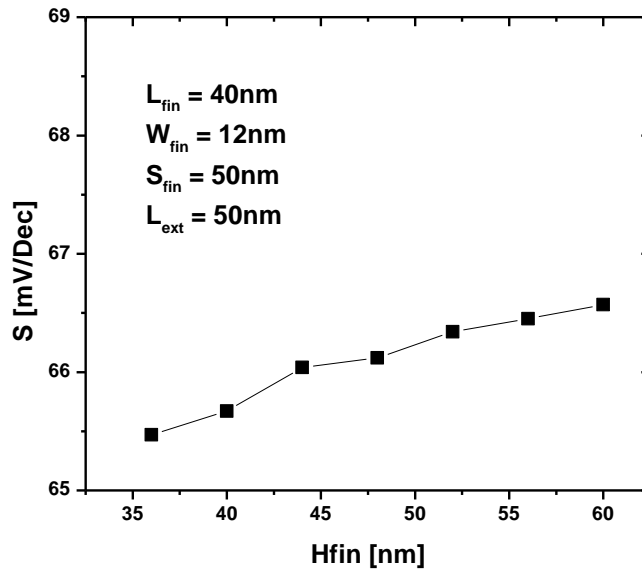


Figura 6.2.3. Efecto del escalado de H_{fin} en la pendiente sub-umbral.

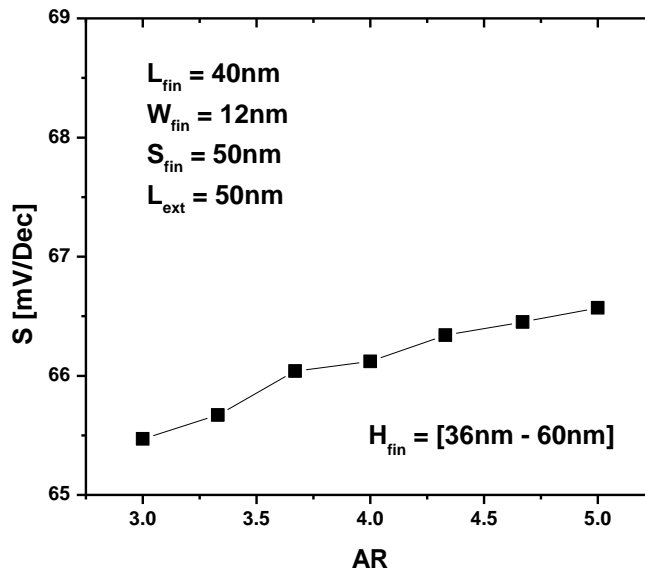


Figura 6.2.4. Efecto del escalado de H_{fin} . Se muestra la pendiente sub-umbral en función de AR.

De las Figuras 6.2.3 y 6.2.4 se puede observar que el escalado de H_{fin} permite mejorar el rendimiento del transistor sin empeorar el efecto de los SCEs. Sin embargo, disminuye de manera poco significativa el valor de S a diferencia de W_{fin} que presenta mejoras considerables. Como en el caso de W_{fin} , valores muy grandes de H_{fin} producen un control inadecuado del canal por parte del electrodo de la parte superior de la compuerta, produciendo un aumento en la pendiente sub-umbral. Pero el efecto es más crítico con la variación de W_{fin} , ya que se modifica el control que tienen las dos paredes laterales de la compuerta sobre el canal.

Otro parámetro que se ha mencionado es S_{fin} . En la siguiente figura se muestra el efecto de reducir este parámetro en la pendiente sub-umbral:

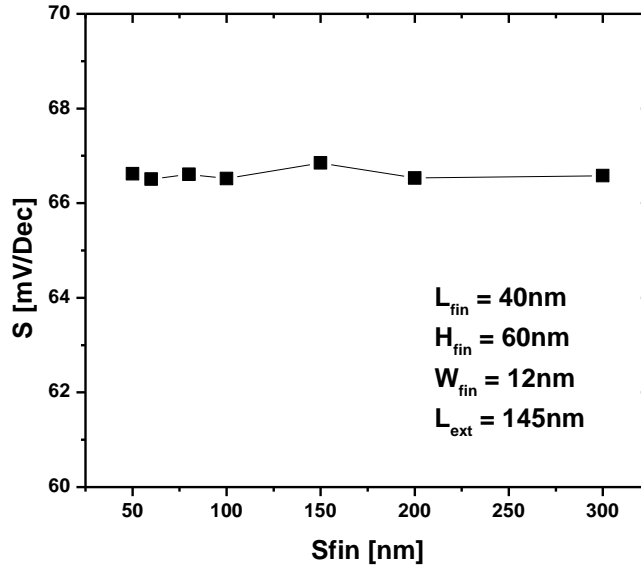


Figura 6.2.5. Efecto del escalado de S_{fin} en la pendiente sub-umbral

En la Figura 6.2.5 se ve claramente que S_{fin} no tiene efectos importantes en la pendiente sub-umbral, por lo que se tiene gran libertad para escalar este parámetro. Esta independencia que muestran las simulaciones es debido a que el parámetro S_{fin} no tiene efecto en la geometría de la compuerta, es decir, no se está modificando el efecto electrostático de la zona activa del dispositivo.

En la siguiente figura se muestra el efecto del escalado de L_{ext} en la pendiente sub-umbral:

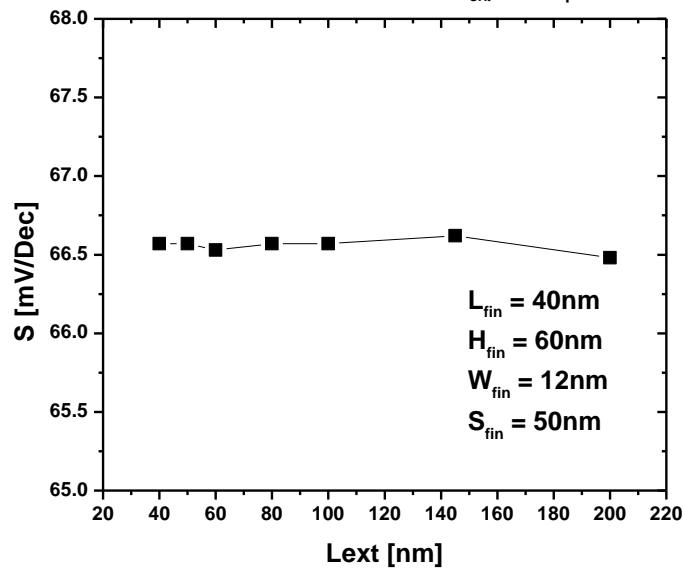


Figura 6.2.6. Efecto del escalado de L_{ext} en la pendiente sub-umbral

De igual forma que S_{fin} , el parámetro L_{ext} no tiene mucho efecto en la pendiente sub-umbral por lo que también se tiene gran libertad para escalarlo. Al igual que S_{fin} , el parámetro L_{ext} no modifica la geometría de la zona activa, por lo que no produce variaciones importantes en la pendiente sub-umbral.

6.3 DIBL

El efecto que produce el DIBL en el transistor es reducir su voltaje de umbral [2], por lo que se presentan altas corrientes de fuga que degradan la operación del transistor, debido a que la barrera de potencial entre el Source y Drain comienza a disminuir. Este fenómeno explica el aumento observado experimentalmente en el régimen sub-umbral de la corriente I_{DS} con el voltaje V_{DS} en dispositivos de canal muy corto [1]. Esencialmente un dispositivo afectado fuertemente por el DIBL (valores grandes de DIBL) no muestra cambios significativos en la corriente desde el estado de apagado al encendido, lo que produce un mal funcionamiento del dispositivo.

A continuación se muestra el comportamiento del DIBL al escalar H_{fin} , W_{fin} , S_{fin} y L_{ext} .

En la siguiente figura, se muestra el DIBL en función del ancho del fin:

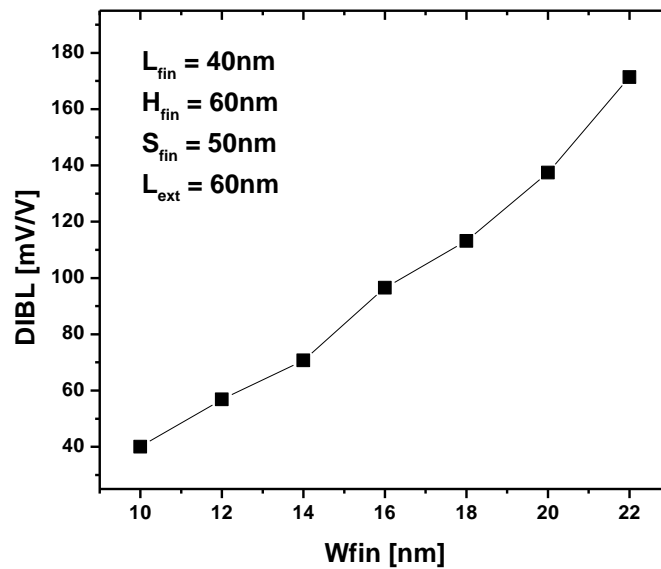


Figura 6.3.1. Efecto del escalado de W_{fin} en el DIBL.

La figura anterior muestra que el escalado de W_{fin} permite disminuir el efecto del DIBL. Una disminución de 22nm a 10nm disminuye de manera considerable el DIBL.

La Figura 6.3.2 muestra el DIBL en función de la razón de aspecto.

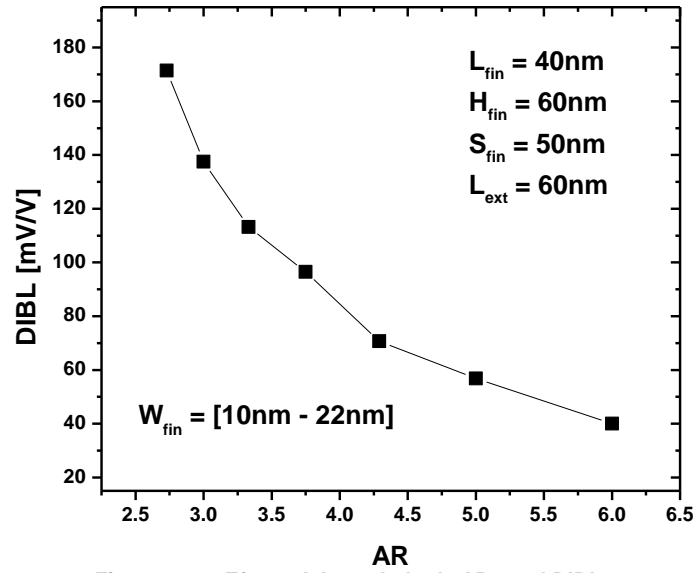


Figura 6.3.2. Efecto del escalado de AR en el DIBL.

Según la figura anterior, el aumento de la razón de aspecto disminuye el DIBL.

En la siguiente figura se muestra el DIBL en función de H_{fin} .

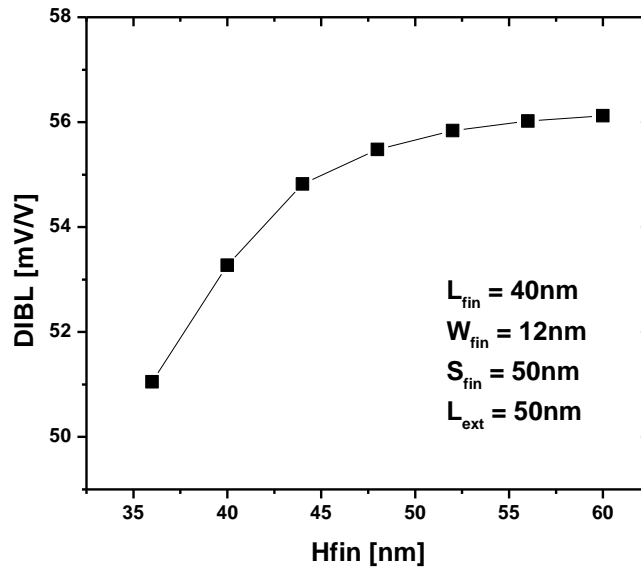


Figura 6.3.3. Efecto del escalado de H_{fin} en el DIBL.

Como puede notarse, el escalado de H_{fin} también mejora el desempeño del transistor ya que el DIBL se logra disminuir, sin embargo, la disminución es menos importante.

En la siguiente figura se muestra el DIBL en función de AR. En este caso, W_{fin} se mantuvo fijo y se varió H_{fin} .

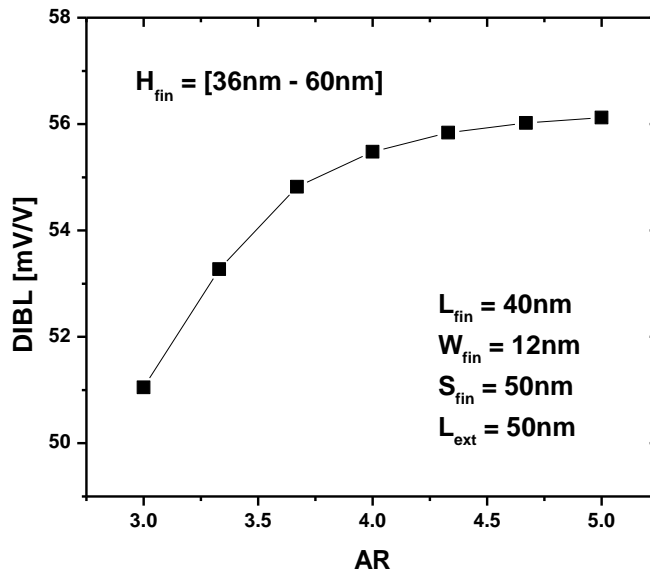


Figura 6.3.4. Efecto del escalado de AR en el DIBL.

De la figura anterior, también se puede observar que el escalado de H_{fin} no tiene mucho efecto en el DIBL.

La siguiente figura muestra el DIBL en función de S_{fin} .

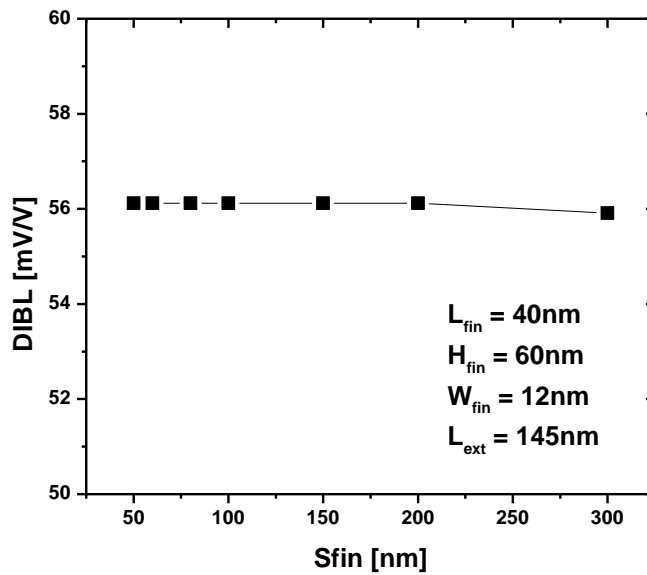


Figura 6.3.5. Efecto del escalado de S_{fin} en el DIBL.

En la Figura 6.3.5 se puede observar que S_{fin} no depende del DIBL, lo que permite escalarlo a conveniencia para optimizar la geometría del FinFET.

En la siguiente figura se presenta el DIBL en función de L_{ext} .

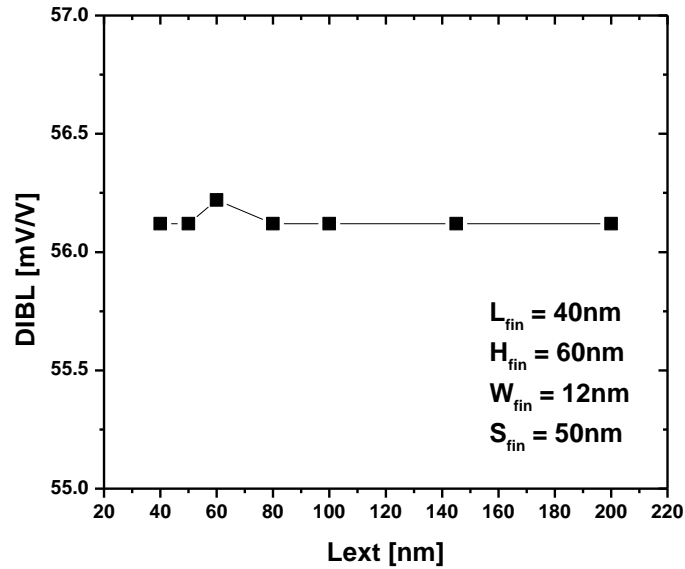


Figura 6.3.6. Efecto del escalado de L_{ext} en el DIBL.

Al igual que S_{fin} , la longitud del la extensión del fin no depende del DIBL, por lo que también se puede escalar con mayor libertad para optimizar el transistor.

Hasta este punto se demuestra claramente que la variación de S_{fin} y L_{ext} no tiene efectos importantes para el control del canal, es decir, se pueden variar a conveniencia sin afectar el desempeño inherente al transistor.

6.4 Relación I_{on}/I_{off}

A continuación se presenta el efecto del escalado de los principales parámetros geométricos del FinFET en la relación I_{on}/I_{off} .

La siguiente figura muestra la relación I_{on}/I_{off} en función de W_{fin} .

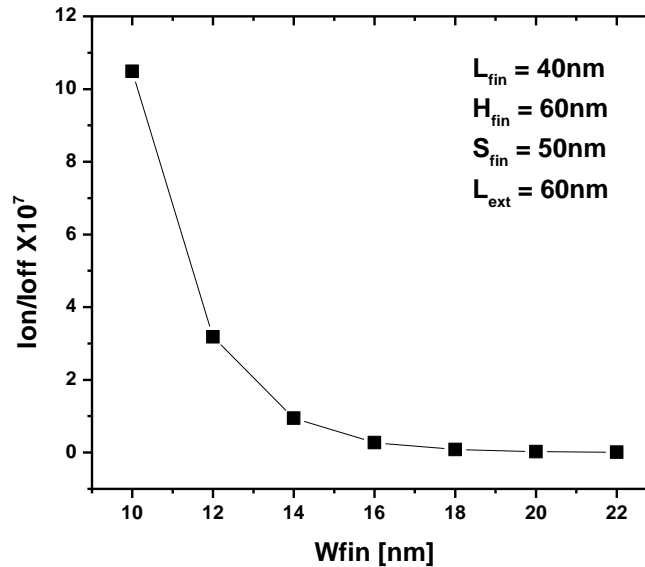


Figura 6.4.1. Efecto del escalado de W_{fin} en la relación I_{on}/I_{off} .

En la figura 6.4.1 se observa claramente que el escalado de W_{fin} incrementa de manera considerable la relación I_{on}/I_{off} . A partir de 16nm el aumento es más evidente. Esta relación aumenta debido a que la corriente en el canal es inversamente proporcional a W_{fin} .

La siguiente figura muestra la relación I_{on}/I_{off} en función de AR.

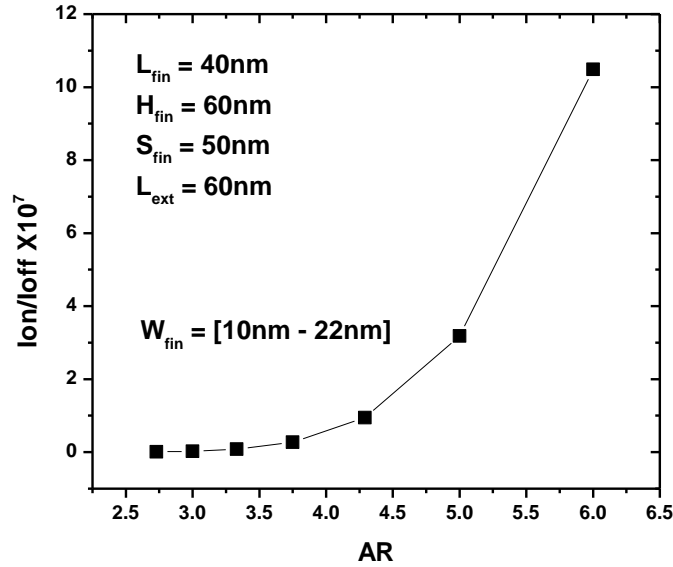


Figura 6.4.2. Efecto del escalado de AR en la relación I_{on}/I_{off} .

En este caso se fijó el valor de H_{fin} y se varió W_{fin} . Se puede notar en la Figura 6.4.2 que se debe aumentar la relación de aspecto para mejorar el rendimiento del transistor.

La siguiente figura muestra la relación I_{on}/I_{off} en función de H_{fin} .

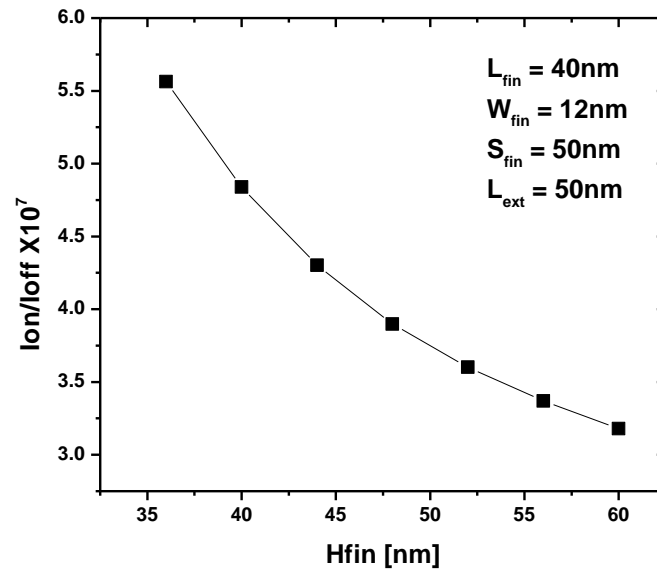


Figura 6.4.3. Efecto del escalado de H_{fin} en la relación I_{on}/I_{off} .

De la figura anterior es posible notar que el escalado de H_{fin} también mejora la relación I_{on}/I_{off} . Sin embargo, la mejora es menor que la presentada por W_{fin} .

En la siguiente figura se muestra la relación I_{on}/I_{off} en función de AR. En este caso se fijo W_{fin} y se varió H_{fin} .

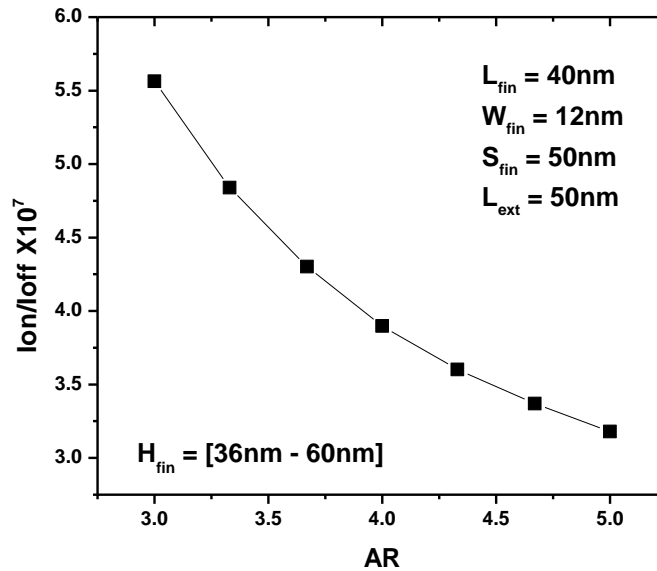


Figura 6.4.4. Efecto del escalado de AR en la relación I_{on}/I_{off} .

La Figura 6.4.4 muestra mejoras en la relación I_{on}/I_{off} al disminuir AR.

Con el escalado de W_{fin} y H_{fin} se presentan mejoras en la relación I_{on}/I_{off} debido a que la región del canal es controlada de manera más efectiva por las tres compuertas del transistor.

A continuación se muestra la relación I_{on}/I_{off} en función de S_{fin} :

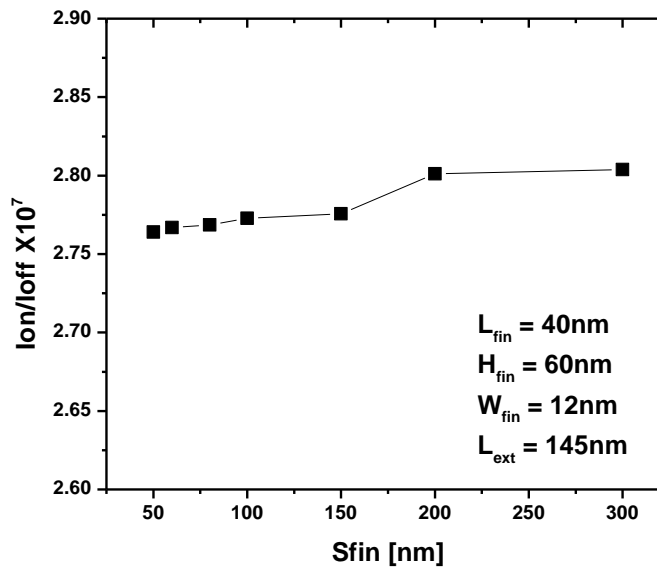


Figura 6.4.5. Efecto del escalado de S_{fin} en la relación I_{on}/I_{off} .

En la figura anterior se puede notar que al escalar S_{fin} la relación I_{on}/I_{off} tiende a disminuir, sin embargo, los cambios son mínimos, por lo que es posible concluir que se puede escalar S_{fin} para mejorar las figuras de mérito analógicas del transistor sin degradar el desempeño del transistor con SCEs.

La siguiente figura muestra la relación I_{on}/I_{off} en función de L_{ext} .

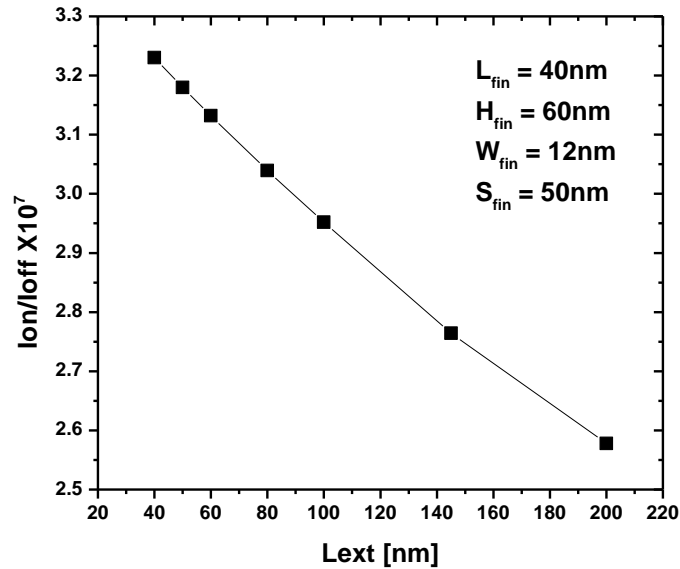


Figura 6.4.6. Efecto del escalado de L_{ext} en la relación I_{on}/I_{off} .

La figura anterior muestra un incremento en la relación I_{on}/I_{off} al escalar L_{ext} debido a que la resistencia de Source/Drain es disminuida como ya se ha mencionado en los capítulos anteriores, por lo que la corriente en el canal aumenta y el transistor mejora su desempeño.

Según los resultados obtenidos en este trabajo, los parámetros que permiten maximizar las frecuencias de operación del transistor (f_T y f_{max}), sin afectar los SCEs, son $S_{fin} = 50nm$ y $L_{ext} = 50nm$, $H_{fin} = 30nm$ y $W_{fin} = 20nm$, para una longitud de compuerta de $L_{fin} = 40nm$. Con esto se lograría una $f_T = 181 GHz$ y $f_{max} = 213 GHz$. Escalar aun más W_{fin} permitiría controlar mejor los SCEs, sin embargo, la resistencia R_{SD} aumentaría (debido a que el área efectiva de las extensiones de Source/Drain aumenta), para $H_{fin} = 30nm$ y $W_{fin} = 12nm$ se lograría $f_T = 168 GHz$ y $f_{max} = 206 GHz$.

Además, los resultados obtenidos también demuestran que los FinFETs de tres compuertas permiten seguir con el escalado de los transistores para ser utilizados con la tecnología CMOS en la fabricación de circuitos analógicos y digitales, debido a su alta inmunidad a los efectos de canal corto. Sin embargo, debido a su estructura tridimensional degradan en gran medida sus características analógicas (f_T y f_{max}) por la alta capacitancia extrínseca que presentan [4], pero como se ha demostrado en este trabajo, es posible optimizar la estructura del FinFET para maximizar su frecuencia de operación alrededor de un 100%.

6.5 Referencias

[1] Yuan Taur & Tak H. Ning, "Fundamentals of Modern VLSI Devices", United Kingdom, Cambridge, Ed. Cambridge University Press, 2009, pp149-164.

[2] Colinge J.-P. & Colinge C. A., "Physics of Semiconductor Devices", United States of America, Kluwer Academic Publishers, pp. 201-232, 2002

[3] Colinge J.-P., "FinFETs and Other Multi-Gate Transistors", Cambridge, Massachusetts, United States of America, Ed. Springer, 2010, pp. 52-61.

[4] Tinoco J. C., Salas S., Martinez-Lopez A. G., Alvarado J., & Raskin J.-P., "Impact of extrinsic capacitances on FinFET RF performance," *IEEE Transactions on microwave theory and techniques*, vol. 61, no. 2, 2013.

CONCLUSIONES

En este trabajo se implementaron los modelos de resistencias y capacitancias parasitas, reportados en la literatura. Estos modelos permiten describir dichos parámetros, a partir de las características geométricas del transistor. A partir de los modelos de los elementos parásitos, se desarrolló una metodología que permite, mediante la optimización de la geometría del FinFET, mejorar de manera considerable las figuras de mérito analógicas de los transistores. La frecuencia de corte f_T puede ser mejorada alrededor de un 80%, mientras que la frecuencia máxima de oscilación f_{max} alrededor de un 110%. Se validó, en base a simulaciones en tres dimensiones, que el desempeño del dispositivo no se ve afectado por los SCE al introducir los cambios propuestos.

También, se pudo validar que la capacitancia parásita extrínseca es la componente que degrada en mayor medida los transistores FinFET debido a su estructura tridimensional.

Se pudo comprobar que el escalado de W_{fin} y H_{fin} muestra mejoras importantes en el transistor, ya que permiten mejorar el control de los contactos de la compuerta sobre el canal, disminuyendo los efectos parásitos como el DIBL y la pendiente sub-umbral, además permiten incrementar la relación I_{on}/I_{off} . Por otro lado, también se verificó que el escalado de S_{fin} no tiene efectos importantes en los SCEs, ya que este parámetro no modifica la geometría del canal, y por lo tanto no se modifica la corriente del canal. Además, se pudo observar mejoras con el escalado de L_{ext} , ya que este parámetro permite disminuir la resistencia R_{SD} y mejorar la corriente del transistor.

Los transistores FinFET fabricados en tecnología SOI cubren necesidades de alta corriente y un buen control de los SCEs debido a que la corriente del Drain es controlada de forma eficiente por las tres compuertas del transistor. Estos transistores son una de las mejores alternativas para tecnologías con longitud de compuerta menor a 100nm debido a su buen control de SCEs, además alcanzan frecuencias en los rangos de microondas, que como se ha observado en los últimos años, son cada vez más requeridos en las nuevas tecnologías de telecomunicaciones.