

Capítulo 6 Resultados

Las descripciones de los circuitos realizados, que se encuentran en la parte de anexos, fueron traducidas por Quartus para generar los circuitos físicos que se requería implementar. Las siguientes imágenes muestran los sistemas descritos en VHDL.

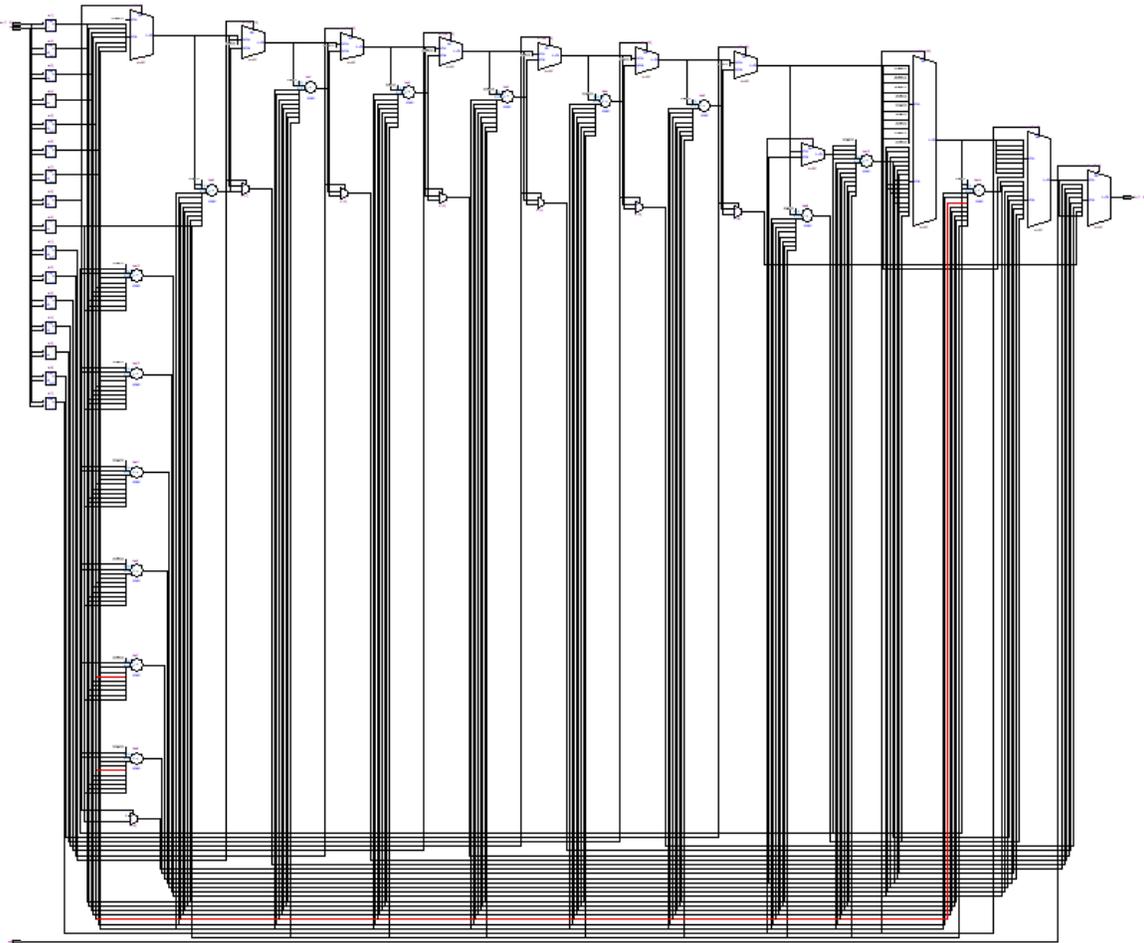


Figura 6.1 Diagrama RTL del multiplicador secuencial basado en sumas y desplazamientos.

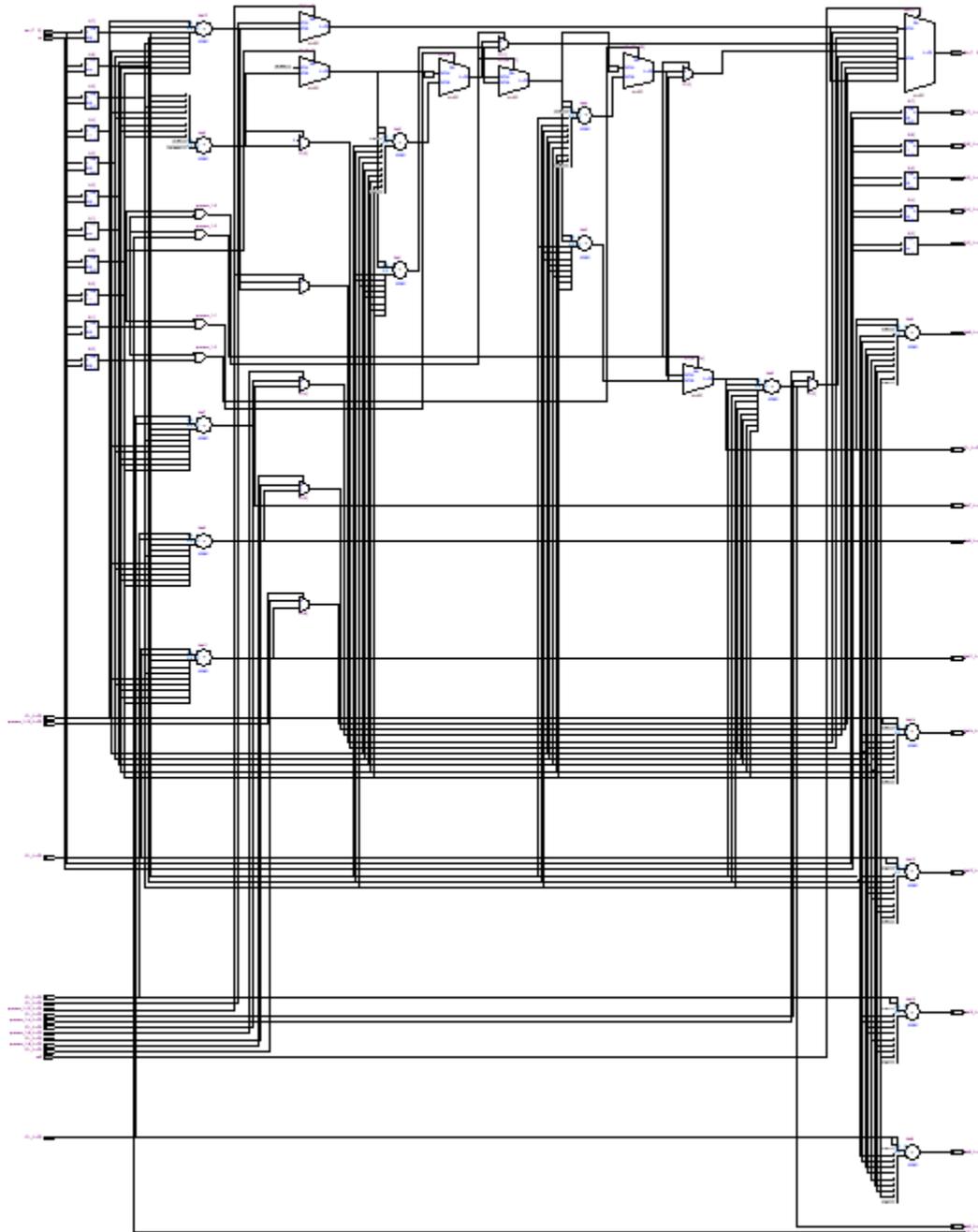


Figura 6.2 Diagrama RTL del multiplicador basado en el algoritmo de Booth.

Posteriormente, como ya fue explicado en el capítulo anterior, se simularon los circuitos para comprobar su funcionamiento. Algunas de las simulaciones realizadas se encuentran a continuación.

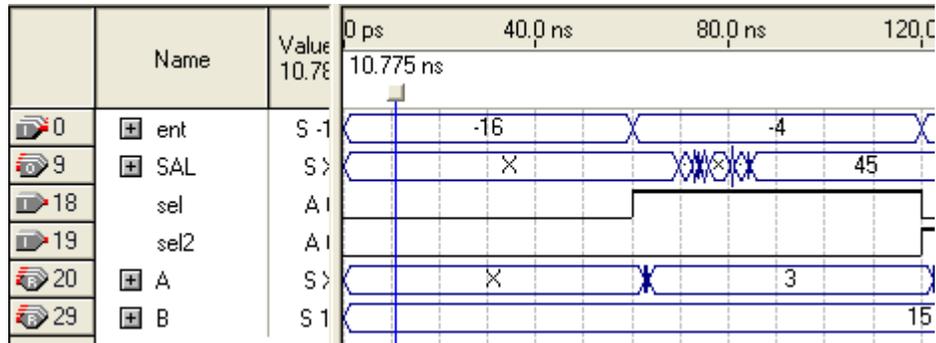


Figura 6.3 Simulación de la multiplicación $15 \cdot 3 = 45$.

En la figura anterior el valor -16 en el vector “ent” indica la entrada correspondiente al número 15 (en el vector B), con los valores invertidos puesto que la entrada se lee de dicha forma debido a la arquitectura de los componentes externos. De la misma forma el valor -4 corresponde al número 3 (en el vector A). En el vector de salida “SAL” se observa que después de alrededor de unos 20 ns se obtiene el valor adecuado (45).

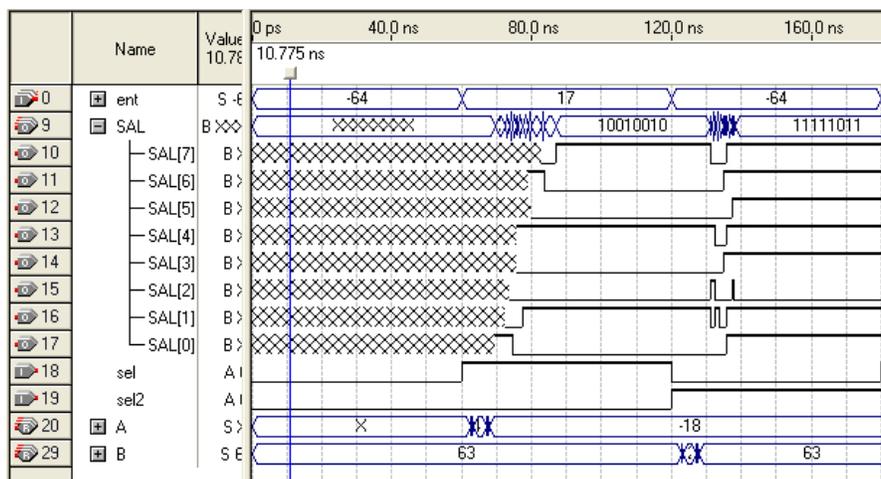


Figura 6.4 Simulación de la multiplicación $63 \cdot -18 = -1134$.

La figura 6.4 muestra la simulación de la multiplicación 63×-18 , que corresponde a las entradas invertidas -64 y 17 respectivamente. Se observa que en el vector de salida se obtiene primero la parte baja y al activar sel2 se obtiene la parte alta. El número resultante de 16 bits corresponde a -1134 en el formato complemento a 2.

El objetivo principal de este proyecto era realizar un multiplicador de 8x8 bits con lógica programable, que fuera capaz de realizar una multiplicación de forma exitosa en menos de 100 nanosegundos. A continuación se muestran los resultados arrojados por el *timing analyzer* de Quartus, tanto para el multiplicador secuencial basado en sumas y desplazamientos como para el multiplicador de Booth.

Multiplicador	Tiempo [ns]	Tiempo completo [ns]
Secuencial	52	60
Booth	44.6	52.4

Tabla 6.1 Tiempos de ejecución de los multiplicadores.

El tiempo de la primera columna se refiere al multiplicador únicamente, mientras que el tiempo completo hace referencia al sistema que incluye las etapas de multiplexaje de entradas y salidas del multiplicador dentro del FPGA.

Como se puede observar, el objetivo inicial se cumple, se obtuvo un tiempo del sistema, empleando el algoritmo de Booth, de 52.4 ns, que es casi la mitad del tiempo que se quería reducir.

Las siguientes imágenes muestran los oscilogramas del tiempo de respuesta del multiplicador únicamente.

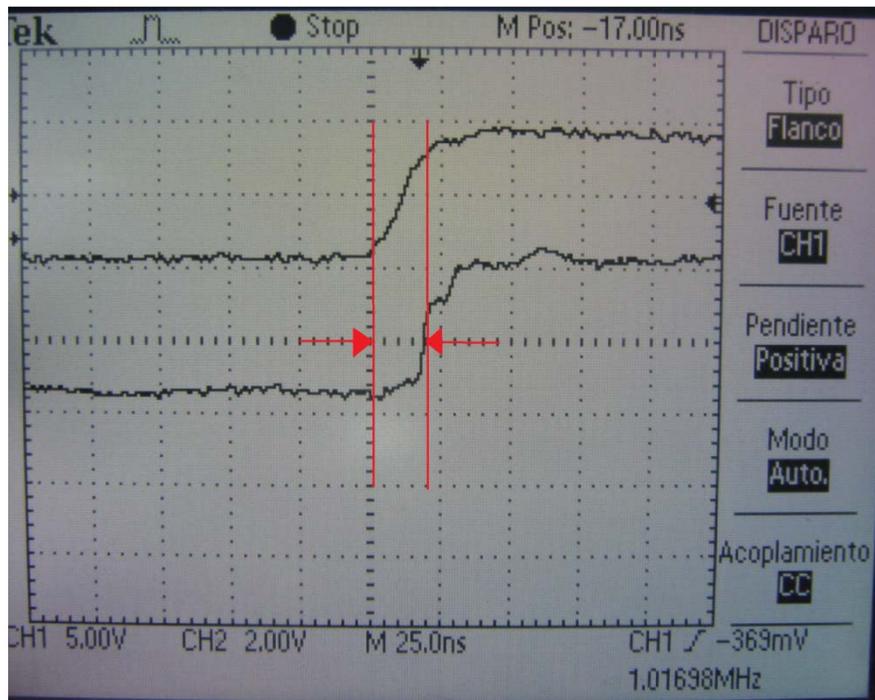


Figura 6.5 Tiempo de retardo entre una señal de entrada y una de salida. La señal superior es un bit de un multiplicando, mientras que la inferior es un bit del resultado.

En la figura anterior se observa, con ayuda de las acotaciones, que el tiempo de ejecución, es decir el tiempo en que tarda en responder el circuito, es de aproximadamente 20 ns. Este experimento muestra el mejor caso, ya que se probó teniendo al multiplicando con un bit encendido (el oscilograma muestra el momento en que se enciende) mientras los demás se mantenían en cero, lo que ocasiona en el algoritmo de Booth que se reduzcan al mínimo la cantidad de sumas a realizar.

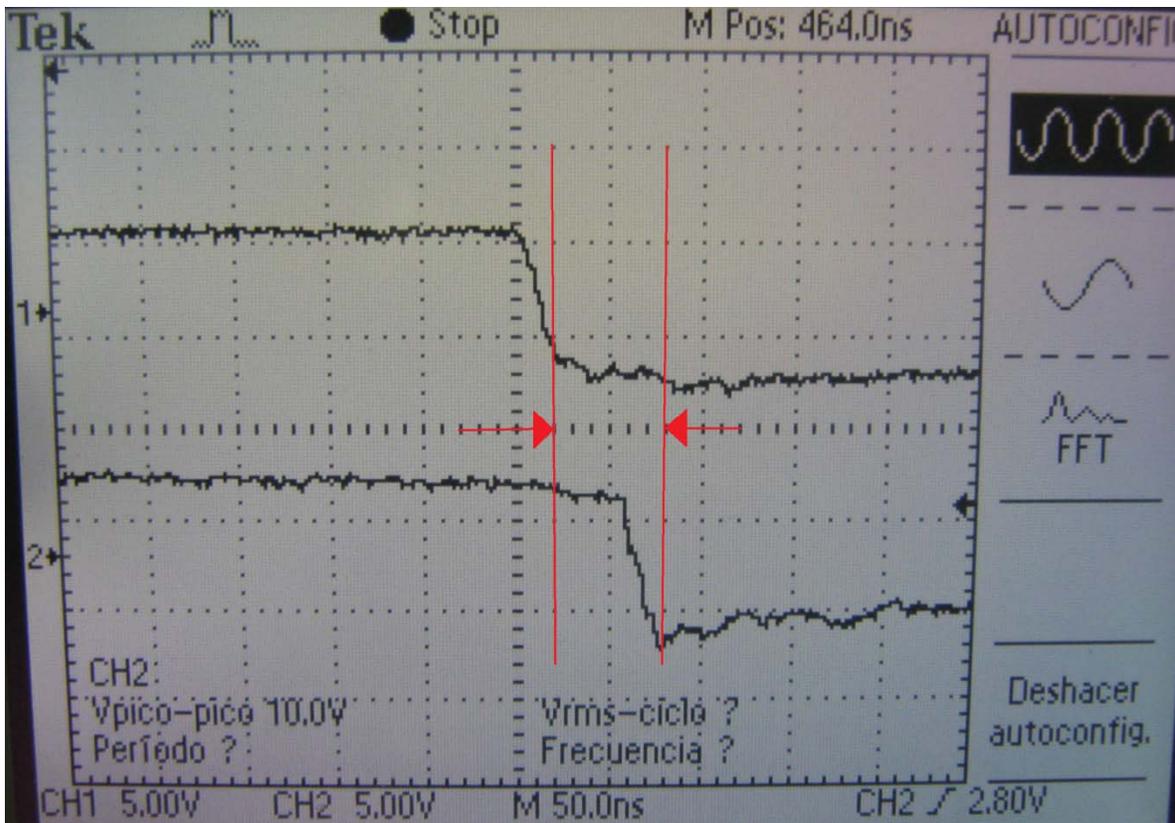


Figura 6.7 Tiempo de respuesta de la multiplicación. La señal superior muestra un bit de un multiplicando mientras que la inferior muestra un bit del resultado.

La figura anterior muestra el tiempo de retardo del peor caso de multiplicación para el algoritmo de Booth. Se observa con ayuda de las acotaciones que dicho tiempo es de aproximadamente 50 ns. Este experimento se toma como peor caso ya que el multiplicando presenta un “1” y un “0” intercalados en los 8 bits, con lo que se fuerza a realizar la mayor cantidad de sumas y restas haciendo más tardada la ejecución de la multiplicación.

El sistema completo, incluyendo el FPGA y el circuito de prueba, funcionó satisfactoriamente, entregando los multiplicandos establecidos en los dip switches y el resultado proveniente del FPGA desplegados en el LCD.

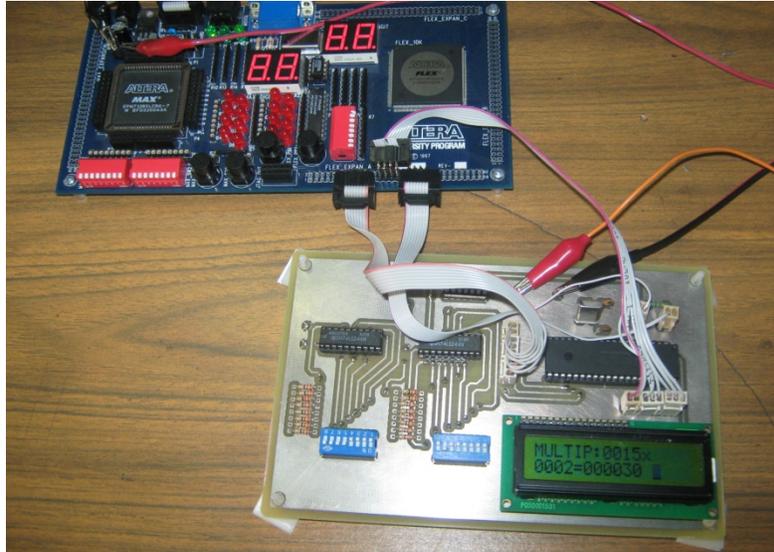


Figura 6.7 Sistema completo con el circuito impreso y la tarjeta UP1.

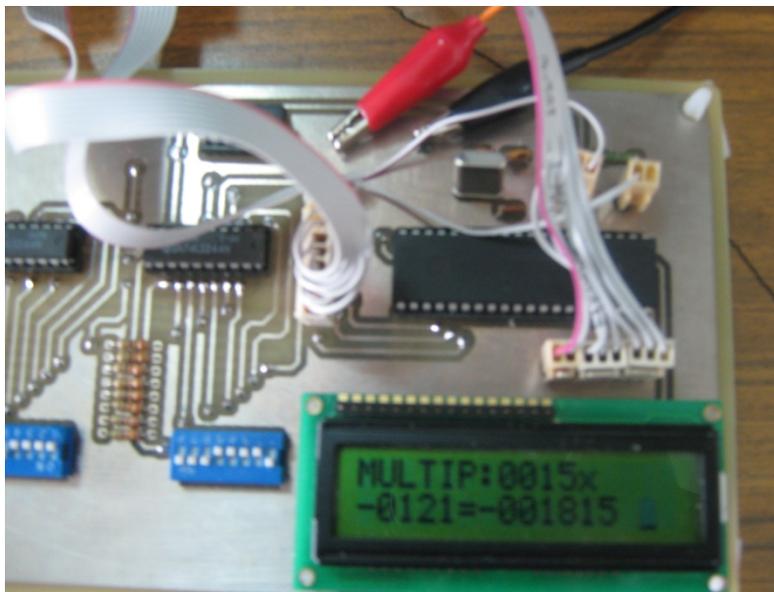


Figura 6.8 Circuito impreso con la multiplicación $15 \times 121 = -1815$ en el LCD.

Ejemplo de una aplicación del proyecto realizado

Este proyecto puede ser empleado en aplicaciones que involucren análisis matemáticos que requieran multiplicaciones. En un caso particular, se puede emplear para obtener la correlación entre dos señales. En [procesamiento de señales](#), la correlación cruzada (o a veces denominada "covarianza cruzada") es una medida de la similitud entre dos [señales](#), frecuentemente usada para encontrar características relevantes en una señal desconocida por medio de la comparación con otra que sí se conoce. Es función del [tiempo](#) relativo entre las señales, a veces también se la llama [producto escalar desplazado](#), y tiene aplicaciones en el [reconocimiento de patrones](#) y en [criptoanálisis](#).

La correlación cruzada de dos señales $x(n)$ e $y(n)$ está definida por cualquiera de las siguientes ecuaciones:

$$r_{xy}(l) = \sum_{n=-\infty}^{\infty} x(n)y(n-l) \quad l = 0 \pm 1, \pm 2 \dots \quad \text{Ecuación 7.1}$$

$$r_{xy}(l) = \sum_{n=-\infty}^{\infty} x(n+l)y(n) \quad l = 0 \pm 1, \pm 2 \dots \quad \text{Ecuación 7.2}$$

Más específicamente, la correlación puede ser empleada en la caracterización de materiales, mediante la obtención de sus propiedades elásticas como por ejemplo el Módulo elástico de Young. Si se plantea realizar un instrumento electrónico que mida y obtenga dicha propiedad de los materiales, mediante transductores y un microcontrolador que realice las operaciones necesarias para obtener mediciones, convertir las señales previamente acondicionadas a datos digitales y procesarlas para obtener el resultado deseado, el coprocesador realizado en este proyecto puede resultar útil por las siguientes razones:

- Se adapta fácilmente a las necesidades del procesador principal.

- Obtiene las correctas multiplicaciones a velocidades rápidas de tal forma que el procesador principal no pierda tiempo en dichas operaciones y pueda obtener en el tiempo requerido el dato correcto.

Claramente se pueden vislumbrar tres opciones iniciales para confrontar la necesidad del usuario:

- Realizar el sistema completo empleando únicamente un DSP. Es decir, emplear dicho dispositivo como procesador principal y, debido a que los DSPs están diseñados para realizar operaciones de procesamiento de señales a velocidades altas, sería posible realizar la correlación en él mismo.
- Emplear un FPGA en el que se pueda integrar el sistema completo. Para esto se debería conseguir un FPGA que incluya embebido un núcleo de procesamiento que actúe como procesador principal y contenga además lógica disponible para poder configurar el coprocesador diseñado en este trabajo.
- Diseñar el instrumento de medición deseado haciendo uso de un microcontrolador y un FPGA, éste último como coprocesador, tal y como se plantea en el proyecto realizado.

Tomando en cuenta que se tienen los conocimientos necesarios para realizar el proyecto de las tres maneras, y que todas las opciones logran satisfacer completamente las necesidades del usuario, se podrían evaluar las opciones desde un punto de vista financiero para elegir la mejor opción.

Analizando en primer lugar el uso de un FPGA en el que se pueda implementar el sistema completo, debemos encontrar un FPGA que tenga las capacidades necesarias para tal propósito. Los precios de dispositivos con estas características ascienden a unos cuantos cientos de dólares, llegando incluso a costar miles de

dólares. Ejemplos de éstos son las series Stratix, Arria y Nios de Altera, o las series MicroBlaze y Virtex de Xilinx.

Los DSPs más básicos, que trabajan con palabras de 16 bits, con una velocidad de procesamiento que se encuentra alrededor de los 20 MIPS y contienen el número necesario de entradas y salidas tienen un precio de entre 20 y 60 dólares.

Estas dos opciones probablemente requieran componentes externos para lograr la realización del proyecto, como convertidores analógico-digitales que pueden aumentar por lo menos unos 10 dólares el costo del sistema.

Por último tenemos la opción de emplear el sistema creado en este trabajo, en el que se usa un microcontrolador, capaz de realizar conversiones analógico-digitales y un FPGA que actúa como coprocesador realizando las multiplicaciones necesarias para la correlación, e incluso podría realizarse la correlación completa sin cambiar de dispositivo. El costo del PIC empleado es de 5 dólares, mientras que un FPGA capaz de actuar como coprocesador tiene un precio de 12 dólares.

Es cierto que al tener dos dispositivos la comunicación entre ellos involucra posiblemente capacitancias parásitas en las vías de comunicación que ocasionen que se reduzca la velocidad de procesamiento, sin embargo el sistema funciona correctamente y se observa que es el más viable económicamente.