

## Conclusiones

---

En este trabajo se presenta el desarrollo de multiplicadores rápidos descritos por medio de VHDL con la finalidad de sintetizarlos en un FPGA de tal forma que actúen como coprocesador de un microcontrolador PIC.

Los resultados demuestran que se logró el objetivo de reducir el tiempo de multiplicación originalmente establecido en 100 nanosegundos un 47.6%, si se toma en cuenta el tiempo del multiplicador basado en el algoritmo de Booth empleando el multiplexaje a la entrada y salida del multiplicador para lograr la correcta comunicación entre el FPGA y el PIC. Si se requiriera únicamente el multiplicador para una aplicación en específico en la que no se tienen tan limitados los pines de multiplicandos y resultado en el procesador principal, se observa que el tiempo de procesamiento de la operación de multiplicación es de 44.6 nanosegundos.

Estos tiempos, arrojados por la herramienta de analizador de tiempos de Quartus, se corroboraron por medio del osciloscopio, lo cual se puede observar en los oscilogramas que se muestran en el capítulo de resultados del presente trabajo.

Como comparación del rendimiento del coprocesador, se realizó una simulación de la mega función LPM\_MULT de Altera; el tiempo arrojado por Quartus, sin incluir los módulos de multiplexaje a la entrada y a la salida del sistema, fue de 20 ns. Sin embargo, la megafunción utiliza mucha área del dispositivo lógico, y consume más energía que los módulos hechos por el usuario. Un sistema con funciones predefinidas de Altera, sin embargo, no puede modificarse de forma tan fácil ya que los únicos cambios posibles que se le pueden hacer a dichas mega funciones son aquellos que modifiquen los parámetros bajo los que trabaja la función, mas no la arquitectura interna ya que ésta está protegida por propiedad

intelectual. Por otro lado, no todos los PLDs permiten que se les programen mega funciones, y, en dado caso que se trabaje con Max Plus II, un software de Altera menos avanzado que Quartus, algunas mega funciones no pueden ser utilizadas, cosa que me sucedió en este proyecto.

De igual manera, se comprobó el correcto funcionamiento del sistema completo empleando la tarjeta de prueba conectada a la tarjeta de UP1 de Altera que incluye el FPGA. Para cualquier combinación de números signados de 8 bits, se desplegaba en el display de cristal líquido la multiplicación de éstos, aunada al resultado correcto de la operación.

En la etapa de simulaciones dentro de Quartus, se observa que mientras se ejecuta la multiplicación se tienen una serie de *glitches*<sup>1</sup> que duran básicamente el tiempo en que se tarda el módulo de multiplicación en obtener un resultado, ya que las salidas del multiplicador están conectadas con los pines de salida del FPGA. Sin embargo, si se tiene una correcta sincronía entre el procesador principal y el coprocesador, estos fenómenos no afectan el resultado que sería leído.

---

<sup>1</sup> Un glitch es un error considerado como una característica no prevista, una falla de poca duración en un sistema.