

## Capítulo 1. Lenguaje VHDL

---

En este capítulo se abordan la definición y las principales características del lenguaje VHDL.

### 1.1 Definición de VHDL

VHDL es el acrónimo de VHSIC (*Very High Speed Integrated Circuit*) *Hardware Description Language*. VHDL es un lenguaje de descripción y modelado diseñado para describir la funcionalidad y la organización de sistemas *hardware* digitales.

VHDL fue desarrollado como un lenguaje para el modelado y simulación lógica dirigida por eventos de sistemas digitales, y actualmente se utiliza también para la síntesis automática de circuitos.

El VHDL es un lenguaje que fue diseñado inicialmente para ser usado en el modelado de sistemas digitales. Es por esta razón que su utilización en síntesis no es inmediata, aunque lo cierto es que la sofisticación de las actuales herramientas de síntesis es tal que permiten implementar diseños especificados en un alto nivel de abstracción.

La síntesis a partir de VHDL constituye hoy en día una de las principales aplicaciones del lenguaje con una gran demanda de uso. Las herramientas de síntesis basadas en el lenguaje permiten en la actualidad ganancias importantes en la productividad de diseño.

Un lenguaje de descripción de hardware permite diseñar y depurar sistemas digitales con un nivel de abstracción más alto que con una captura esquemática de compuertas, flip flops e incluso circuitos MSI.

VHDL fue desarrollado originalmente bajo financiamiento del departamento de defensa de Estados Unidos, para tener un método uniforme para especificar sistemas digitales. El propósito principal del VHDL cuando fue desarrollado, era tener un mecanismo para describir y documentar *hardware* sin ambigüedades. La síntesis del hardware de descripciones de alto nivel no fue uno de los propósitos originales. Desde entonces, el VHDL se ha convertido en un estándar IEEE y se usa bastante en la industria. IEEE creó el estándar VHDL en 1987, el cual fue modificado en 1993, y se hicieron revisiones nuevamente en 2000 y 2002.

## **1.2 Características del lenguaje VHDL**

La característica más importante del VHDL es que, al ser un lenguaje de descripción, si se definen leyes o reglas que simbolicen conexiones, dichas reglas se hacen efectivas al mismo tiempo, a diferencia de otros lenguajes en los cuales la ejecución es en serie, es decir, se ejecuta una instrucción tras otra.

Sin embargo, tiene también la posibilidad de ejecutar algunos bloques de forma serie, haciendo así la descripción en dicho lenguaje más sencilla y con un nivel de abstracción más alto que si se crearan *netlists*.