



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**  
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA  
INGENIERÍA ELÉCTRICA – SISTEMAS ELECTRÓNICOS

DISEÑO Y CONSTRUCCIÓN DE UN INVERSOR MULTINIVEL DE 5 NIVELES,  
DE SEMICICLOS SEGMENTADOS DE BAJAS PÉRDIDAS

TESIS  
QUE PARA OPTAR POR EL GRADO DE:  
MAESTRO EN INGENIERÍA

PRESENTA:  
ING. RICARDO SÁNCHEZ SÁNCHEZ

TUTOR PRINCIPAL  
M.I. JESÚS ÁLVAREZ CASTILLO, FACULTAD DE INGENIERÍA

MÉXICO, D. F. ENERO 2016

**JURADO ASIGNADO:**

Presidente: Dr. Prado Molina Jorge  
Secretario: Dr. Peña Cabrera Juan Mario  
Vocal: M. I. Álvarez Castillo Jesús  
1<sup>er.</sup> Suplente: Dr. Martínez López José Ismael  
2<sup>d o.</sup> Suplente: Dr. De La Rosa Nieves Saúl

México D.F., enero de 2016  
Ciudad Universitaria  
Facultad de Ingeniería

**TUTOR DE TESIS:**

M.I. Jesús Álvarez Castillo

-----  
**FIRMA**

---

## Resumen

Los inversores multinivel han tenido gran aceptación debido a las ventajas que presentan en comparación con los inversores convencionales. Una de sus principales desventajas es la complejidad en su construcción, lo que ha dado como resultado, en recientes años, la propuesta de diversas topologías que permitan la construcción de este tipo de inversor pero, con una menor complejidad; conservando, y en algunos casos aumentando, las ventajas que presentan estos dispositivos.

El inversor multinivel diseñado está basado en una propuesta en donde se buscó reducir el número de interruptores electrónicos para su construcción, esto no se cumplió ya que se elevó el número de interruptores con la implementación de la técnica de semiciclos segmentados, sin embargo, se logró aumentar la capacidad de potencia manejable por el circuito. Para disminuir las pérdidas se utilizó una celda de conmutación que ayuda a los interruptores electrónicos a encender y apagar a corriente y voltaje cero, respectivamente.

---

# Dedicatoria

*A mi familia*

*A mis amigos*

*A Paulina*

---

## Agradecimientos

Gracias a mis padres Cleotilde Y Martin, a mis hermanas Alma, Carla y Mariana, a mi tío Félix, y Alex por ser parte fundamental en mi desarrollo académico y como persona.

Gracias a Paulina por enseñarme una parte de la vida que desconocía, por sus consejos y por regalarme una parte de su invaluable tiempo.

Gracias a mis amigos de *“la master”*, Adrián, Fernando, Mauricio y Miguel, a la Universidad Nacional Autónoma de México por permitirme estudiar en sus aulas y conocer a personas muy valiosas que hoy me acompañan en mi camino, al igual que los profesores que nos compartieron parte de su conocimiento.

A la Coordinación de Estudios de Posgrado y al Consejo Nacional de Ciencia y Tecnología por el apoyo recibido durante los estudios de maestría.

---

## Índice general

Capítulo 1 .....	1
Introducción .....	1
1.1 Objetivos .....	2
1.2 Justificación .....	3
1.3 Metodología .....	3
1.4 Organización del trabajo de tesis .....	4
Capítulo 2 .....	5
Antecedentes .....	5
2.1 Topologías que reducen la cantidad de dispositivos de conmutación .....	5
2.2 Aplicaciones para los inversores multinivel .....	12
Capítulo 3 .....	14
Marco teórico .....	14
3.1 Generalidades de los Inversores .....	14
3.1.1 Inversor monofásico de medio puente .....	14
3.1.2 Inversor monofásico de puente completo .....	15
3.1.3 Inversores multinivel .....	16
3.2 El concepto multinivel .....	17
3.3 Tipos de inversor multinivel .....	18
3.3.1 Inversor multinivel de diodos enclavados .....	18
3.3.2 Inversor multinivel de capacitores enclavados .....	19
3.3.3 Inversor multinivel en cascada con fuentes independientes .....	19
3.4 Parámetros de los inversores .....	20
3.4.1 Distorsión armónica .....	20
3.4.2 Pérdidas .....	20
3.5 Inversores de pulso resonante .....	22
3.5.1 Inversores resonantes en serie .....	23
3.5.2 Inversores resonantes en paralelo .....	25
3.5.3 Convertidores resonantes por conmutación a corriente cero ZCS ( <i>Zero Current Switching</i> ) .....	26
3.5.4 Convertidores resonantes por conmutación a voltaje cero ZVS ( <i>Zero Voltage Switching</i> ) ..	27
3.9 Dispositivos semiconductores de potencia .....	28

3.9.1 Diodos .....	28
3.9.2 Tiristores.....	29
3.9.3 Transistores.....	29
3.10 Técnicas de modulación para inversores multinivel .....	30
3.11 Conexión serie paralelo de MOSFET e IGBT.....	32
3.11.1 Incremento de potencia.....	33
3.11.2 Incremento de rendimiento .....	34
Capítulo 4.....	36
Diseño del Inversor multinivel de 5 niveles de semiciclos segmentados de bajas pérdidas .....	36
4.1 Generación de las señales PWM por medio del microcontrolador .....	37
4.2 Aislamiento de las señales PWM y excitación de compuertas .....	38
4.3 Dispositivos de potencia utilizados en el inversor .....	41
4.4 Implementación del inversor de 5 niveles.....	42
4.5 Implementación de la técnica de semiciclos segmentados .....	45
4.6 Implementación de ZCZVT ( <i>Zero Current Zero Voltage Transition</i> ) .....	46
Capítulo 5.....	51
Pruebas y resultados del inversor .....	51
Simulación del inversor de 5 niveles con la técnica semiciclos segmentados.....	53
Simulación del inversor de 5 niveles con la técnica semiciclos segmentados con la celda de conmutación ZCZVT.....	54
Gráficas de Corriente – Voltaje – Señal de control para validación de la celda de conmutación ZCZVT.....	55
Implementación del inversor de 5 niveles .....	59
Conclusiones .....	62
Apéndice A. Diagramas Esquemáticos .....	64
Apéndice B. Circuitos Impresos.....	68
Apéndice C. Plataforma de simulación Orcad.....	71
Apéndice D. Plataforma de simulación Psim .....	73
Referencias .....	75

---

## Índice de figuras

Figura 1. Topología presentada por Gerardo Ceglia y Víctor Guzmán en [2] .....	6
Figura 2. Topología en cascada modificada para el inversor multinivel propuesto en [13] .....	6
Figura 3. Topología propuesta en [11] para un inversor multinivel de 7 niveles .....	7
Figura 4. Topología propuesta para generar 9 diferentes niveles propuesta en [6] .....	8
Figura 5. Estructura propuesta por [12] para el inversor de 9 niveles .....	8
Figura 6. Nueva topología para los inversores multinivel en cascada [10] .....	9
Figura 7. Topología propuesta para inversores multinivel en cascada [14] .....	10
Figura 8. Inversor de 7 niveles propuesto en [21] .....	10
Figura 9. Topología propuesta en [22] para el inversor de 21 niveles .....	11
Figura 10. Inversor multinivel propuesto en [23] .....	12
Figura 11. Topología para un inversor multinivel de 25 niveles propuesto en [16] .....	13
Figura 12. Configuración trifásica para un inversor multinivel de 4 niveles, propuesta hecha en [1] .....	13
Figura 13. a) Estructura del inversor monofásico de medio puente, b) Generación del nivel $V_s/2$ , c) Generación del nivel $-V_s/2$ .....	14
Figura 14. Estructura del inversor monofásico en puente completo o puente H, a) Generación del nivel de tensión $V_s$ , b) Generación del nivel de tensión $-V_s$ , c) Generación del nivel de tensión 0... ..	16
Figura 15. Concepto multinivel .....	18
Figura 16. Inversor multinivel monofásico de diodos enclavados .....	18
Figura 17. Inversor multinivel monofásico de capacitores enclavados .....	19
Figura 18. Inversor multinivel monofásico en cascada con fuentes independientes .....	19
Figura 19. Diagrama de pérdidas con respecto a la activación del interruptor .....	21
Figura 20. Interruptor bidireccional .....	24
Figura 21. Inversor serie de medio puente con interruptores bidireccionales .....	24
Figura 22. Inversor serie de puente completo con interruptores bidireccionales .....	24
Figura 23. Circuito resonante en paralelo .....	25
Figura 24. Inversor de puente completo utilizando un circuito resonante en paralelo .....	25
Figura 25. Configuraciones de interruptor para convertidores resonantes ZCS .....	26
Figura 26. Convertidor resonante ZVS .....	27
Figura 27. Diodo de potencia .....	28
Figura 28. Tiristor .....	29
Figura 29. MOSFET (Metal Oxide Semiconductor Field Effect Transistor) .....	30
Figura 30. Modulación por corrimiento de fase .....	32
Figura 31. Tipos de conexiones para mejorar densidad de potencia .....	33
Figura 32. Tipos de conexiones para mejorar rendimiento .....	34
Figura 33. Propuesta para la construcción del inversor multinivel .....	36
Figura 34. Microcontrolador PIC18F4550 de Microchip Technology Inc. ....	38
Figura 35. Optoacoplador 6N137 de la marca Fairchild Semiconductor .....	39
Figura 36. Implementación del optoacoplador 6N137 .....	39
Figura 37. Driver TLP250 de la marca Toshiba .....	40
Figura 38. Implementación del optoacoplador 6N137 y el excitador de compuerta TLP250 .....	40

Figura 39. MOSFET IRF840 de la marca International Rectifier.....	41
Figura 40. Diodo MUR8100E de la marca OnSemiconductor.....	42
Figura 41. Topología para la construcción del inversor multinivel de 5 niveles propuesto. ....	42
Figura 42. Secuencia de disparo para los interruptores del inversor de 5 niveles.....	43
Figura 43. Etapas para la generación de los 5 diferentes niveles en el inversor. a) $V_s$ b) $\frac{1}{2} V_s$ c) 0 d) - 1/2 $V_s$ y e) $-V_s$ .....	44
Figura 44. Señales de disparo para los 5 dispositivos de conmutación SW1-SW5 .....	44
Figura 45. Circuito propuesto para la implementación de la técnica de semiciclos segmentados.....	45
Figura 46. Señales de control para los dispositivos de conmutación SW1-SW5 y SW1A-SW5A .....	46
Figura 47. Inversor de puente completo implementado con la técnica ZCZVT (Zero Current Zero Voltage Transition).....	47
Figura 48. Inversor multinivel de 5 niveles utilizando la técnica semiciclos segmentados con la nueva celda de conmutación ZCZVT .....	47
Figura 49. Señales de control para los interruptores principales SW1-SW5 y SW1A-SW5A.....	50
Figura 50. Señales de control para los interruptores de auxiliares de la celda de conmutación ZCZVT.....	50
Figura 51. Señal de voltaje a la salida del inversor implementando la técnica semiciclos segmentados.....	53
Figura 52. Espectro de frecuencias de THD a la salida del inversor de 5 niveles utilizando la técnica semiciclos segmentados .....	53
Figura 53. . Señal de voltaje a la salida del inversor implementando la técnica semiciclos segmentados incluyendo la celda de conmutación ZCZVT .....	54
Figura 54. Espectro de frecuencias de THD a la salida del inversor de 5 niveles utilizando la técnica semiciclos segmentados con la celda de conmutación ZVZCT .....	54
Figura 55. Gráfica Señal de control (Apagado)-Corriente-Voltaje para el interruptor SW1 .....	55
Figura 56. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW1 con la celda de conmutación ZCZVT.....	55
Figura 57. Gráfica Señal de control (Encendido) -Corriente-Voltaje para el interruptor SW1.....	56
Figura 58. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW1 con la celda de conmutación ZCZVT .....	56
Figura 59. Gráfica Señal de control (Apagado) -Corriente-Voltaje para el interruptor SW2.....	57
Figura 60. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW2 con la celda de conmutación ZCZVT.....	57
Figura 61. Gráfica Señal de control (Encendido) – Corriente - Voltaje para el interruptor SW2 con la celda de conmutación ZCZVT.....	58
Figura 62 Gráfica Señal de control (Encendido) -Corriente-Voltaje para el interruptor SW2.....	58
Figura 63. Aislamiento de las señales por medio de los opto acopladores 6N137 y excitadores de compuerta TLP250.....	59
Figura 64. Fuentes de tensión utilizadas para los excitadores de compuerta TLP250.....	59
Figura 65. Circuito impreso del inversor de 5 niveles.....	60
Figura 66. Implementación del inversor de 5 niveles de semiciclos segmentados propuesto.....	60
Figura 67. Tensión de salida para el inversor de 5 niveles implementado.....	61

---

## Glosario

HVDC	Sistemas de corriente directa en alto voltaje (High Voltage Direct Current)
CA	Corriente Alterna
CD	Corriente Directa
FPGA	Arreglo de compuertas programables en campo (Field Programmable Gate Array)
BLDC	Motor de corriente directa sin escobillas (Brush Less Direct Current Motor)
PWM	Modulación de ancho de pulso (Pulse Width Modulation)
THD	Distorsión armónica total (Total Harmonic Distorsion)
TBJ	Transistor de unión bipolar (Bipolar Junction Transistor)
MOSFET	Transistor de efecto de campo de óxido de metal semiconductor (Metal Oxide Semiconductor Field Effect Transistor)
IGBT	Transistor Bipolar de compuerta aislada (Insulated Gate Bipolar Transistor)
PD-PWM	Modulación de ancho de pulso con disposición de fase (Phase Disposition Pulse Width Modulation)
POD-PWM	Modulación de ancho de pulso con oposición de fase (Phase Oposition Pulse Width Modulation)
PS-PWM	Modulación de ancho de pulso con desplazamiento de fase (Phase Shifted Pulse Width Modulation)
SPWM	Modulación por ancho de pulso senoidal (Sinusoidal Pulse Width Modulation)
RL	Resistencia de carga
$\omega$	Velocidad angular [rad]
SW	Dispositivo de conmutación (Switch)
ZCZVT	Transición en Corriente Cero y Voltaje Cero (Zero Current and Zero Voltage Transition)
ZCS	Conmutación a corriente cero (Zero Current Switching)
ZVS	Conmutación a voltaje cero (Zero Voltage Switching)

## Introducción

La evolución de la electrónica de potencia desde sus inicios en 1900 [18] aunado al desarrollo de nuevas tecnologías han permitido a esta rama de la ingeniería eléctrica incursionar en nuevas y diversas aplicaciones que van desde un simple control de iluminación, hasta sistemas de alto voltaje en corriente directa (HVDC).

La electrónica de potencia es el control y conversión de energía de una fuente hacia una carga. Se basa en la conmutación de dispositivos semiconductores de potencia. Para lograr esto se apoya en diferentes ramas de la ingeniería eléctrica como lo son la electrónica, las teorías de circuitos y electromagnética, entre otras.

La conversión de energía eléctrica de un tipo a otra se realiza por medio de circuitos de potencia denominados convertidores, entre los cuales se pueden destacar los siguientes:

Convertidores CA-CD, rectificadores Convertidores CA-CA, controladores de voltaje, Convertidores CD-CD y Convertidores CD-CA, inversores.

Cada uno de los convertidores anteriores transforma la energía de entrada, a una energía diferente a la salida. Para cada convertidor existen múltiples topologías y estrategias de control.

Los inversores son circuitos que permiten convertir una señal de CD a una de CA a la salida. Existen diferentes tipos de inversores y todos ellos persiguen el mismo fin, que es generar una señal de CA a partir de una fuente de CD, para ello se auxilian de diferentes topologías y estrategias de control que con el paso del tiempo han estado en constante evolución, creando nuevas técnicas que repercuten directamente en el comportamiento del circuito inversor.

Los inversores multinivel son un nuevo tipo de inversor, que en un principio se utilizaban para manejar valores muy altos de voltaje y de corriente, y entre sus aplicaciones estaba el control de motores. Debido a sus características en comparación con los inversores convencionales hacen que sea de interés el seguir

---

buscando la manera de mejorar su comportamiento para poder generar una mejor señal de salida. Estas características han hecho que se lleven a cabo diversas investigaciones para buscar nuevas maneras de mejorar éstas, así mismo en diferentes universidades han realizado trabajos a cerca de este tipo de inversores en donde se pone de manifiesto el interés por aplicarlos a un nivel más cercano a las actividades cotidianas y no solamente para usos industriales.

Los inversores son utilizados para diferentes aplicaciones. Una de las más notorias en la generación de electricidad por medio de energías renovables [17], [18] como la eólica y la fotovoltaica. Esta aplicación es cada vez más utilizada ya que hay lugares en donde no cuentan con suministro de energía eléctrica y este tipo de generación podría ser parte de la solución para que mayor de la población pueda tener acceso a este servicio.

## 1.1 Objetivos

- Diseñar un inversor CD-CA de 5 niveles.
- Implementación del inversor multinivel basado en la topología propuesta por G. Ceglia y V. Guzmán, que consiste en la utilización de un número menor de dispositivos de conmutación, integrando la técnica de semiciclos segmentados, para validar su funcionamiento.
- Integración de la técnica ZCZVT para la reducción de pérdidas por conmutación.

---

## 1.2 Justificación

Los inversores multinivel, en sus diferentes topologías, están compuestos por una serie de dispositivos de conmutación que trabajan en etapas, durante un periodo de tiempo, para convertir una señal de CD a una de AC con valores específicos como voltaje, frecuencia y distorsión armónica, entre otros. Durante el funcionamiento del inversor, los dispositivos que actúan como conmutadores presentan pérdidas durante su activación, conducción y el apagado. Para minimizar la potencia disipada durante las etapas anteriores, se hace uso de diferentes circuitos que ayudan a que las pérdidas sean reducidas.

Los inversores multinivel representan una oportunidad para intervenir en este campo, estudiar su comportamiento y la manera en que se puede mejorar su rendimiento, aportando nuevas ideas en cuanto a su construcción y la implementación de circuitos auxiliares que en conjunto permitan disminuir pérdidas por conmutación. De igual manera es necesario estudiar las bondades que tienen estos inversores con respecto a los convencionales y las diversas aplicaciones en las que se puede hacer uso de esta tecnología.

## 1.3 Metodología

- Estudio bibliográfico sobre inversores multinivel. Búsqueda de información en artículos y tesis desarrollados a nivel nacional e internacional. Tipos y características para la evaluación de ventajas y desventajas que proporcionan unos sobre otros.
- Diseño del inversor propuesto, con la implementación de la técnica de semiciclos segmentados y la técnica ZCZVT.
- Selección de dispositivos a utilizar que cuenten con la capacidad de manejo de valores apropiados para las características del inversor multinivel a diseñar.
- Selección del dispositivo a utilizar para la generación de las señales de control para el inversor.

- 
- Realización de los cálculos necesarios para la obtención de los parámetros especificados en el diseño del inversor multinivel.
  - Construcción del prototipo y la realización de pruebas experimentales agregando la técnica de semiciclos segmentados y la técnica ZCZVT para poder validar su funcionamiento y reportar resultados.

#### 1.4 Organización del trabajo de tesis

Este trabajo de tesis se encuentra dividido en 5 capítulos. En el 2 se hace una revisión bibliográfica en cuanto a nuevas propuestas de topologías para inversores multinivel. El capítulo 3 se enfoca a la teoría de los inversores y los esquemas de control para los mismos, el diseño del inversor propuesto se aborda en el capítulo 4 y en el 5 se describen las pruebas y se exponen los resultados obtenidos.

### Antecedentes

Los inversores multinivel se han hecho cada vez más populares en el ámbito de la conversión de energía, ya que presentan muchas bondades con respecto a las topologías existentes; como la reducción de la distorsión armónica total (THD) y menores pérdidas en los dispositivos utilizados como conmutadores, entre otras. Para aumentar esas características de desempeño, el número de niveles de estos inversores se debe de incrementar, pero al hacer esto aumenta la complejidad para llevar a cabo su construcción. De igual manera la estrategia de control se va haciendo más compleja. Diodos y capacitores enclavados, en cascada (simétricos y asimétricos) son los inversores básicos que se pueden implementar para un determinado número de niveles requeridos.

#### 2.1 Topologías que reducen la cantidad de dispositivos de conmutación

En [2] Ceglia y Guzmán proponen una nueva topología para la construcción de un inversor de 5 niveles monofásico. Esta propuesta tiene como beneficio el uso de un número menor de dispositivos semiconductores utilizados como interruptores. Esta topología propone el uso de un puente H, más un nuevo puente auxiliar bidireccional, ver figura 1. También se presenta la estrategia de control para el encendido de los interruptores. Esto se ha hecho con el desarrollo de un modulador delta-sigma programado en un FPGA. Los resultados obtenidos son como se esperaba en las simulaciones, se ha obtenido a la salida una señal de AC con 5 diferentes niveles de tensión y con 5 interruptores, comparado con un inversor de fuentes independientes en donde se utilizan 8.

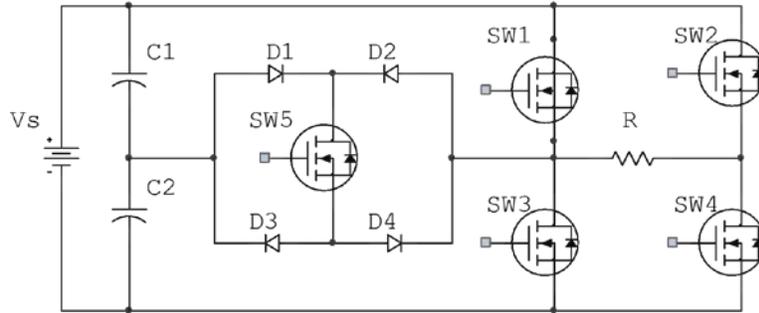


Figura 1. Topología presentada por Gerardo Ceglia y Víctor Guzmán en [2]

En [13] Murugesan y Sivaranjani proponen una nueva topología de 7 niveles utilizando solo 8 interruptores, ver figura 2, para ser utilizada en un motor BLCD (*Brushless Current Direct Motor*) trifásico. Esta investigación presenta solo el diseño de un inversor monofásico que se puede interconectar para hacer un sistema trifásico. Los objetivos logrados con esta nueva topología son reducir el número de interruptores utilizados y la THD.

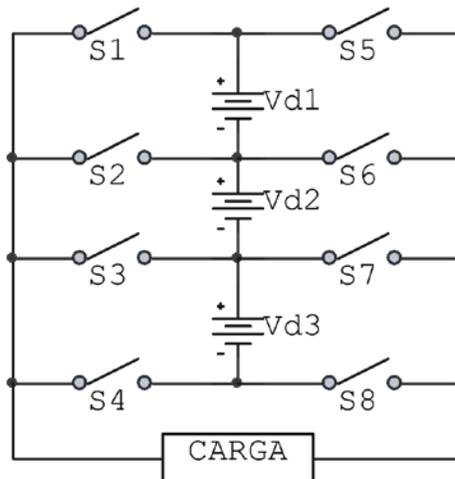


Figura 2. Topología en cascada modificada para el inversor multinivel propuesto en [13]

En [11] Kirubakaran y Vijayakumar proponen el diseño de un inversor de 7 niveles en cascada con menor número de interruptores que los inversores convencionales.

En esta nueva topología, ver figura 3, se integra un bloque básico multinivel, que tiene una fuente de CD. Se utilizan 3 bloques que se conectan en paralelo con un puente H para hacer la estructura para los 7 niveles, de esta manera, de 12 interruptores solo se utilizarán 9. Hicieron simulaciones en Matlab/Simulink, en

donde se utilizaron diferentes técnicas de modulación PWM basadas en multiportadoras y se observó que la THD resultaba menor con este tipo de modulación. Se realizaron pruebas experimentales en donde se utilizó LabVIEW para la generación de las secuencias de encendido y apagado y se corroboró lo que las simulaciones habían mostrado.

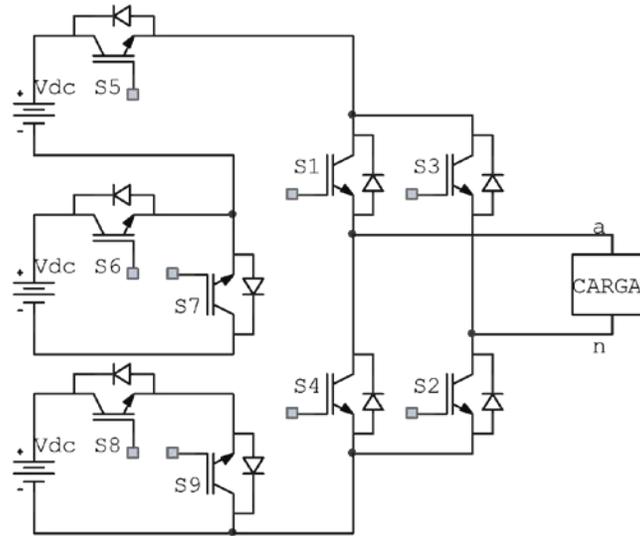


Figura 3. Topología propuesta en [11] para un inversor multinivel de 7 niveles

En [6] Gautam y Gupta, presentan una nueva topología de un inversor de 9 niveles. La estrategia de control utilizada para este inversor es una modulación por ancho de pulso con multiportadoras, ver figura 4. Utiliza 3 diferentes fuentes de tensión y un número menor de dispositivos de conmutación, en comparación con los inversores en cascada con fuentes asimétricas. Se hicieron simulaciones con Simulink/Matlab obteniéndose los 9 niveles esperados al igual que los valores de THD para corriente y voltaje.

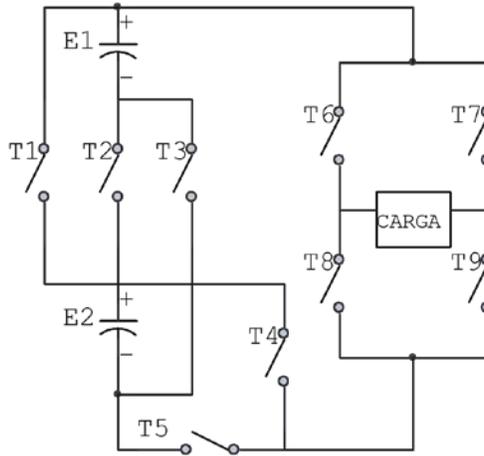


Figura 4. Topología propuesta para generar 9 diferentes niveles propuesta en [6]

En [12] Beigi y Azali, presentan un inversor de 9 niveles buscando también una menor THD a la salida, menores pérdidas y una técnica de control más fácil, ver figura 5. Este se encuentra dividido en dos inversores conectados en serie, el primero es uno de 5 niveles, mientras que el segundo es solo de dos. La estrategia de control es una modulación PWM con una moduladora y 4 portadoras que permiten la generación de las secuencias de disparo para los interruptores. Con esta topología se puede construir un inversor de 9 niveles con un número menor de interruptores comparado con el inversor en cascada. Los resultados de las simulaciones muestran que la THD resultó menor, como se esperaba, y que los dispositivos se encuentran sujetos a variaciones de voltajes menores.

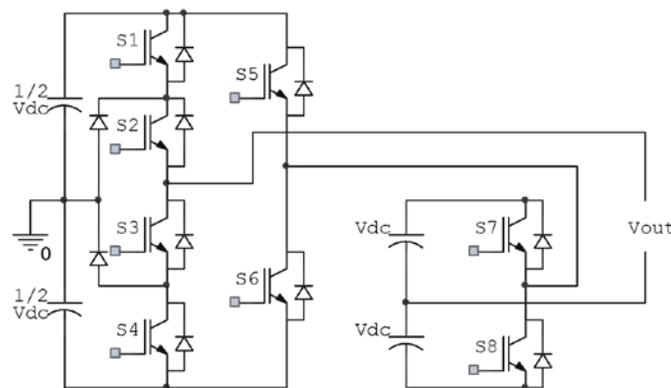


Figura 5. Estructura propuesta por [12] para el inversor de 9 niveles

En [10] Mohamad propone un nuevo inversor en cascada que permite generar hasta 41 niveles de tensión con un número reducido de interruptores, figura 6. Se hace una comparación entre nuevas propuestas en donde se aprecia el número de interruptores necesarios para la generación del mismo número de niveles y se hace evidente que ésta propuesta utiliza una cantidad menor. Para la generación de los 41 niveles posibles, el autor hace hincapié en que solo es necesario tener 3 interruptores activados en cualquier instante de tiempo para generar uno de los niveles posibles. Con la simulación y los resultados experimentales se hace referencia a la menor THD generada, así como menores pérdidas de potencia y un menor calentamiento del circuito.

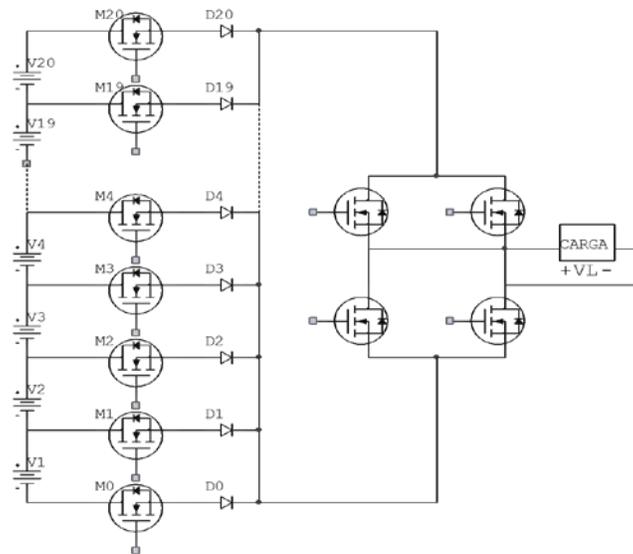


Figura 6. Nueva topología para los inversores multinivel en cascada [10]

En [14] Nilkar y Babaei proponen una estructura general de inversor multinivel, figura 7. Ésta se compone de un bloque básico para generar 4 niveles de voltaje que está formado por dos diferentes fuentes de tensión y 3 interruptores. Para la generación de los niveles de tensión negativos, se auxilia de un puente H, la conexión en cascada de varias estructuras básicas resulta en un número mayor de niveles a la salida. Con esta topología se simuló la conexión de dos módulos básicos más un puente H, logrando con esto un inversor monofásico de 21 niveles con un número significativamente menor de interruptores.

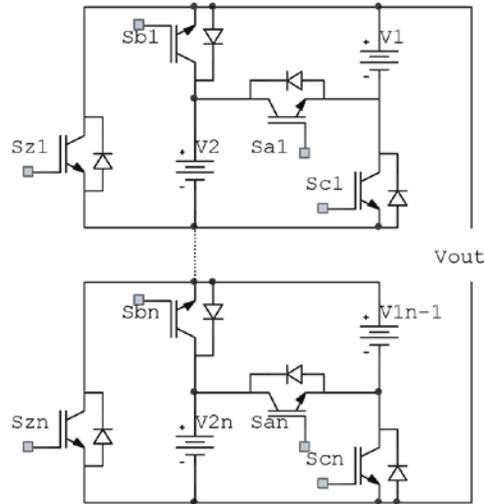


Figura 7. Topología propuesta para inversores multinivel en cascada [14]

En [21] Umashankar y Sreedevi hacen una comparativa entre diferentes topologías para la elaboración de un inversor multinivel de 7 niveles. Proponen una nueva topología, ver figura 8, que utiliza solo 5 dispositivos de conmutación obteniendo un diseño más sencillo. Para la generación de las señales de control de los 5 dispositivos se utilizaron 3 técnicas de modulación PWM: disposición de fase, oposición de fase y oposición de fase alternativa. Las simulaciones hechas en Matlab/Simulink mostraron que de las tres técnicas de modulación, la técnica de oposición por disposición de fase fue la que mostró los mejores resultados para esta propuesta.

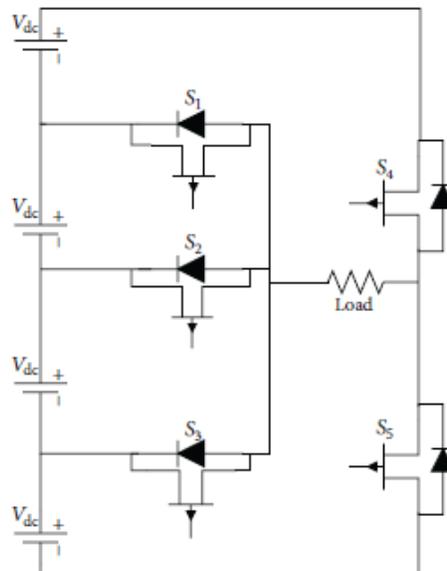


Figura 8. Inversor de 7 niveles propuesto en [21]

En [22] Thombre y Rawat, proponen una topología, ver figura 9, para la construcción de un inversor de 21 niveles con un número menor de dispositivos de conmutación. Para la generación de las señales de control se utilizaron diferentes técnicas como modulación por disposición de fase, oposición a disposición de fase alternativa y oposición a disposición de fase. Se hicieron simulaciones en Matlab/Simulink en donde se probaron las diferentes técnicas de modulación obteniendo a la salida una señal de AC con 21 diferentes niveles mostrando que la técnica de modulación disposición de fase mostraba la menor distorsión armónica.

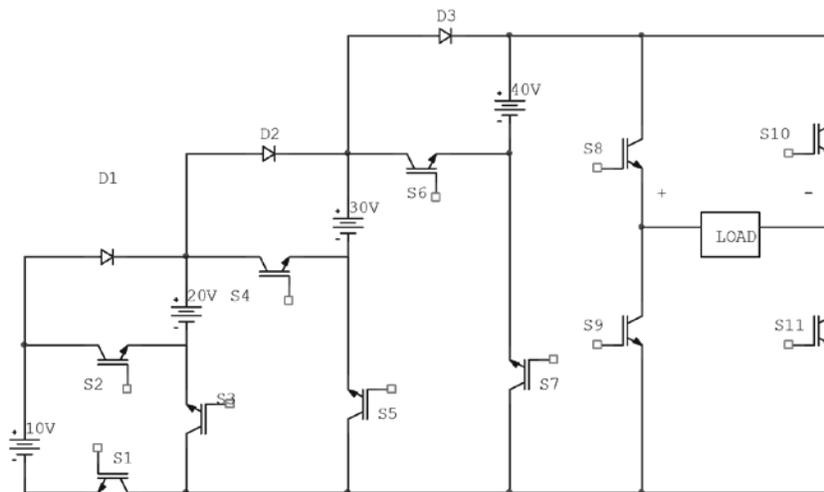


Figura 9. Topología propuesta en 22 para el inversor de 21 niveles

En [23] Manjunatha y Anand, se estudia la manera de evitar la desventaja que presentan los inversores multinivel en cuanto al número elevado de dispositivos de conmutación, como de baterías necesarias para sintetizar una onda senoidal en un inversor de un alto número de niveles. Se hace una comparativa sobre los inversores multinivel en cascada y los componentes necesarios para construir uno de 7 niveles. Se hace la propuesta, ver figura 10, en donde se utilizan dos estructuras conocidas. Utiliza dos inversores de medio puente y uno de puente completo. Se utiliza una técnica PWM para generar las secuencias de encendido y apagado de cada dispositivo, se hacen simulaciones en MATLAB y se valida el funcionamiento de la propuesta. En esta publicación se propuso una nueva topología para inversores multinivel que utiliza una menor cantidad de dispositivos de conmutación.

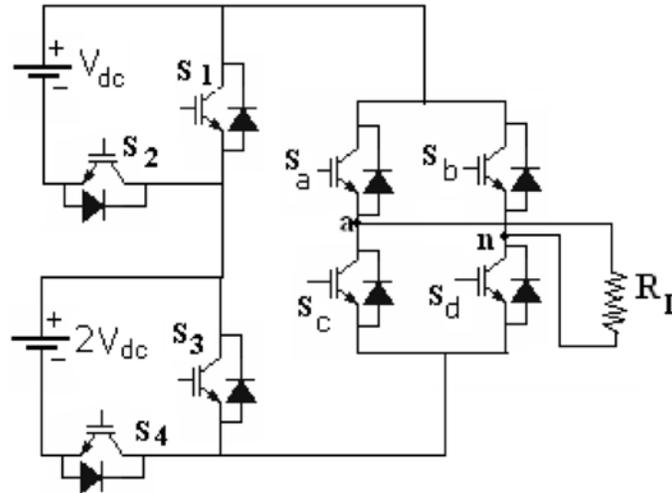


Figura 10. Inversor multinivel propuesto en [23]

## 2.2 Aplicaciones para los inversores multinivel

Algunas de las publicaciones en cuanto al diseño de nuevas topologías de inversores multinivel, además de buscar aumentar el número de niveles con el menor número de interruptores posibles y mejorar el rendimiento, buscan incluir como fuente primaria energías renovables.

En los inversores multinivel se requiere más de una fuente de tensión de CD. En [16] se hace una propuesta de topología para un inversor de 25 niveles utilizando dos módulos conectados en serie muy similares a [2], ver figura 11, que a su vez son alimentados por dos fuentes de tensión cada uno. En esta publicación además de tener buenos resultados en simulaciones con la obtención de 25 niveles y un contenido menor de THD, se hace la propuesta de cambiar las fuentes de tensión por módulos fotovoltaicos que proporcionen la energía necesaria para su conversión. En [9] se hace mención de la gran demanda de fuentes de energía renovables y se propone también la utilización de módulos fotovoltaicos. Se propone un inversor trifásico interconectado a módulos solares que en simulaciones y resultados experimentales han demostrado tener una eficiencia de hasta un 97.33%.

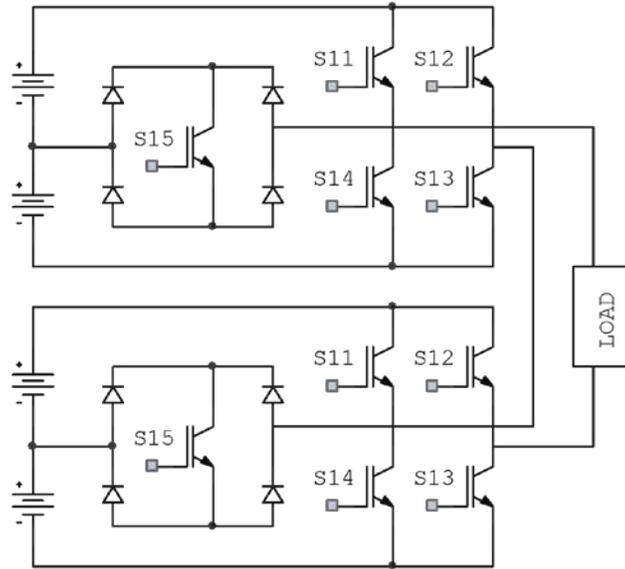


Figura 11. Topología para un inversor multinivel de 25 niveles propuesto en [16]

En [1] y [5] se proponen nuevas topologías para inversores multinivel, trifásicos en donde al igual que otras investigaciones se busca que los valores de THD disminuyan y que el número de interruptores utilizados sea menor, ver figura 12.

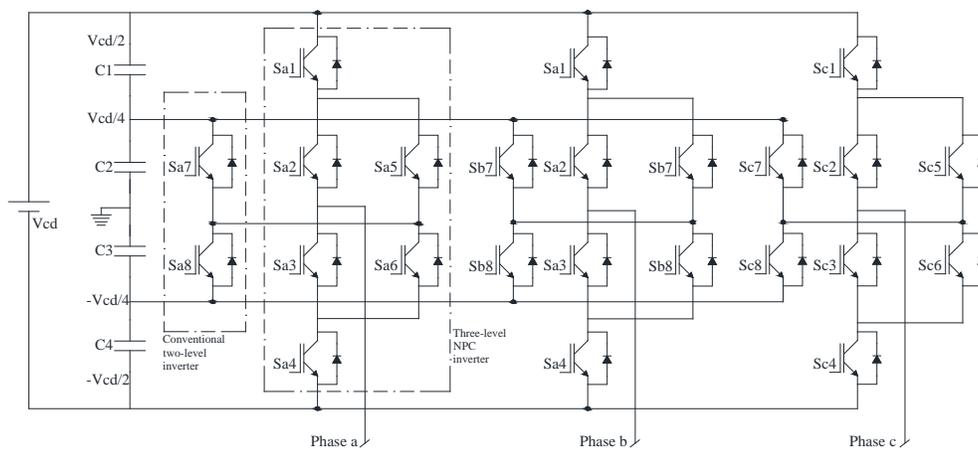


Figura 12. Configuración trifásica para in inversor multinivel de 4 niveles, propuesta hecha en [1]

## Marco teórico

### 3.1 Generalidades de los Inversores

Los inversores son circuitos que transforman la corriente directa en corriente alterna. Su objetivo es generar una señal, monofásica o trifásica de valores específicos, a partir de una fuente de CD. Utilizan diferentes dispositivos semiconductores de potencia que trabajan en las zonas de saturación o corte para hacer la conmutación que a su vez permite la generación de la señal de AC a la salida.

#### 3.1.1 Inversor monofásico de medio puente

La estructura más básica es el inversor monofásico de medio puente, ver figura 13. Está constituido por una fuente de voltaje  $V_s$ , dos capacitores  $C1$ ,  $C2$  para dividir la tensión de la fuente, dos dispositivos de conmutación  $SW1$ ,  $SW2$  y una carga  $R$ . El principio de operación para este inversor es que los dispositivos de conmutación deben encender o apagar en secuencia, nunca ambos al mismo tiempo. Cuando  $SW1$  se activa  $V_o = -V_s/2$  y cuando  $SW2$  se activa  $V_o = V_s/2$ .

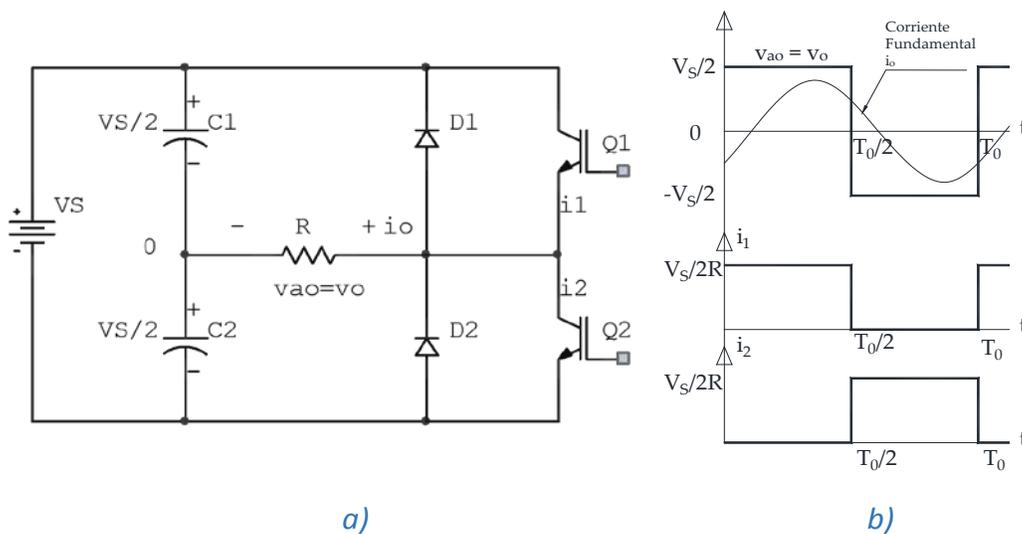


Figura 13. a) Estructura del inversor monofásico de medio puente, b) Generación del nivel  $V_s/2$ , c) Generación del nivel  $-V_s/2$

---

El voltaje de salida para el inversor monofásico de medio puente está calculado por:

$$V_o = \left( \frac{2}{T_0} \int_0^{T_0/2} \frac{V_s^2}{4} dt \right)^2 = \frac{V_{cd}}{2} \quad (3.1)$$

El voltaje instantáneo de salida se puede expresar en una serie de Fourier como:

$$v_o = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_s}{n\pi} \text{sen}\omega t \quad (3.2)$$

Donde  $\omega = 2\pi f_0$  es la frecuencia del voltaje de salida en radianes/s.

### 3.1.2 Inversor monofásico de puente completo

El inversor de puente completo, o también llamado puente H, figura 14, está compuesto por una fuente de CD ( $V_s$ ), 4 dispositivos de conmutación  $SW1-SW4$ , y una carga  $R$ . El principio de funcionamiento para este inversor está basado en el encendido de un par de dispositivos ( $SW1$  y  $SW4$ ) y el apagado del otro par de dispositivos ( $SW2$  y  $SW3$ ) durante un primer instante de tiempo; lo que hace que en la resistencia de carga se presente una diferencia de potencial con el valor de  $V_s$ . En otro instante de tiempo los dispositivos que estaban encendidos se apagan y viceversa, logrando que en la resistencia de carga se presente una diferencia de potencial con la magnitud de  $V_s$ , pero de signo negativo. En un tercer instante de tiempo, en la resistencia se presentaría una diferencia de potencial igual a cero cuando se enciendan al mismo tiempo los dispositivos  $SW1$  y  $SW2$  o  $SW3$  y  $SW4$ .

De acuerdo a lo que se resume que el inversor monofásico de puente completo puede generar 3 diferentes tensiones a la salida que son  $V_s$ ,  $0$  y  $-V_s$ , que hacen de este el inversor multinivel de 3 niveles.

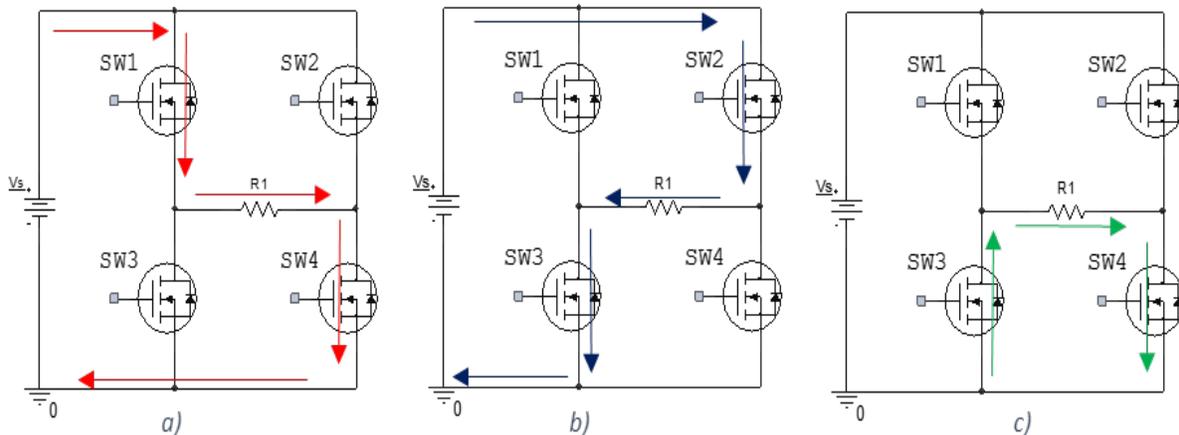


Figura 14. Estructura del inversor monofásico en puente completo o puente H, a) Generación del nivel de tensión  $V_s$ , b) Generación del nivel de tensión  $-V_s$ , c) Generación del nivel de tensión  $0$

El voltaje de salida para el inversor monofásico de medio puente está calculado por:

$$V_o = \left( \frac{2}{T_0} \int_0^{T_0/2} V_s^2 \right)^{1/2} = V_{cd} \quad (3.3)$$

El voltaje instantáneo a la salida se puede expresar en una serie de Fourier como:

$$v_o = \sum_{n=1,3,5,\dots}^{\infty} \frac{4V_s}{n\pi} \text{sen}n\omega t \quad (3.4)$$

### 3.1.3 Inversores multinivel

Se caracterizan por sintetizar varios niveles de voltaje de DC en una sola una señal de AC, parecida a una señal senoidal a la salida. Mientras más niveles tenga el inversor, más se parece la señal de salida es a una senoidal.

---

Los inversores multinivel ofrecen varias ventajas entre las que podemos destacar las siguientes:

- Menor contenido armónico a la salida.
- Bajas pérdidas de conmutación
- Operación a bajas frecuencias de conmutación
- Distribución de tensiones en los dispositivos de conmutación
- Filtrado más sencillo, ya que la salida está formada por niveles de tensión

En cuanto a las desventajas que presentan los inversores multinivel podemos mencionar las siguientes:

- -Entre mayor número de niveles, mayor número de componentes activos
- -Mayor complejidad en la construcción y en la técnica de conmutación.

A medida que aumenta el número de niveles también aumenta el voltaje que puede suministrarse; sumando múltiples niveles.

### 3.2 El concepto multinivel

El concepto multinivel se refiere a la cantidad de niveles de CD que se pueden generar a partir de una fuente de CD, por medio de la interconexión en serie de capacitores, formando un tanque de energía para el inversor, ver figura 15. Cada capacitor tiene el mismo voltaje  $E_m$  que se encuentra definido por la siguiente formula, en donde  $m$  es igual al número de niveles deseado:

$$E_m = \frac{V_{cd}}{m - 1} \quad (3.5)$$

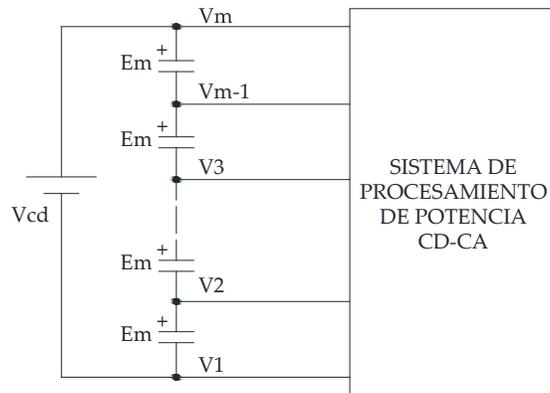


Figura 15. Concepto multinivel

### 3.3 Tipos de inversor multinivel

#### 3.3.1 Inversor multinivel de diodos enclavados

Este tipo de inversor genera una onda senoidal, a partir de varios niveles de tensión obtenidos de la conexión en serie de capacitores a la entrada del bus de CD. Los capacitores se utilizan para dividir la tensión para que los dispositivos de potencia operen a una tensión menor.

Este inversor utiliza  $(m-1)$  capacitores, donde  $m$  representa el número de niveles. Los diodos necesarios para la implementación de este tipo de inversor son  $(m-1)(m-2)/2$  y el número de interruptores necesarios es  $2(m-1)$ , ver figura 16.

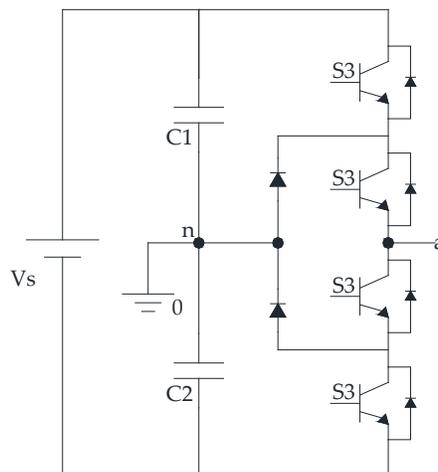


Figura 16. Inversor multinivel monofásico de diodos enclavados

### 3.3.2 Inversor multinivel de capacitores enclavados

Este inversor es muy parecido al mencionado anteriormente, utiliza  $(m-1)$  capacitores para dividir la tensión del bus de CD. Utiliza capacitores en lugar de diodos para establecer los niveles de tensión, ver figura 17.

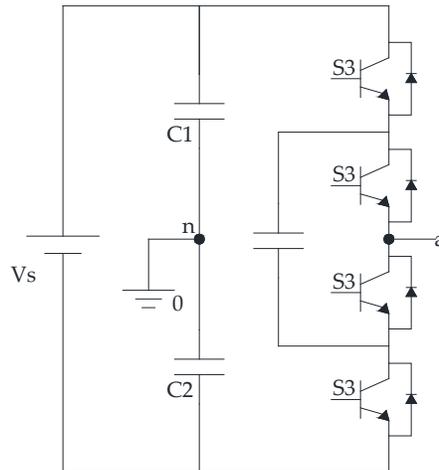


Figura 17. Inversor multinivel monofásico de capacitores enclavados

### 3.3.3 Inversor multinivel en cascada con fuentes independientes

Está formado por la conexión en serie de varios inversores monofásicos de 3 niveles con fuentes independientes, ver figura 18. La salida es la suma de las tensiones de cada inversor.

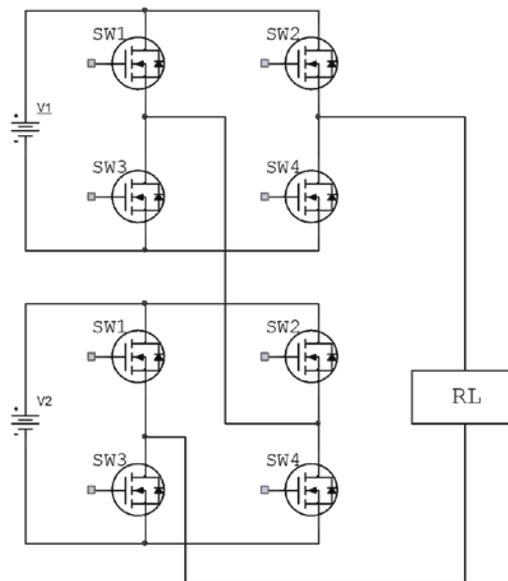


Figura 18. Inversor multinivel monofásico en cascada con fuentes independientes

---

### 3.4 Parámetros de los inversores

La calidad de un convertidor de potencia se aprecia por las formas de onda de corriente y voltaje a la salida [25].

#### 3.4.1 Distorsión armónica

La distorsión armónica total (THD de las siglas *Total Harmonic Distorsion*) está definida como la cantidad de armónicas presentes en la salida de cualquier convertidor de potencia, en este caso el inversor. La distorsión armónica es la tasa del contenido armónico con respecto a la componente fundamental de la misma señal. Es un parámetro de distorsión de la señal de salida. Matemáticamente se expresa de la siguiente manera:

$$THD = \frac{(\sqrt{\sum_{n=2}^{\infty} V_n^2})}{V_o} \quad (3.6)$$

Donde:

$V_n$  = Magnitud de la componente individual de voltaje

$V_o$  = Magnitud de la componente fundamental

Debido a que los inversores están basados en la conmutación de dispositivos semiconductores de potencia, éstos en consecuencia, introducen armónicas de corriente y voltaje a la salida del sistema. En caso de ser necesario se suele colocar filtros a la entrada y salida del sistema para minimizar el contenido armónico.

#### 3.4.2 Pérdidas

Las pérdidas en los inversores se encuentran directamente asociadas con los dispositivos semiconductores de potencia utilizados como conmutadores. Las pérdidas por conmutación se presentan cuando se enciende y apaga el dispositivo. Idealmente éstos encienden y apagan instantáneamente, pero los dispositivos reales

presentan un tiempo de retraso. En la figura 19 se puede apreciar el comportamiento de la corriente y el voltaje con respecto a la señal de activación del dispositivo de conmutación.

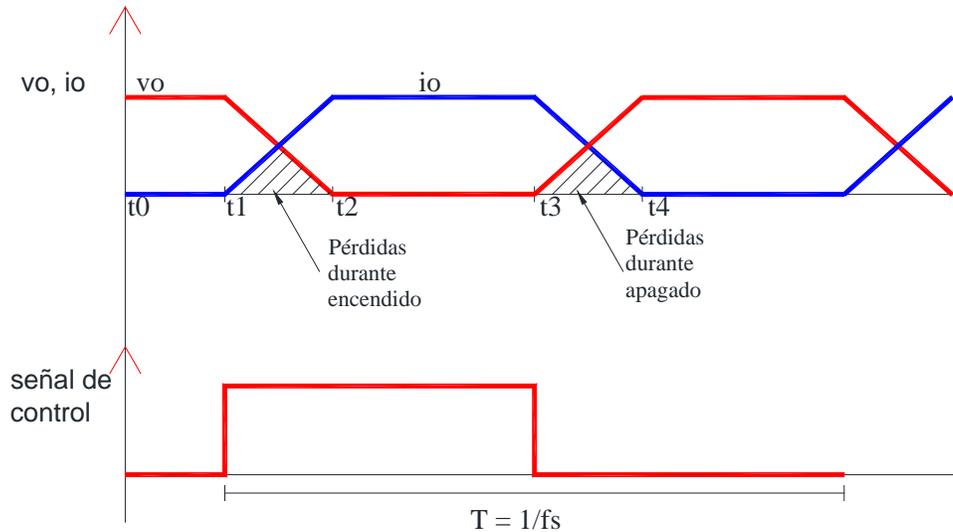


Figura 19. Diagrama de pérdidas con respecto a la activación del interruptor

Como se aprecia en la figura 19, del tiempo  $t_0$  a tiempo  $t_1$  el dispositivo permanece apagado y la tensión en sus terminales, drenaje y fuente, es  $v_o$ . En el tiempo  $t_1$  a  $t_2$  el dispositivo se enciende haciendo que la tensión disminuya y la corriente aumente hasta el valor máximo  $i_o$ , en este intervalo de tiempo hay una pérdida de potencia al encendido, que se puede expresar de la siguiente manera:

$$P_{encendido} = \int_{t_1}^{t_2} v_i dt = \frac{1}{6} i_o v_o \frac{(t_2 - t_1)}{T} \quad (3.7)$$

Del tiempo  $t_3$  a  $t_4$  el dispositivo se apaga, haciendo que la corriente disminuya hasta un valor casi cero y el voltaje entre sus terminales vaya aumentando hasta alcanzar el valor máximo. La potencia durante el apagado del dispositivo se puede expresar como:

$$P_{apagado} = \int_{t3}^{t4} vi dt = \frac{1}{6} i_o v_o \frac{(t4 - t3)}{T} \quad (3.8)$$

Las pérdidas por conducción se presentan cuando a través del dispositivo (en este caso el MOSFET) circula una corriente entre las terminales drenaje (D) y fuente (S) y el voltaje  $V_{DS}$  es casi cero. Cuando el dispositivo de conmutación conduce, el parámetro a considerar el valor de su resistencia dinámica en estado de conducción  $R_{DS\_ON}$ .

Las pérdidas por conducción se pueden calcular como:

$$P_{conducción} = R_{DS\_ON} I^2 \quad (3.9)$$

Las pérdidas por conmutación en estos dispositivos se pueden disminuir con la colocación de algunos circuitos que auxilien durante la conmutación como los ZCS (*Zero Current Switching*) y los ZVS (*Zero Voltage Switching*). Las pérdidas por conmutación se pueden calcular como:

$$P_{SW} = (P_{encendido} + P_{apagado}) f_{sw} \quad (3.10)$$

Donde  $f_{sw}$  es la frecuencia de conmutación

La distorsión armónica total y las pérdidas en los dispositivos de conmutación son dos parámetros importantes para el desempeño del inversor a construir y existen maneras de disminuir esos dos parámetros y hacer más eficiente el inversor.

### 3.5 Inversores de pulso resonante.

Los dispositivos de conmutación utilizados en los convertidores de potencia controlados con modulación por ancho de pulso (PWM), están sometidos a un alto esfuerzo dieléctrico, las pérdidas de potencia por conmutación en un dispositivo aumentan en forma lineal con la frecuencia de conmutación [25]. Para minimizar las desventajas del control PWM en los convertidores de potencia los dispositivos se pueden encender o apagar cuando el voltaje o la corriente a través de ellos es cero.

---

Para hacer esto, se crea un circuito LC resonante que se puede clasificar en los siguientes tipos:

### 3.5.1 Inversores resonantes en serie

Este tipo de inversor se basa en la oscilación resonante de la corriente. En este circuito los componentes resonantes y el dispositivo de conmutación se conectan en serie con la carga, ver figura 21. La corriente que pasa a través de los dispositivos de conmutación baja a cero debido a las características naturales del circuito.

En los inversores resonantes con interruptores unidireccionales los dispositivos de conmutación se deben activar cada medio ciclo del voltaje de salida, lo que limita la frecuencia del inversor y la cantidad de transferencia de energía de la fuente a la carga. Además de que los dispositivos son sometidos a altos voltajes pico en sentido inverso.

El rendimiento de los inversores en serie se puede mejorar de manera más apreciable al conectar un diodo en anti paralelo con el dispositivo de conmutación, ver figura 20. Cuando se enciende el dispositivo de conmutación, pasa a través de él un pulso resonante de corriente, sin embargo, la oscilación resonante continúa a través del diodo hasta que la corriente baja de nuevo a cero al final de un ciclo.

Si el tiempo de conducción del diodo es mayor que el de desactivación del dispositivo de conmutación, no hay necesidad de tiempo muerto y la frecuencia de salida es la misma que la de resonancia.

$$f_0 = f_r = \frac{\omega_r}{2\pi} \quad (3.11)$$

Donde:

$f_r$  es la frecuencia de resonancia del circuito serie en Hertz.

$\omega_r$  es la frecuencia de resonancia en rad/s

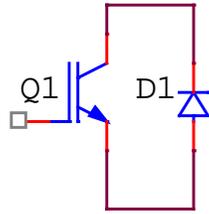


Figura 20. Interruptor bidireccional

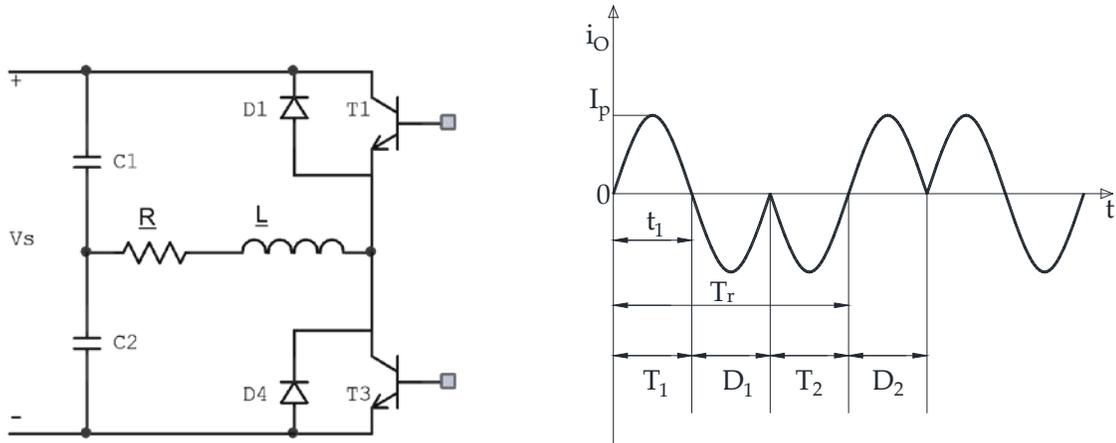


Figura 21. Inversor serie de medio puente con interruptores bidireccionales

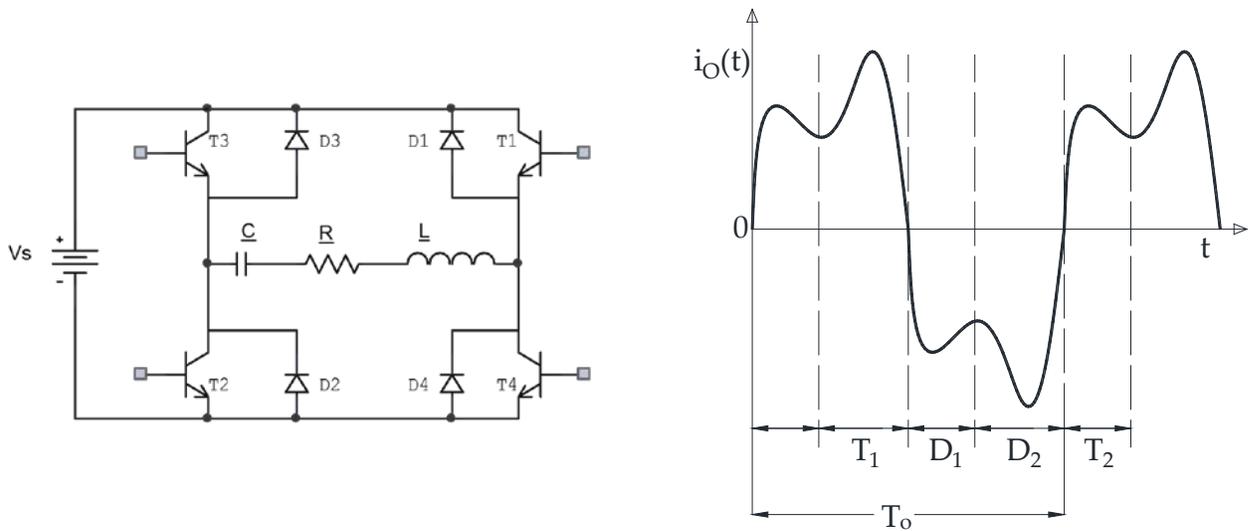


Figura 22. Inversor serie de puente completo con interruptores bidireccionales

### 3.5.2 Inversores resonantes en paralelo

Este tipo dispositivo es lo contrario al resonante en serie. Se alimenta con una fuente de corriente para que el circuito ofrezca una alta impedancia de conmutación. En la figura 23 se muestra un circuito resonante en paralelo. Cuando se suman las corrientes R, L y C se obtiene:

$$C \frac{dv}{dt} + \frac{v}{R} + \frac{1}{L} \int v dt = I_s \quad (3.12)$$

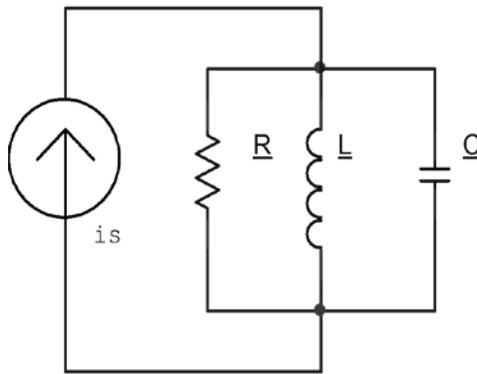


Figura 23. Circuito resonante en paralelo

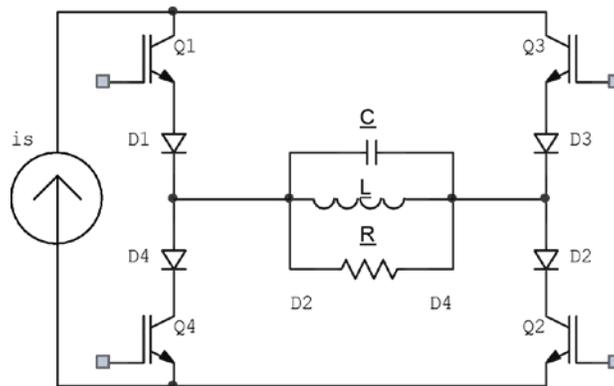


Figura 24. Inversor de puente completo utilizando un circuito resonante en paralelo

### 3.5.3 Convertidores resonantes por conmutación a corriente cero ZCS (*Zero Current Switching*)

En este tipo de convertidor los interruptores utilizados se activan y desactivan por corriente cero. El circuito resonante consiste en el interruptor  $Sw$ , en el inductor  $L$  y el capacitor  $C$ . El inductor se conecta en serie con un interruptor de potencia para lograr el cruce por cero de corriente. Puede haber dos tipos de circuito tipo L y tipo M, ver figura 25, en ambos casos el inductor  $L$  limita la tasa  $dv/dt$  de la corriente en el interruptor y  $L$  y  $C$  forman un circuito resonante serie.

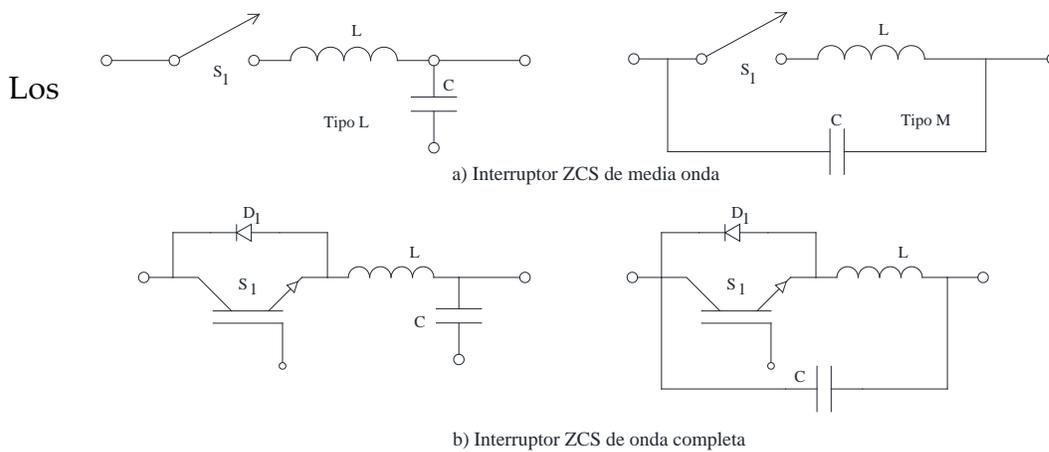


Figura 25. Configuraciones de interruptor para convertidores resonantes ZCS

interruptores se pueden implementar en configuración de onda completa en donde la corriente en el interruptor puede pasar de forma bidireccional.

Un interruptor a corriente cero (ZCS) moldea la forma de la onda de corriente de conmutación durante su tiempo de conducción [25].

Los convertidores ZCS pueden eliminar las pérdidas por conmutación en la desactivación y reducir éstas durante la activación. Cuando se utilizan MOSFET como ZCS la energía almacenada en la capacitancia interna del dispositivo se disipa durante la activación, esta pérdida capacitiva es proporcional a la frecuencia de conmutación. Una de las limitaciones es que los interruptores se encuentran bajo un gran esfuerzo por alta corriente, lo que resulta en una mayor pérdida por conducción. Debido a la naturaleza del tanque de resonancia y de la ZCS, la corriente pico de conmutación es mayor que en una onda cuadrada y además se establece un

voltaje grande a través del interruptor cuando éste se encuentra desactivado, después de la oscilación resonante. Cuando el interruptor se vuelve a activar, la energía almacenada en el capacitor de salida se descarga a través del interruptor ocasionando una gran pérdida de potencia a altas frecuencias y a grandes voltajes. Ésta pérdida por conmutación se puede minimizar con la utilización de convertidores resonantes a voltaje cero (ZVS) que se mencionan a continuación.

### 3.5.4 Convertidores resonantes por conmutación a voltaje cero ZVS (*Zero Voltage Switching*)

Para este tipo de convertidores los interruptores se activan y desactivan a voltaje cero. En la figura 26 se aprecia el circuito resonante ZVS en donde el capacitor  $C$  se conecta en paralelo con el interruptor  $S_1$  para lograr el cruce por cero de voltaje. La capacitancia interna del interruptor ( $C_j$ ), se suma a la del capacitor  $C$ , y afecta solo a la frecuencia de resonancia y con ello contribuye a no disipar potencia en el interruptor. Cuando se conecta un diodo  $D_1$  en serie con  $S_1$  como se muestra en la figura 26 b), el voltaje a través del  $C$  puede oscilar libremente y el interruptor opera en configuración de onda completa.

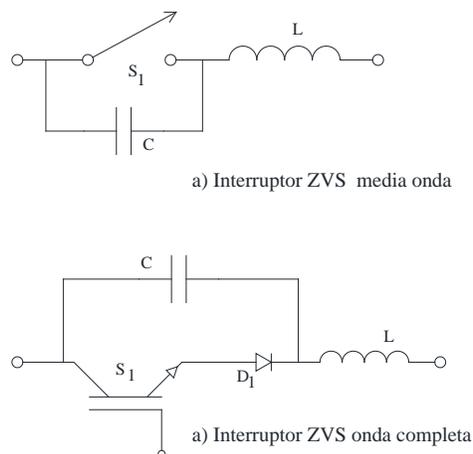


Figura 26. Convertidor resonante ZVS

---

Un interruptor con voltaje cero moldea la forma de onda de voltaje de conmutación durante el tiempo de apagado, para crear la condición de voltaje cero para que el interruptor se active [25].

Los ZVS minimizan la pérdida capacitiva por activación y son adecuados para la operación en alta frecuencia. Estos son fijadores de voltaje, ya que los interruptores pueden estar sometidos a demasiado esfuerzo dieléctrico, que está en función de la carga.

### 3.9 Dispositivos semiconductores de potencia

Los dispositivos semiconductores utilizados en los diferentes tipos de convertidores han evolucionado de diferentes maneras, desde su presentación física, hasta las propiedades eléctricas que poseen.

Con el fin de centrarse en el comportamiento del convertidor, y facilitar el análisis, se consideran los dispositivos semiconductores de potencia como interruptores ideales, razón por la cual se toman como corto circuito en estado de conducción y circuito abierto cuando no conducen [28] [25]. Los dispositivos semiconductores se clasifican en 3 grupos:

#### 3.9.1 Diodos

Un diodo es un dispositivo semiconductor que tiene dos terminales: el ánodo y el cátodo, es el interruptor más simple (ver figura 27). Su estado de conducción depende de que exista un voltaje mayor en el ánodo con respecto a su cátodo y el estado de corte depende de que el voltaje del cátodo sea mayor que en el ánodo.

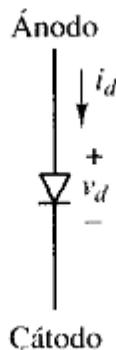


Figura 27. Diodo de potencia

### 3.9.2 Tiristores

Los tiristores tienen 3 terminales, ánodo, cátodo y una compuerta, ver figura 28. Este dispositivo se encuentra en conducción cuando se le aplica una pequeña corriente en la compuerta, siempre y cuando el voltaje del ánodo sea mayor con respecto a su cátodo. Cuando se encuentra en conducción, el tiristor se comporta como un diodo y la compuerta ya no tiene el control sobre el apagado, éste se logra cuando la naturaleza del circuito que lo alimenta hace que el valor del voltaje del cátodo sea mayor que del ánodo (conmutación natural).

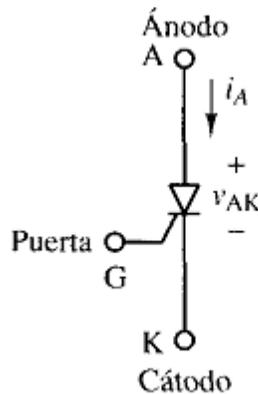


Figura 28. Tiristor

### 3.9.3 Transistores

Los transistores de potencia tienen la ventaja de poder controlar su estado de conducción o de corte, por medio de circuitos excitadores que les permiten trabajar en la zona de corte o saturación para funcionar como interruptores. Existen diferentes tipos de transistores en los que podemos encontrar BJT (*Bipolar Junction Transistor*), MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) e IGBT (*Insulated Gate Bipolar Transistor*).

Los BJT tienen 3 terminales, colector, base y emisor. Estos transistores son controlados por corriente; mientras se le aplique una corriente suficiente a la base del transistor, éste entrará en la zona de saturación y la falta de corriente en la base hará que el transistor se encuentre en la zona de corte. Este tipo de transistor se puede encontrar con capacidades de hasta 1200 V y 400 A y suelen ser utilizados en convertidores con frecuencias menores de 10 kHz.

Los MOSFET tienen 3 terminales, drenaje, compuerta y fuente ver figura 29. Este tipo de transistor es controlado por voltaje, su estado de saturación o corte depende de que exista un valor de voltaje suficiente entre la compuerta y la fuente. Los MOSFETS se pueden encontrar en el mercado con diferentes capacidades de hasta 1000 V y 100 A y las frecuencias a las que pueden trabajar pueden llegar hasta los 100 kHz.

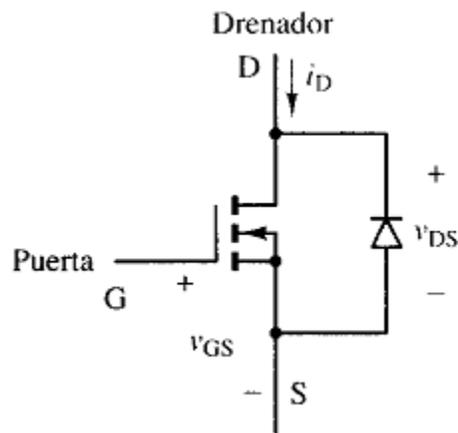


Figura 29. MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

Los IGBT son transistores de potencia controlados por voltaje, ofrecen capacidades mayores de voltaje y corriente que los MOSFETS, hasta 1700 V y 2400 A, pero trabajan con frecuencias menores que los MOSFETS. Debido a que las frecuencias de conmutación y los valores de experimentación no serán muy altos se utilizarán MOSFETS como interruptores.

La selección de cada uno de los diferentes dispositivos conmutadores no depende solamente de sus capacidades de corriente o voltaje en la aplicación a diseñar, también depende de las características específicas de cada componente utilizado, como las velocidades de conmutación y las pérdidas.

### 3.10 Técnicas de modulación para inversores multinivel

Como se ha mencionado anteriormente los inversores están formados por dispositivos semiconductores idealizados como interruptores que se activan y

---

desactivan durante un período de tiempo específico para lograr a la salida una señal lo más parecido a una señal senoidal. Las técnicas para desarrollar las secuencias de encendido y apagado son variadas y cada una de esas técnicas tienen ventajas y desventajas que varían dependiendo la topología del inversor a diseñar.

La técnica más utilizada para la generación de estas secuencias es la técnica PWM (*Pulse With Modulation*) que entre sus ventajas tiene la reducción de distorsión armónica (THD) total en la salida del inversor, haciendo que el filtrado de la señal de salida sea más sencillo, y el control de la amplitud de la salida.

Para establecer la secuencia de encendido y apagado la modulación PWM hace uso de una señal de referencia o moduladora, que establece la forma de onda y la frecuencia de la salida del inversor y una señal portadora de forma triangular en donde su frecuencia establece el número de veces que el interruptor se desactivará o activará durante cierto periodo de tiempo.

De entre las diferentes técnicas utilizadas en la modulación PWM se encuentran las siguientes:

-Modulación PWM de pulso único. En este tipo de modulación solo hay un pulso por cada medio ciclo, este pulso varía en su ancho para variar el voltaje a la salida.

-Modulación PWM de pulso múltiple. En esta modulación se genera más de un pulso por cada medio ciclo. Una ventaja de este tipo de modulación es que se puede disminuir la cantidad de armónicos en la salida.

-Modulación PWM senoidal. En este tipo de modulación se toma como referencia o moduladora, una onda senoidal con la frecuencia deseada y una portadora con la misma amplitud pero de diferente frecuencia, a la que conmutan los interruptores. El ancho de pulso varía en proporción con la amplitud de la señal de referencia.

Los esquemas de modulación mencionados anteriormente son utilizados por inversores de medio y puente completo.

A los esquemas anteriormente mencionados se les han hecho modificaciones para el uso en los inversores multinivel, desarrollando nuevas estrategias. Una de estas estrategias adaptada es la de la modulación senoidal que utiliza una señal de

referencia y hace uso de un número  $n$  de señales de referencia, ver figura 30. En donde  $n$  es el número de niveles deseados en el inversor. A este tipo de modulación se le conoce como modulación PWM multiportadora que es utilizada para reducir el contenido armónico.

A su vez, una de las variantes para la modulación PWM con multiportadoras es la modulación por corrimiento de fase que consiste en una señal de referencia, moduladora, y varias señales portadoras con la misma amplitud pero de diferente frecuencia. Las señales de referencia, portadoras, deben estar desfasadas un ángulo  $\theta$ , donde

$$\theta = \frac{360^\circ}{n - 1} \quad (3.13)$$

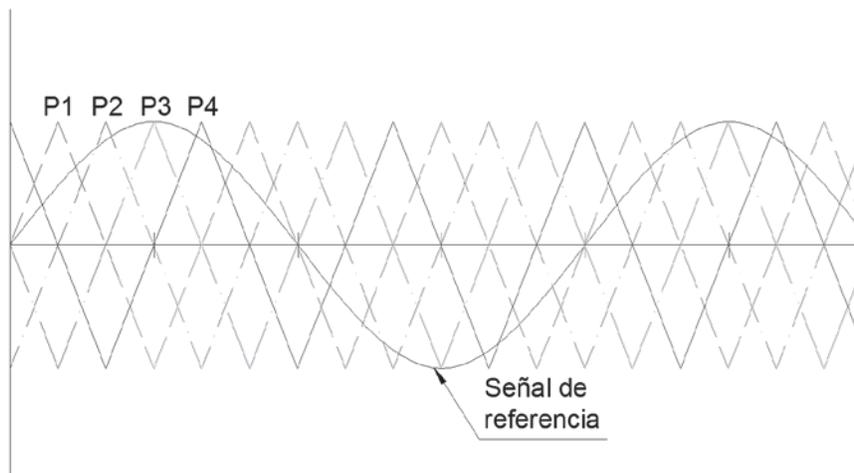


Figura 30. Modulación por corrimiento de fase

### 3.11 Conexión serie paralelo de MOSFET e IGBT

El desarrollo de nuevas aplicaciones para la electrónica de potencia conduce a aumentar las capacidades en los dispositivos de conmutación utilizados en los convertidores. Para mejorar las capacidades de los dispositivos de computación los ingenieros se están enfocando en la mejora de sus capacidades especialmente en los valores máximos que pueden manejar el corriente y voltaje. También se contempla

la combinación de diferentes componentes para incrementar las capacidades y el comportamiento de los dispositivos de conmutación.

Para mejorar el rendimiento de estos dispositivos se han propuesto dos diferentes maneras que se mencionan a continuación:

### 3.11.1 Incremento de potencia

El incremento de potencia se puede lograr aumentando los valores de voltaje y corriente conmutados, para lograr esto se aumenta el número de componentes asociados a estos valores. Se pueden hacer varios tipos de conexiones para aumentar los valores antes mencionados, algunas de las conexiones que se pueden hacer entre los dispositivos de conmutación son las siguientes:

- Conexión en *paralelo* para aumentar rango de corriente, figura 31 a).
- Conexión en *serie* para aumentar el rango de voltaje, figura 31 b).
- Conexión en *matriz*, que es una combinación de las dos conexiones antes mencionadas, figura 31 c).

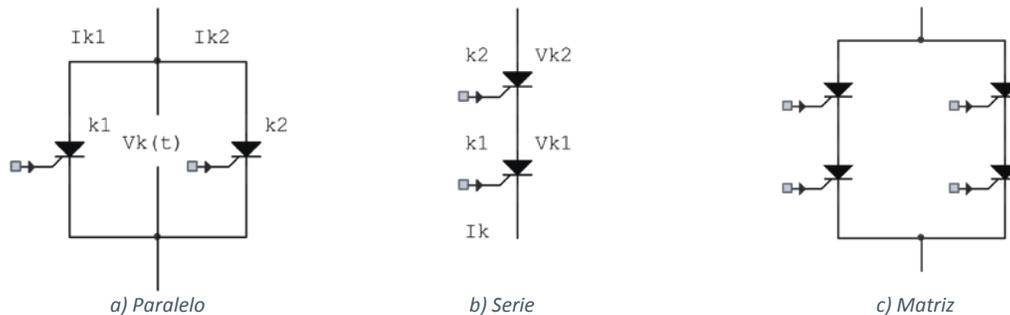


Figura 31. Tipos de conexiones para mejorar densidad de potencia

Los dispositivos de conmutación se conectan en paralelo cuando un solo dispositivo no puede manejar la corriente de la carga. Para compartir corrientes iguales los dispositivos deben estar en condiciones iguales de ganancia, transconductancia, voltaje saturación, tiempo de encendido y tiempo de apagado. En la práctica se puede obtener una partición de corriente de 45 a 55%.

### 3.11.2 Incremento de rendimiento

Mejorar el rendimiento de un convertidor electrónico se puede lograr con la conexión de diferentes componentes al dispositivo de conmutación para tomar ventaja de las mejores características de cada componente. Algunas de las conexiones que se pueden realizar son las siguientes:

- Conexión en paralelo de un componente rápido (MOSFET) con un componente de bajo voltaje de saturación (bipolar), figura 32 a).
- Conexión en serie de un componente de alto valor de voltaje con un componente de bajo voltaje pero muy rápido (Cascode), figura 32 b).
- Conexión en Darlington, que puede ser homogénea, con la conexión de componentes iguales, o heterogénea, con la conexión de componentes diferentes, figura 32 c).

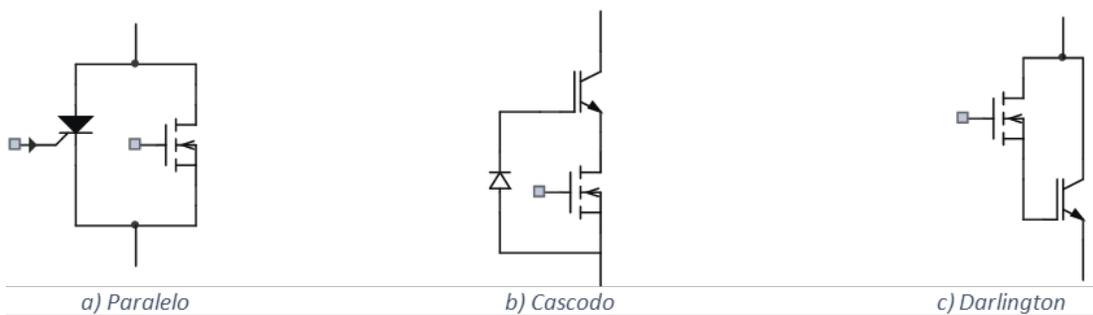


Figura 32. Tipos de conexiones para mejorar rendimiento

El estudio de las diferentes tipos de asociaciones entre diferentes componentes ha llevado al conocimiento de las diferentes variables como función del tiempo para cada componente. Las diferentes tipos de asociaciones entre componentes se analizan en dos diferentes aspectos, operación estática y operación dinámica.

En la operación estática se tienen dos estados, abierto y cerrado. En conexiones en paralelo solo se considera el estado cerrado, ya que durante el estado abierto no existe el mismo voltaje entre componentes.

Las características estáticas de cada componente en estado cerrado  $I(V)$  definen la corriente compartida por ambos componentes, dependiendo de las características

---

de cada componente puede conducir más o menos corriente por eso se hace hincapié en que ambos dispositivos tengan prácticamente las mismas características de desempeño.

Durante la operación dinámica, que hace referencia a la conmutación, son dos los parámetros que afectan al desbalance de corriente el tiempo, de retardo y la velocidad de conmutación.

Ya sea en conexiones serie o en paralelo, los componentes debe de conmutar de manera sincronizada con el fin de limitar el desbalance de parámetros eléctricos, corriente o voltaje. Existen dos posibles causas de retraso entre conmutaciones, uno es debido a los componentes (dispersión de características) y el otro es externo a los componentes (dispersión del orden de conmutaciones debido a los circuitos de excitación). Las diferencias entre características de los componentes conducen a diferencias entre la velocidad de la corriente y los transitorios de voltaje.

### Diseño del Inversor multinivel de 5 niveles de semiciclos segmentados de bajas pérdidas

Como se ha visto anteriormente, existen diferentes maneras de construir inversores multinivel (topologías) y cada una de ella tiene ciertas ventajas sobre otras, dejando en claro que entre más niveles tenga el inversor multinivel a diseñar, mayor será la complejidad de la construcción física y de la implementación de las secuencias de disparo para los interruptores de potencia.

Se han hecho diferentes estudios sobre las mejoras que se pueden hacer a este tipo de inversores, algunos de ellos han hecho hincapié en la construcción de este tipo de inversor con el menor número de dispositivos de conmutación posibles, dando como resultado nuevas topologías que se pueden implementar y validar.

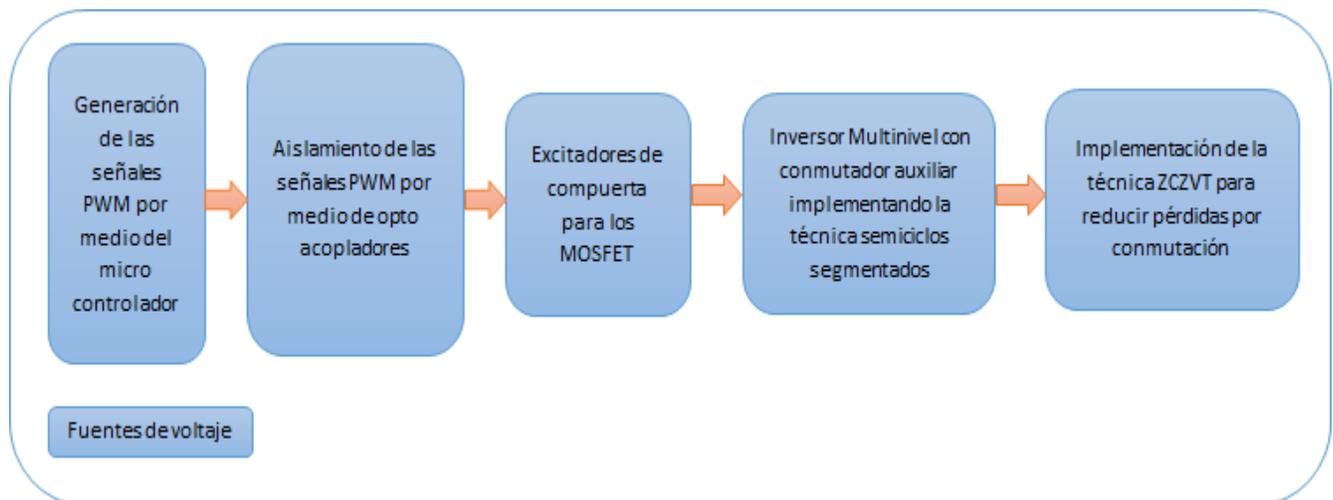


Figura 33. Propuesta para la construcción del inversor multinivel

---

## 4.1 Generación de las señales PWM por medio del microcontrolador

Hay muchas técnicas de control para los diferentes tipos de inversores multinivel que son implementadas a partir de diferentes dispositivos electrónicos (Microcontroladores, FPGA, circuitos temporizadores de propósito específico, etc.)

El dispositivo a utilizar deberá tener capacidad para generar 12 señales PWM diferentes para la obtención de los niveles deseados en el inversor.

En nuestro caso particular se utiliza un microcontrolador de gama media PIC18F4550 de Microchip Technology Inc. Algunas de sus características son las siguientes:

- Diferentes puertos de entrada salida (PA, PB, PC, PD)
- Cuatro módulos temporizadores (Timer0-Timer3)
- Un módulo ECCP (Enhanced Capture/Compare/PWM)
- Trabaja hasta una frecuencia de 48 Mhz
- Modo de trabajo *sleep* con un consumo de 0.1uA
- 

El lector interesado puede ver a detalle la hoja de especificaciones del microcontrolador PIC18F4550 para que pueda observar las demás características que posee este dispositivo.

En la figura 34 se pueden apreciar el diagrama esquemático y los diferentes puertos de entrada que posee este microcontrolador.

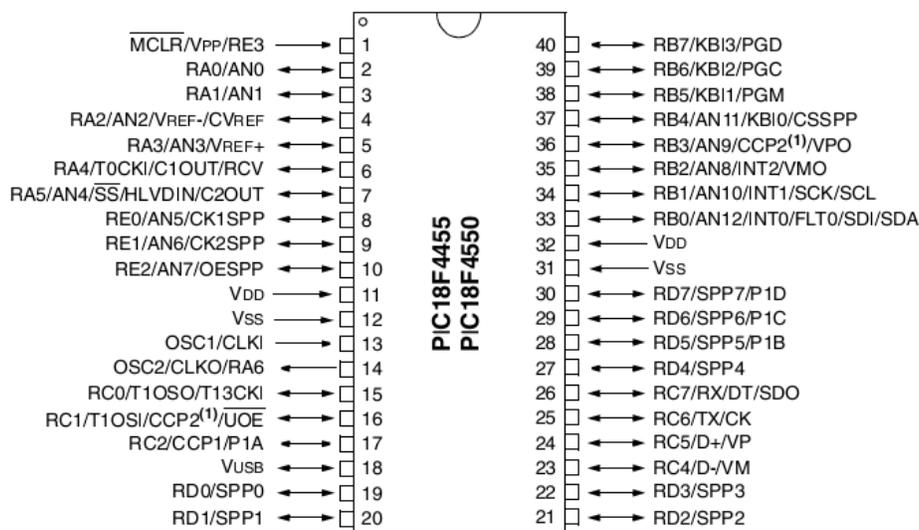


Figura 34. Microcontrolador PIC18F4550 de Microchip Technology Inc.

El microcontrolador es utilizado para generar las diferentes señales de control para el inversor. Ya que las señales provenientes de este dispositivo son de 0-5V se necesita de otra etapa para acondicionar las señales y sean de valores indicados para poder encender/apagar a los dispositivos de conmutación, que en este caso para son de 10-20V para los MOSFETS a utilizar.

## 4.2 Aislamiento de las señales PWM y excitación de compuertas

Debido a la que las tensiones y corrientes en los dispositivos de potencia del convertidor son de mayor magnitud que las utilizadas por el microcontrolador, se emplea un optoacoplador entre las señales digitales y los excitadores de compuerta de los dispositivos de potencia, para aislar las señales digitales de la etapa de salida.

El optoacoplador utilizado es el 6N137 que tiene como elemento de entrada un fotodiodo y un transistor en colector abierto como elemento de salida. En la figura 35 se muestra el diagrama esquemático del optoacoplador 6N137 y en la figura 36 se muestra el circuito implementado para aislar las señales PWM de la etapa de potencia

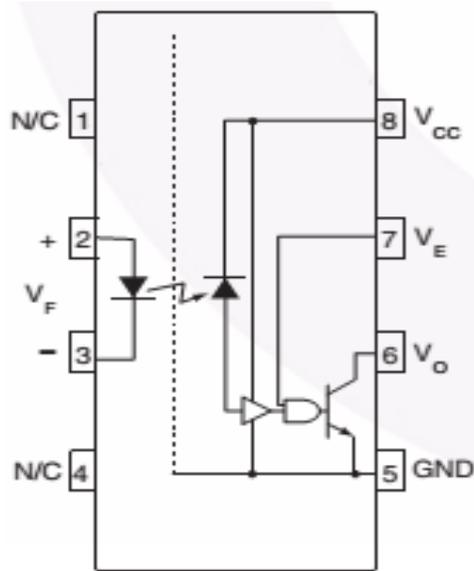


Figura 35. Optoacoplador 6N137 de la marca Fairchild Semiconductor

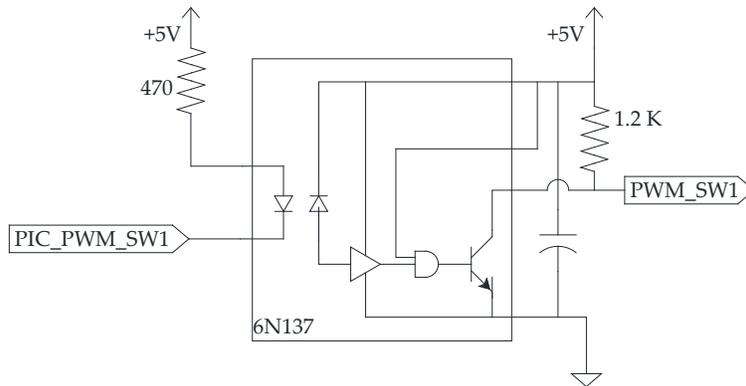


Figura 36. Implementación del optoacoplador 6N137

Las señales de control provenientes del microcontrolador y aisladas por medio del optoacoplador 6N137, por si solas no son aptas para controlar los dispositivos de conmutación, ya que las salidas digitales son de valores de 0-5 volts y los valores indicados por el fabricante para activar y/o desactivar los dispositivos de conmutación ( $V_{GS}$ ) son del orden de 10-20 V.

Para utilizar los MOSFET como interruptores se debe suministrar una corriente ( $I_G$ ) y un voltaje ( $V_{GS}$ ) apropiados. Existen diferentes tipos de *Drivers* que acondicionan

las señales de control y las hacen aptas para los MOSFETS, como por ejemplo los integrados IR2110 o IR2101 que funcionan para aplicaciones de convertidores de CD-CA en configuraciones de medio y puente completo. Por ser una etapa experimental se utilizó el circuito TLP250 de Toshiba.

El circuito integrado TLP250 se utiliza como excitador de compuerta para suministrar la corriente y el voltaje necesario para controlar el encendido y/o apagado de MOSFET. A diferencia de los drivers IR2110, este circuito funciona de manera individual.

En la figura 37 se muestra el diagrama esquemático para el circuito TLP250 y en la figura 38 se muestra la configuración utilizada para el control de los dispositivos de potencia (MOSFET's)

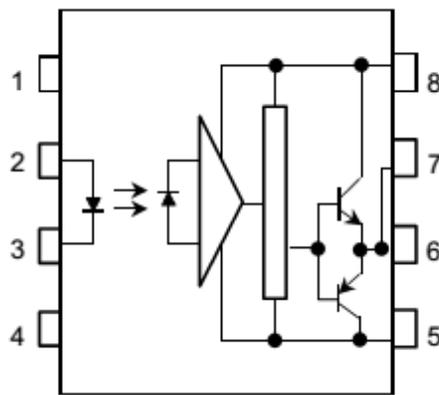


Figura 37. Driver TLP250 de la marca Toshiba

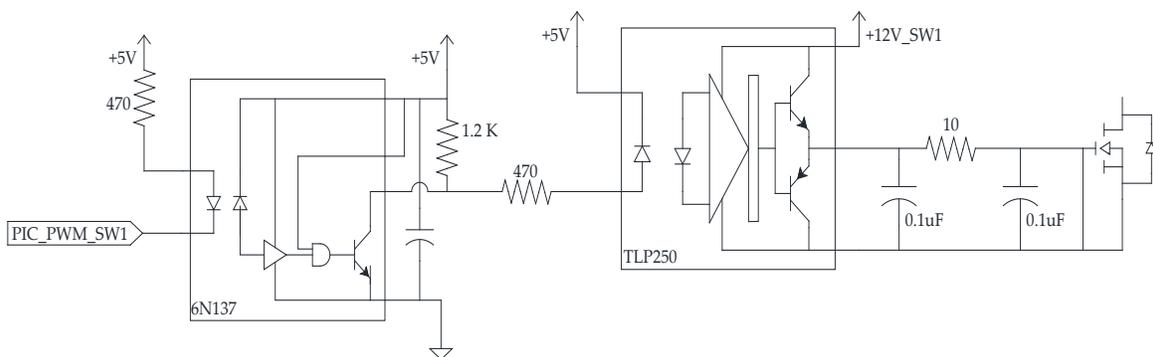


Figura 38. Implementación del optoacoplador 6N137 y el excitador de compuerta TLP250

### 4.3 Dispositivos de potencia utilizados en el inversor

Como se mencionó anteriormente, se utilizará una topología para inversor multinivel de 5 niveles propuesta por G. Ceglia y V. Guzmán que busca la reducción de dispositivos usados como conmutadores. Se implementará la técnica denominada semiciclos segmentados para aumentar la densidad de potencia que puede soportar el inversor y de igual manera se utilizará la técnica propuesta por C. Stein, H. Hey y J. Pinheiro para reducir las pérdidas en los dispositivos de conmutación.

Los dispositivos utilizados para la construcción del inversor multinivel son los siguientes:

MOSFET canal N IRF840 que es un componente controlado por voltaje y requiere una pequeña corriente en su Compuerta (G) para operar. Es capaz de manejar una tensión entre sus terminales Drenaje (D) y Fuente (S) de 500 V ( $V_{DS}$ ) y una corriente continua de 8.0 A.

En la figura 39 se muestran algunas de las características principales del MOSFET IRF840

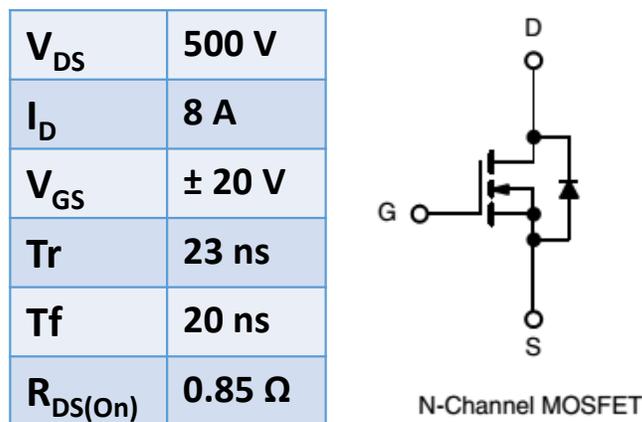


Figura 39. MOSFET IRF840 de la marca International Rectifier

Para la implementación del circuito conmutador auxiliar se utilizó el dispositivo MUR100E, que es un diodo de potencia ultrarrápido con una alta capacidad de

energía en inversa, ver figura 40. Es utilizado en fuentes de poder conmutadas e inversores. Tiene capacidad de corriente en conducción 8.0 A y un voltaje en inversa de 1000 V. Una de sus principales características es el tiempo de recuperación que es de 75 nanosegundos.

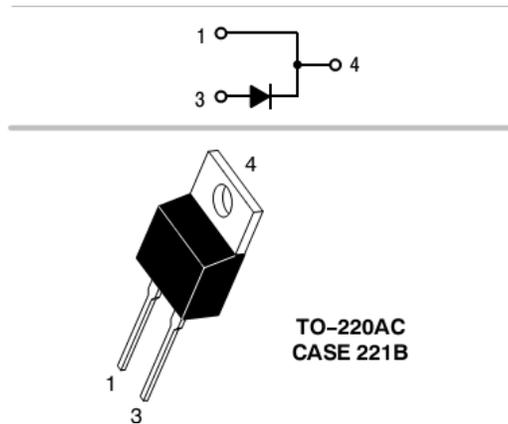


Figura 40. Diodo MUR8100E de la marca OnSemiconductor

#### 4.4 Implementación del inversor de 5 niveles

Se ha propuesto una manera de construir un inversor de 5 niveles con un número reducido de componentes, en comparación con un inversor multinivel de 5 niveles en cascada con fuentes independientes. EL inversor desarrollado se muestra en la siguiente figura.

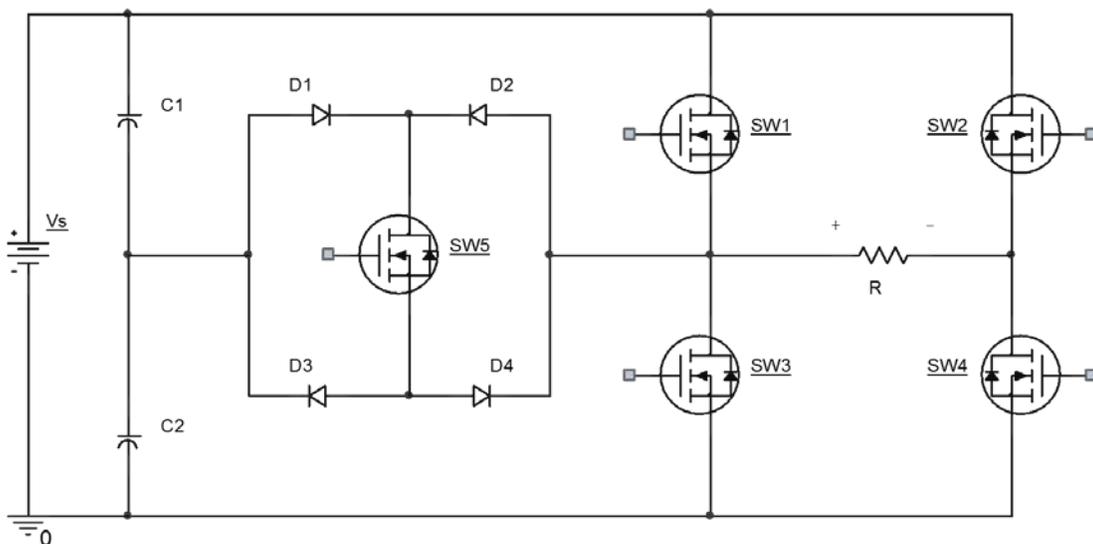


Figura 41. Topología para la construcción del inversor multinivel de 5 niveles propuesto.

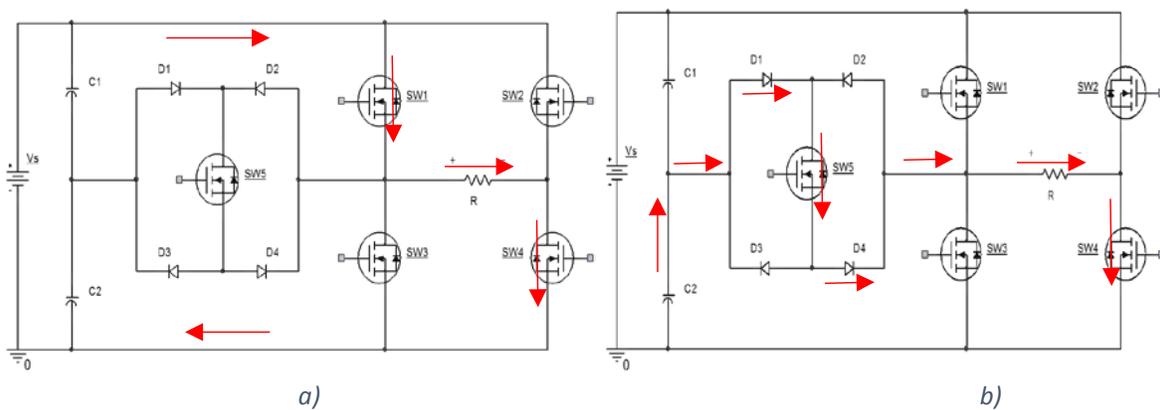
Se ha optado por la implementación de esta propuesta en donde se reduce el número de interruptores necesarios, ver figura 43. Ésta consta de los siguientes elementos:

- Una fuente de voltaje  $V_s$
- Dos capacitores para dividir la fuente de tensión en valores iguales,  $\frac{1}{2}V_s$
- Un puente completo formado por 4 dispositivos de conmutación
- Un puente auxiliar formado por 4 diodos y un dispositivo de conmutación.

La secuencia de disparo para obtener los 5 diferentes niveles de tensión a la salida se muestra a continuación:

SW1	SW2	SW3	SW4	SW5	$V_{RL}$
ON	OFF	OFF	ON	OFF	$V_s$
OFF	OFF	OFF	ON	ON	$V_s/2$
OFF	OFF	ON	ON	OFF	0
OFF	ON	OFF	OFF	ON	$-V_s/2$
OFF	ON	ON	OFF	OFF	$-V_s$

Figura 42. Secuencia de disparo para los interruptores del inversor de 5 niveles



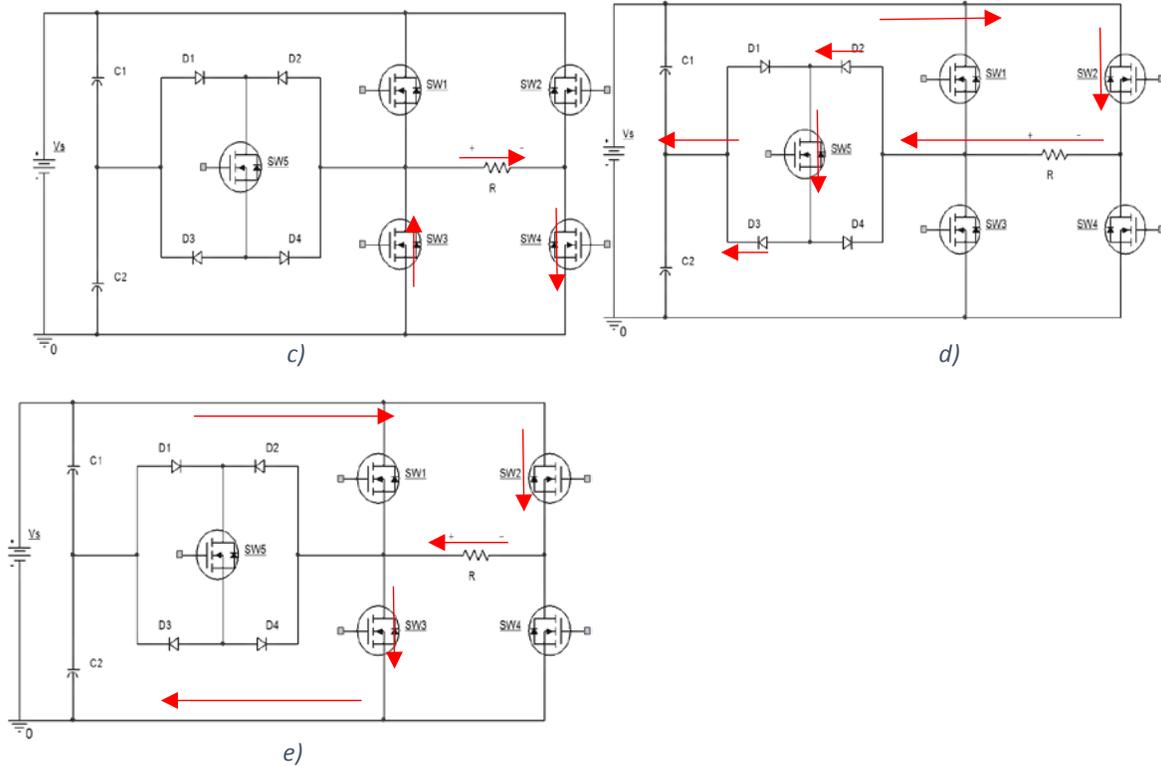


Figura 43. Etapas para la generación de los 5 diferentes niveles en el inversor. a)  $V_s$  b)  $\frac{1}{2} V_s$  c) 0 d)  $-\frac{1}{2} V_s$  y e)  $-V_s$

En la figura 44 se muestran las señales PWM para los dispositivos de conmutación SW1-SW5 respectivamente.

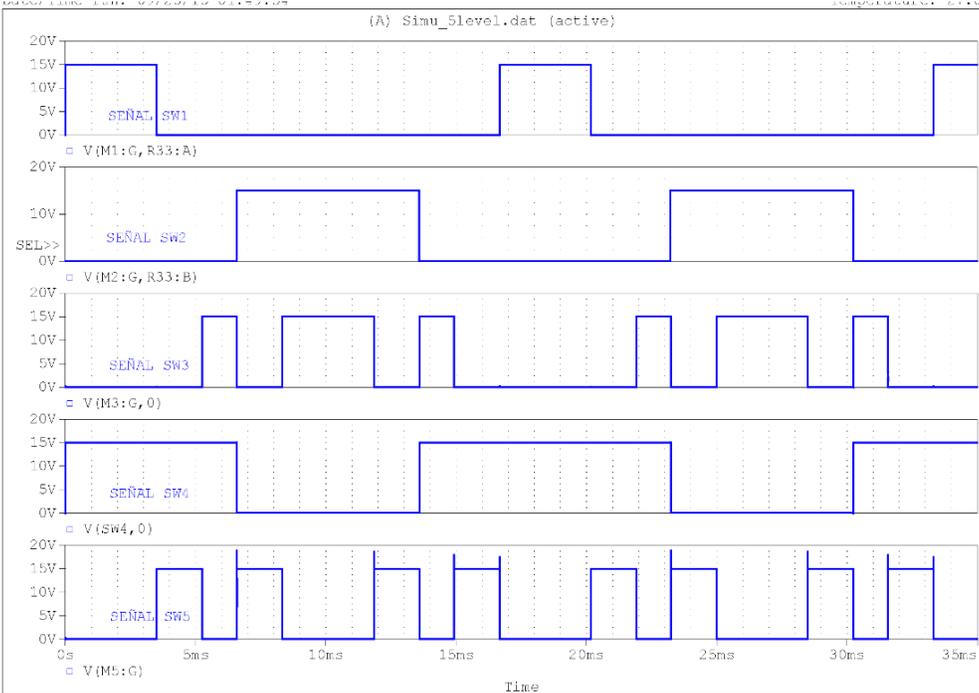


Figura 44. Señales de disparo para los 5 dispositivos de conmutación SW1-SW5

## 4.5 Implementación de la técnica de semiciclos segmentados

Una de las ventajas de los inversores multinivel es el manejo de grandes cantidades de corriente y de voltaje. Para lograr estas características, los dispositivos de conmutación deben tener la capacidad de operar bajo dichos valores de corriente y de voltaje. Otra manera de hacer que el inversor incremente estos valores, es la conexión de varios dispositivos como conmutadores en serie o paralelo. Lo que tiene ciertas ventajas en su implementación.

La técnica implementada llamada *semiciclos segmentados*, consiste en la conexión en paralelo de dos dispositivos de conmutación (MOSFET's) con el propósito de generar los mismos 5 diferentes niveles. De esta forma, por cada nivel generado estos dispositivos trabajan cada uno sólo la mitad del tiempo, durante la generación de dichos niveles.

La implementación de esta técnica busca obtener ventajas como las que se mencionan a continuación.

- Incrementar el valor de voltajes y corrientes nominales del inversor.
- Disminuir la frecuencia de trabajo en cada dispositivo de conmutación.
- Incrementar la vida útil de los componentes y por tanto, del inversor

En la topología presentada en la figura 41 se utilizan 5 dispositivos de conmutación (SW1-SW5) para generar 5 niveles de voltaje, no obstante, al implementar la técnica semiciclos segmentados, el número de interruptores se incrementó al doble; añadiendo a la topología 5 nuevos dispositivos de conmutación (SW1A-SW5A). En la figura 45 se muestra la conexión en paralelo de los dispositivos de conmutación.

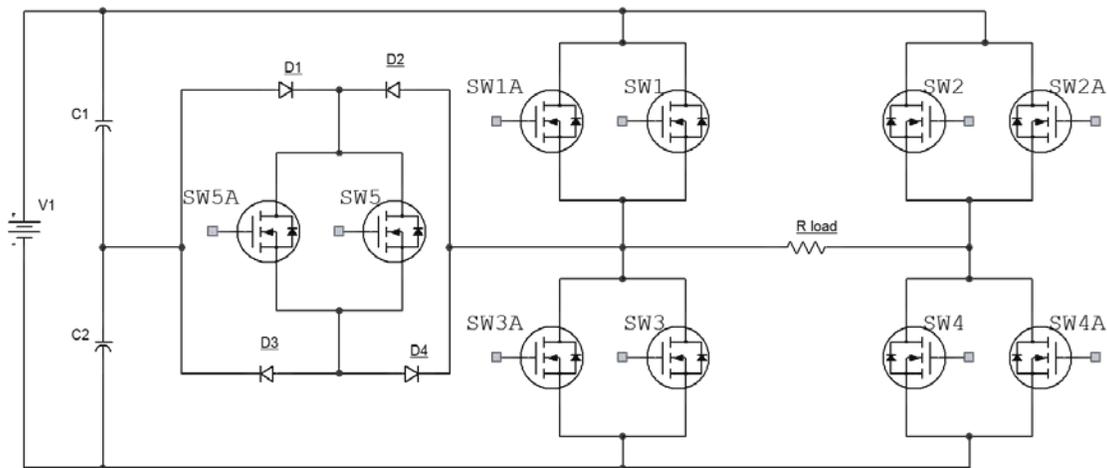


Figura 45. Circuito propuesto para la implementación de la técnica de semiciclos segmentados

Para poder hacer conexiones en paralelo en [24] se hace una recomendación acerca de la selección de los dispositivos, que consiste en la colocación, en la medida de lo posible, de componentes del mismo lote de fabricación con el propósito de que sus características sean lo más similares, para que el comportamiento sea aproximadamente el mismo.

En la figura 46 se observan las señales de control para cada uno de los dispositivos de conmutación una vez implementada la técnica de semiciclos segmentados.

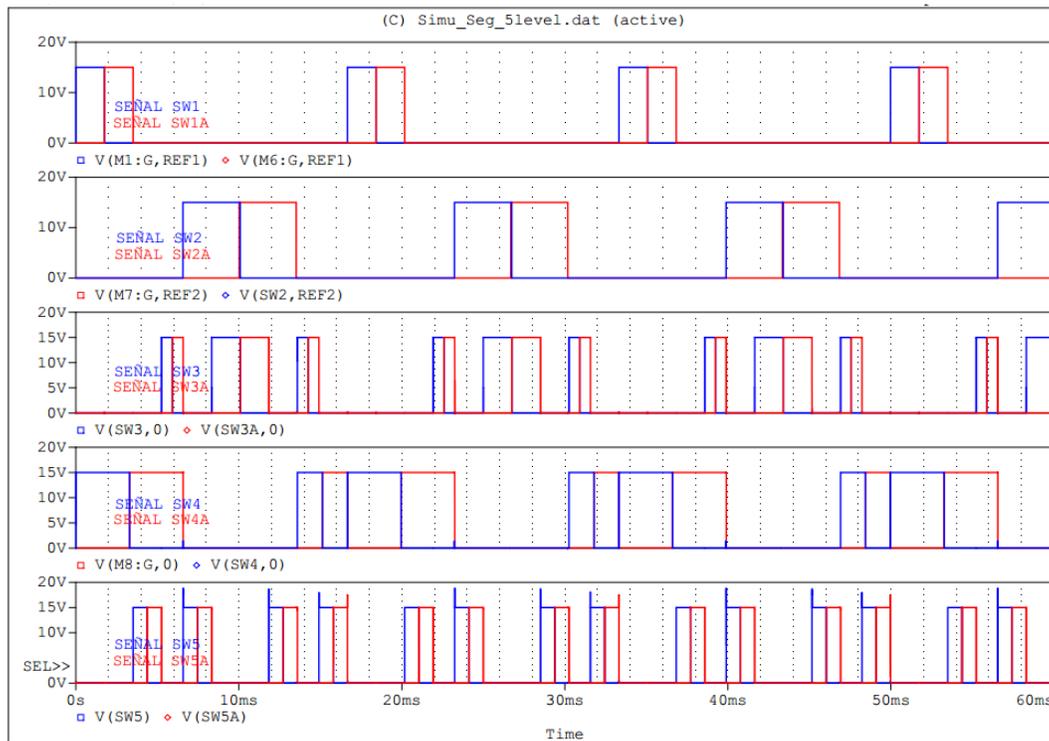


Figura 46. Señales de control para los dispositivos de conmutación SW1-SW5 y SW1A-SW5A

#### 4.6 Implementación de ZCZVT (Zero Current Zero Voltage Transition)

Conmutación por voltaje cero (ZVS) y corriente cero (ZCS) son dos técnicas de conmutación suave que ayudan a los dispositivos a reducir pérdidas durante este proceso.

En [17] se hace la propuesta para inversores PWM en donde se agrega una celda auxiliar de conmutación que ayuda a los interruptores principales a encender y apagar a corriente y voltaje cero. De acuerdo a esta propuesta las pérdidas por conmutación pueden reducirse casi a cero.

Esta técnica auxiliar de conmutación está diseñada para inversores PWM de puente completo y se ha denominado *Zero Current Zero Voltage Transition*. También permite que los interruptores principales conmuten simultáneamente a corriente y voltaje cero, de esta manera las pérdidas de recuperación inversa en los diodos principales son minimizadas.

En la figura 47 se observa la celda de conmutación auxiliar formada por 2 interruptores bidireccionales ( $S_{A2}$ ,  $S_{A1}$ ), dos capacitores de resonancia ( $C_{R1}$  y  $C_{R2}$ ) y dos inductores de resonancia ( $L_{R1}$ ,  $L_{R2}$ ).

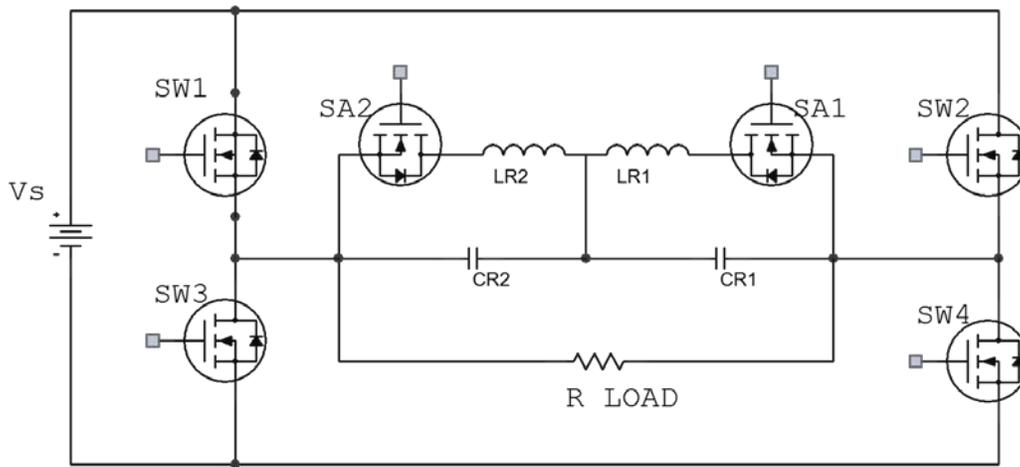


Figura 47. Inversor de puente completo implementado con la técnica ZCZVT (Zero Current Zero Voltage Transition)

En la figura 48 se observa como se ha integrado la celda de conmutación ZCZVT a la propuesta realizada en este trabajo.

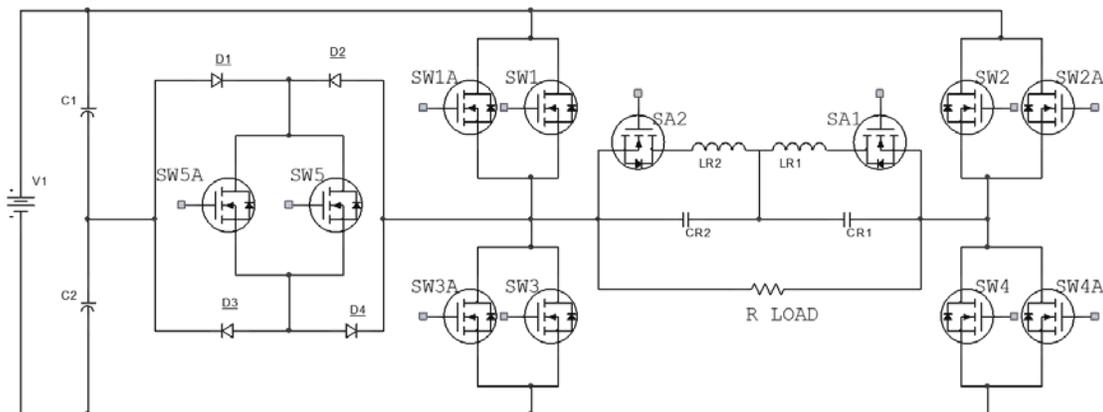


Figura 48. Inversor multinivel de 5 niveles utilizando la técnica semiciclos segmentados con la nueva celda de conmutación ZCZVT

---

De acuerdo a la guía de diseño presentada en [17] se pueden calcular los valores de los componentes resonantes a partir de las especificaciones del inversor:

Potencia de salida  $P_o = 20 \text{ W}$

Voltaje de entrada  $E = 20 \text{ V}$

Voltaje de salida  $V_o = 15 \text{ Vrms}$

Frecuencia de salida  $f_o = 60 \text{ Hz}$

Riso de corriente  $\Delta I = 15\%$

a) Corriente pico de las especificaciones de entrada:

$$I_o = \frac{\sqrt{2}P_o}{V_o} (1 + \Delta I) = 2.16 \text{ A} \quad (4.1)$$

b) Para asegurar el apagado en ZVS la corriente de pico desviada del interruptor principal al circuito auxiliar, debe ser más grande que la corriente de salida pico. La corriente pico del capacitor  $C_{R2}$  está dada por:

$$I_{pk} = \frac{E}{\sqrt{2}Z} \quad (4.2)$$

De la ecuación 4.1 y 4.2 el parámetro  $k$  se puede definir de la siguiente manera:

$$k = \frac{I_{pk}}{I_o} \quad (4.3)$$

Como parámetro práctico de diseño se elige  $k = 1.1$

c) La impedancia característica está dada por:

$$Z = \frac{E}{\sqrt{2}kI_o} = 5.92 \Omega \quad (4.4)$$

d) Para minimizar la recuperación inversa de los diodos principales, la frecuencia de resonancia debe ser elegida para controlar el rango  $di/dt$  durante el apagado. Dicho rango en los diodos principales puede aproximarse por:

$$\frac{di}{dt} \approx \frac{I_o \omega}{\sqrt{2} \sin^{-1}\left(\frac{1}{2k}\right)} \quad (4.5)$$

De (5) la frecuencia de resonancia se puede obtener de la siguiente manera:

$$\omega = \frac{\frac{di}{dt} \sqrt{2} \sin^{-1}\left(\frac{1}{2k}\right)}{I_o} \quad (4.6)$$

En donde  $di/dt$  toma el valor de 80 A/ $\mu$ s de acuerdo a [17]. El valor de los componentes resonantes se puede calcular de la siguiente manera:

$$L_{R1} = L_{R1} = \frac{Z}{\omega} = 27 \mu H \quad (4.7)$$

$$C_{R1} = C_{R1} = \frac{1}{Z \cdot \omega} = 190 nF \quad (4.8)$$

Con los valores calculados para los elementos  $C_{R1-2}$  y  $L_{R1-2}$  se simuló el circuito del inversor de 5 niveles, ya con la técnica de semiciclos segmentados y con esta nueva celda de conmutación.

En la figura 49 se observan las señales de control para el inversor con la implementación de la técnica de semiciclos segmentados y en la figura 50 se observan las señales de control para los interruptores utilizados en la celda de conmutación.

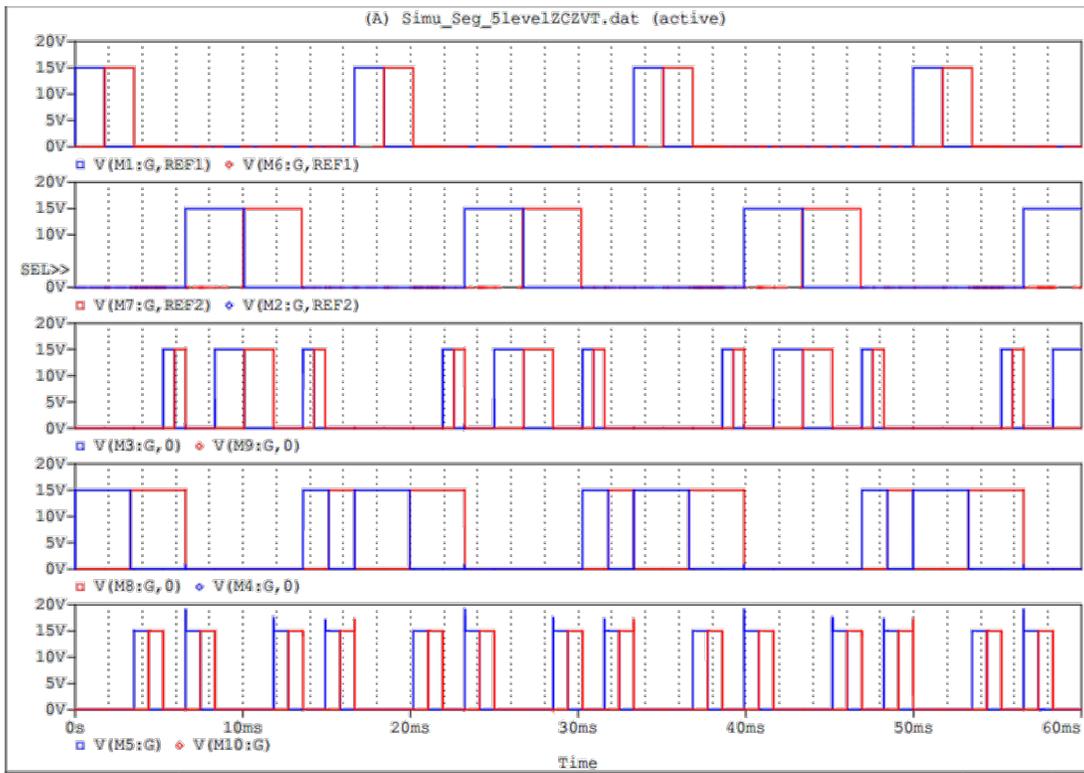


Figura 49. Señales de control para los interruptores principales SW1-SW5 y SW1A-SW5A

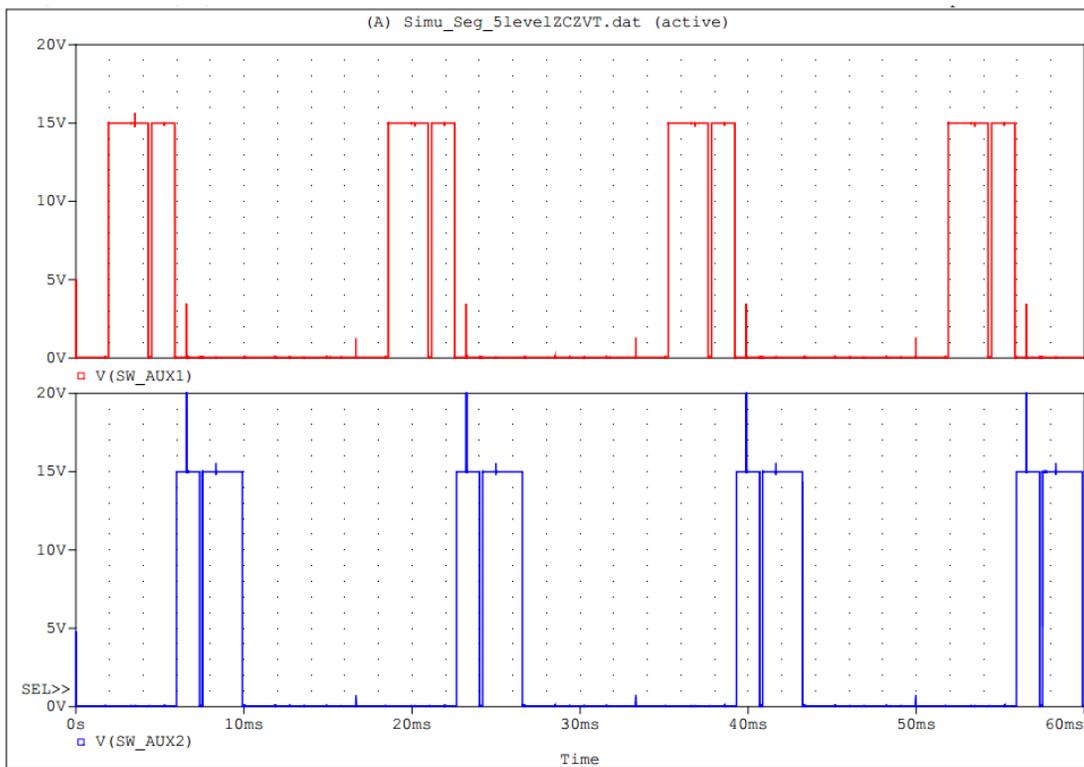


Figura 50. Señales de control para los interruptores de auxiliares de la celda de conmutación ZCZVT

### Pruebas y resultados del inversor

Como parte del análisis se hicieron diferentes simulaciones, en la plataforma Orcad Pspice, para comprobar el funcionamiento del inversor propuesto en este trabajo.

1. Inversor multinivel de 5 niveles con conmutador auxiliar integrando la técnica de semiciclos segmentados.
2. Inversor multinivel anterior con la implementación de la técnica ZCZVT para reducción de pérdidas por conmutación.

Los parámetros para cada una de las pruebas fueron las siguientes:

Tensión del bus: 20 V

Resistencia de carga: 20  $\Omega$

Corriente de salida: 651 mA<sub>rms</sub>

Voltaje de salida: 13.01 VCA<sub>rms</sub>

Potencia de salida: 8.46 W

Frecuencia de salida: 62.3 Hz

R<sub>dS(on)</sub> = 0.85  $\Omega$

Para el inversor con la celda de conmutación ZCZVT

L<sub>R1</sub> = L<sub>R2</sub> = 32  $\mu$ H

C<sub>R1</sub> = C<sub>R2</sub> = 0.22  $\mu$ F

En la siguiente tabla se presentan los cálculos para las pérdidas por conmutación para los dispositivos con y sin la técnica ZCZVT

$$P_{encendido} = \frac{1}{6} i_o v_o \frac{(t_2 - t_1)}{T} \quad (4.10)$$

$$P_{apagado} = \frac{1}{6} i_o v_o \frac{(t_4 - t_3)}{T} \quad (4.11)$$

$$P_{SW} = (P_{encendido} + P_{apagado}) f_{sw} \quad (4.12)$$

Dispositivo	Pérdidas de encendido W	Pérdidas de apagado W	Pérdidas por conmutación W
Sin celda de conmutación			
SW1	3.05E-08	3.29E-09	2.03E-06
SW2	6.81E-07	3.52E-09	4.11E-05
SW3	3.76E-08	4.70E-08	5.08E-06
SW4	1.88E-07	5.36E-07	4.34E-05
SW5	9.40E-09	3.76E-08	2.82E-06
Con celda de conmutación ZCZVT			
SW1	1.55E-08	2.35E-09	1.07E-06
SW2	5.36E-07	2.35E-09	3.23E-05
SW3	2.82E-08	4.70E-08	4.51E-06
SW4	3.76E-08	5.45E-07	3.50E-05
SW5	1.17E-08	3.76E-08	2.96E-06

Tabla 1 Pérdidas en los dispositivos de conmutación

En las figuras 55 y 57 se pueden apreciar las formas de onda de corriente, voltaje y señal de control para el dispositivo de conmutación SW1, sin la celda de conmutación para apagado y encendido, respectivamente. En las imágenes 56 y 58 se aprecian las mismas formas de ondas modificadas por la celda de conmutación ZCZVT. De igual manera para el dispositivo de conmutación SW2 se observan las formas de onda de encendido y apagado sin celda de conmutación en las figuras 59 y 61, las mismas formas de ondas con celda de conmutación en las figuras 60 y 62.

## Simulación del inversor de 5 niveles con la técnica semiciclos segmentados

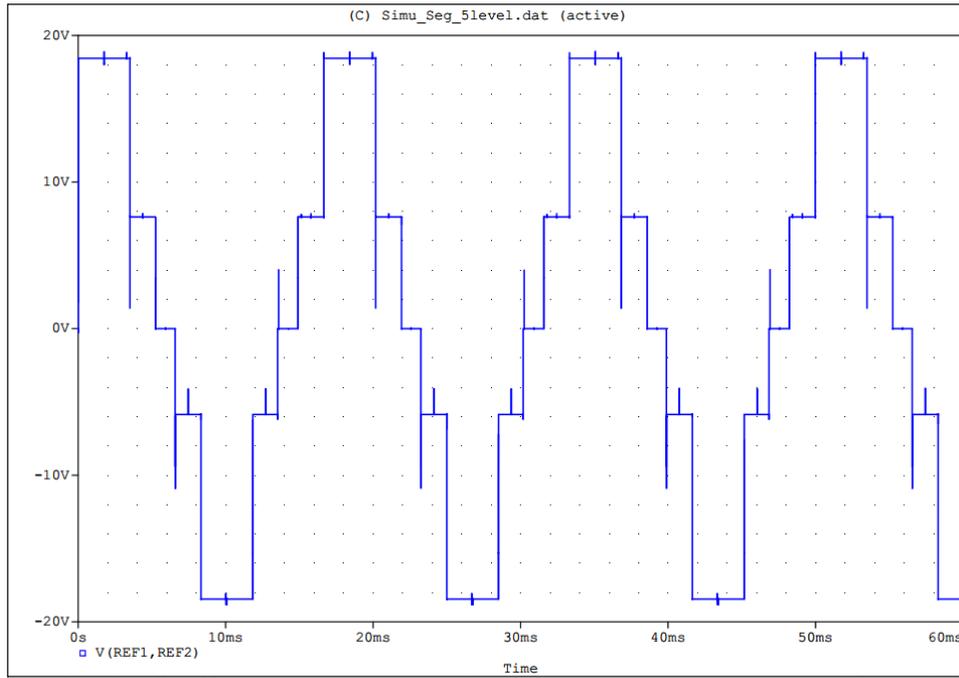


Figura 51. Señal de voltaje a la salida del inversor implementando la técnica semiciclos segmentados

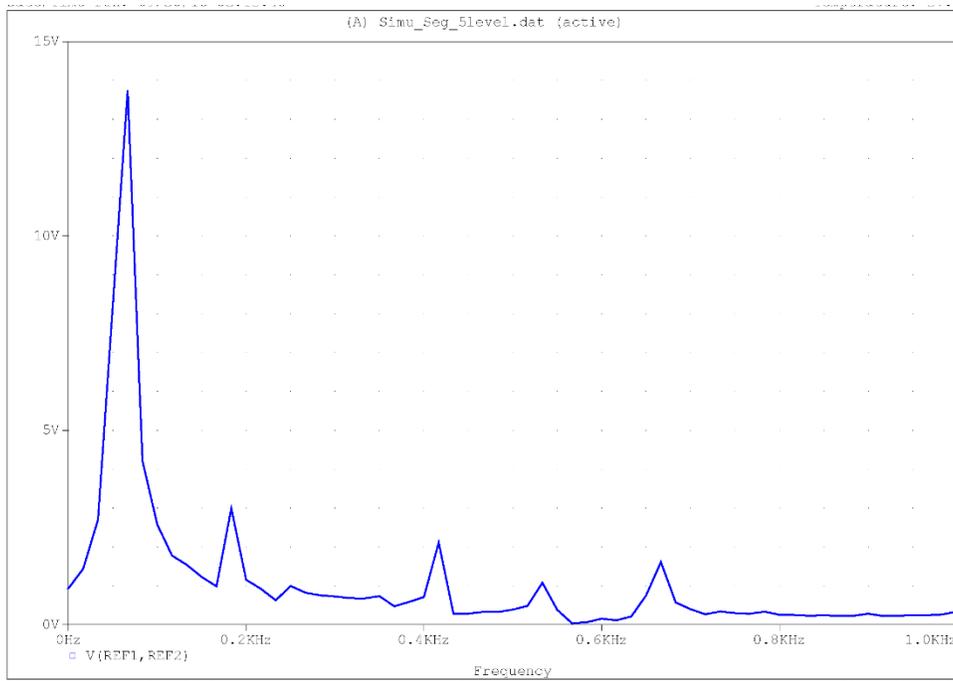


Figura 52. Espectro de frecuencias de THD a la salida del inversor de 5 niveles utilizando la técnica semiciclos segmentados

## Simulación del inversor de 5 niveles con la técnica semiciclos segmentados con la celda de conmutación ZCZVT

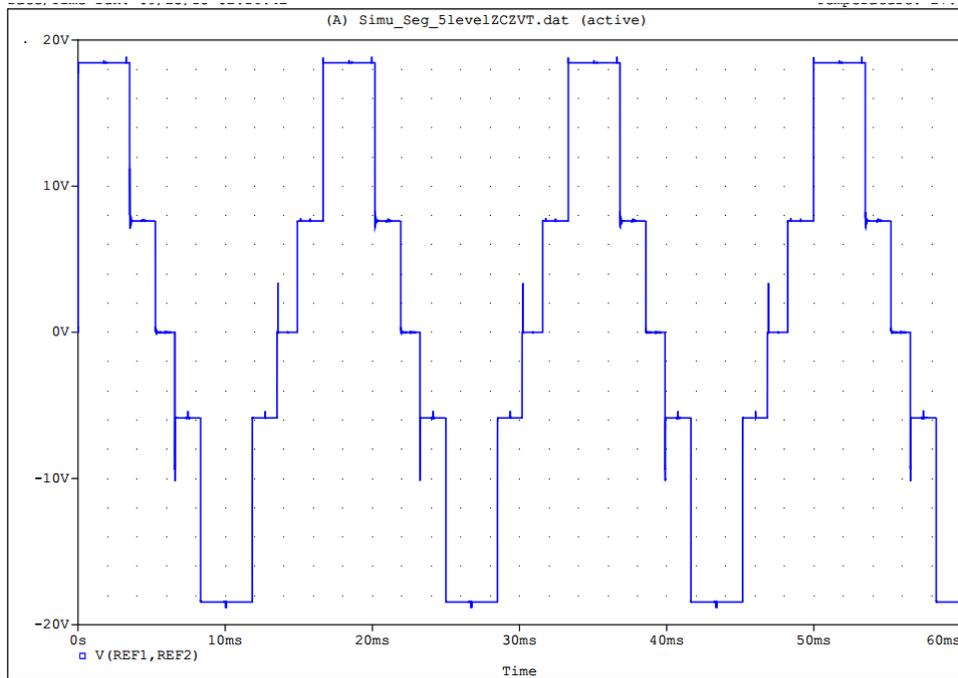


Figura 53. . Señal de voltaje a la salida del inversor implementando la técnica semiciclos segmentados incluyendo la celda de conmutación ZCZVT

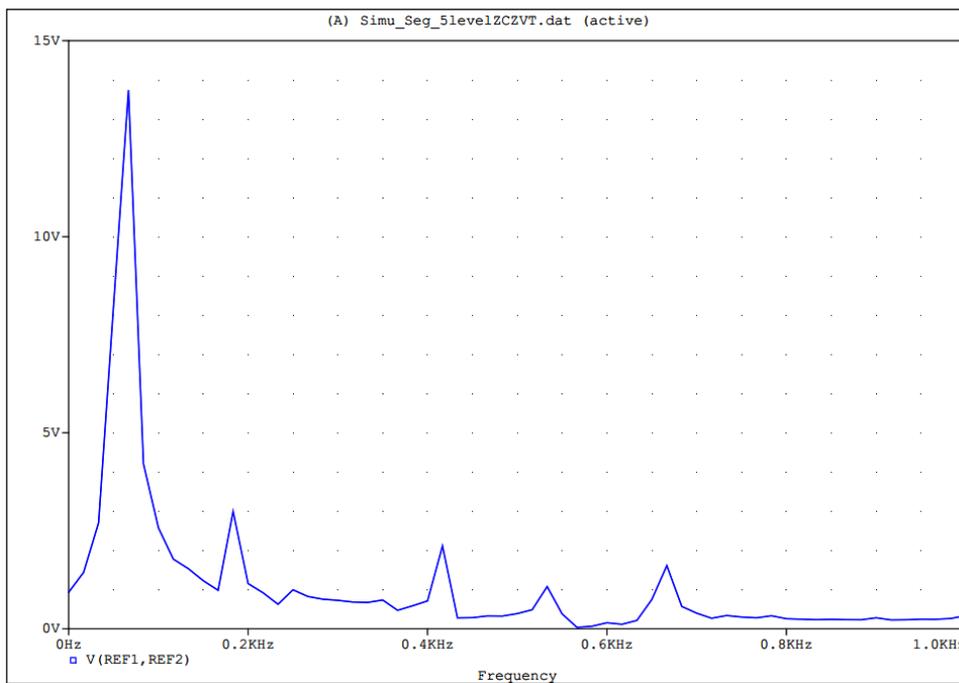


Figura 54. Espectro de frecuencias de THD a la salida del inversor de 5 niveles utilizando la técnica semiciclos segmentados con la celda de conmutación ZVZCT

## Gráficas de Corriente – Voltaje – Señal de control para validación de la celda de conmutación ZCZVT

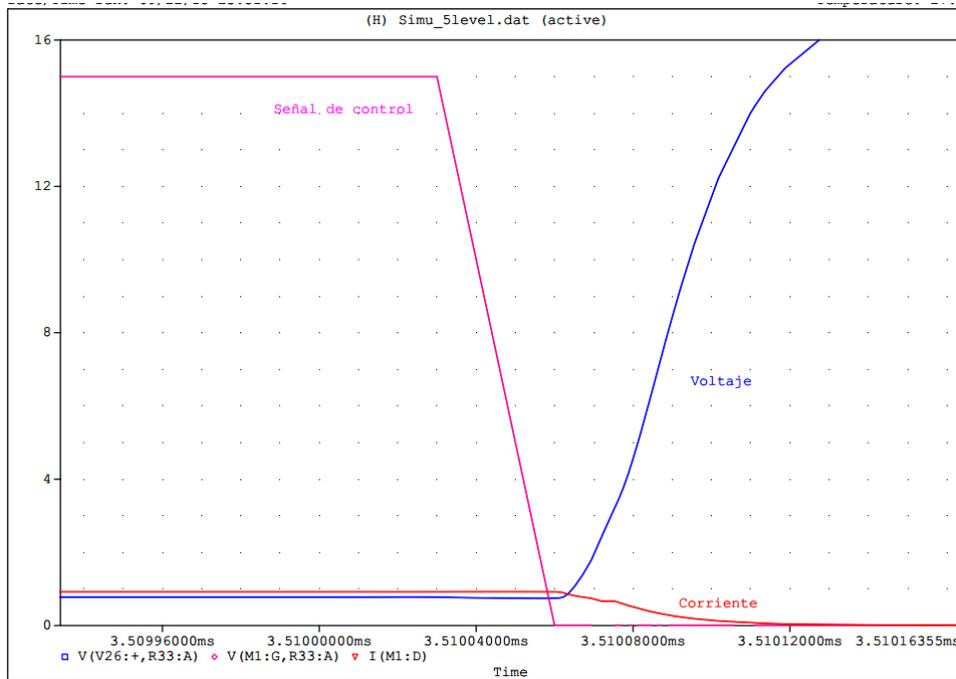


Figura 55. Gráfica Señal de control (Apagado)-Corriente-Voltaje para el interruptor SW1

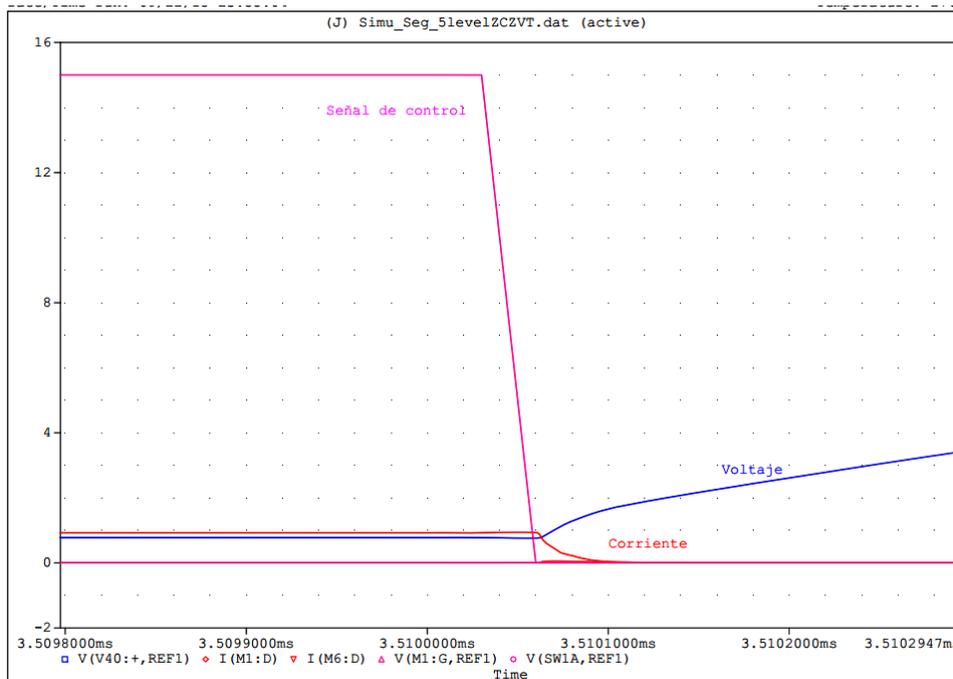


Figura 56. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW1 con la celda de conmutación ZCZVT

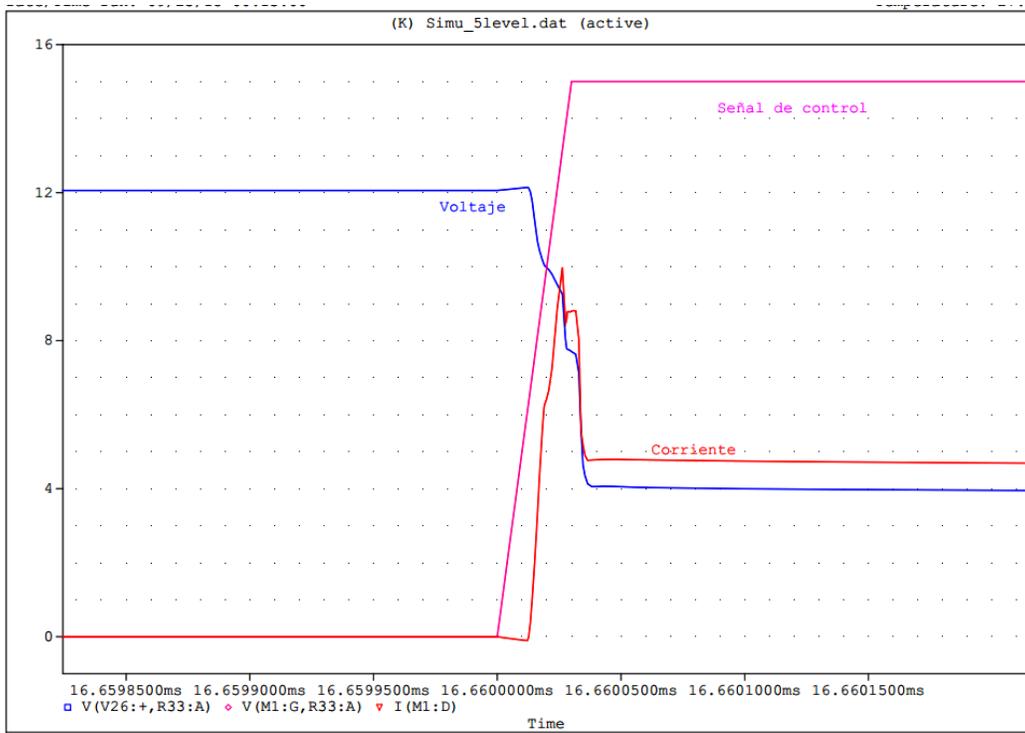


Figura 57. Gráfica Señal de control (Encendido) -Corriente-Voltaje para el interruptor SW1

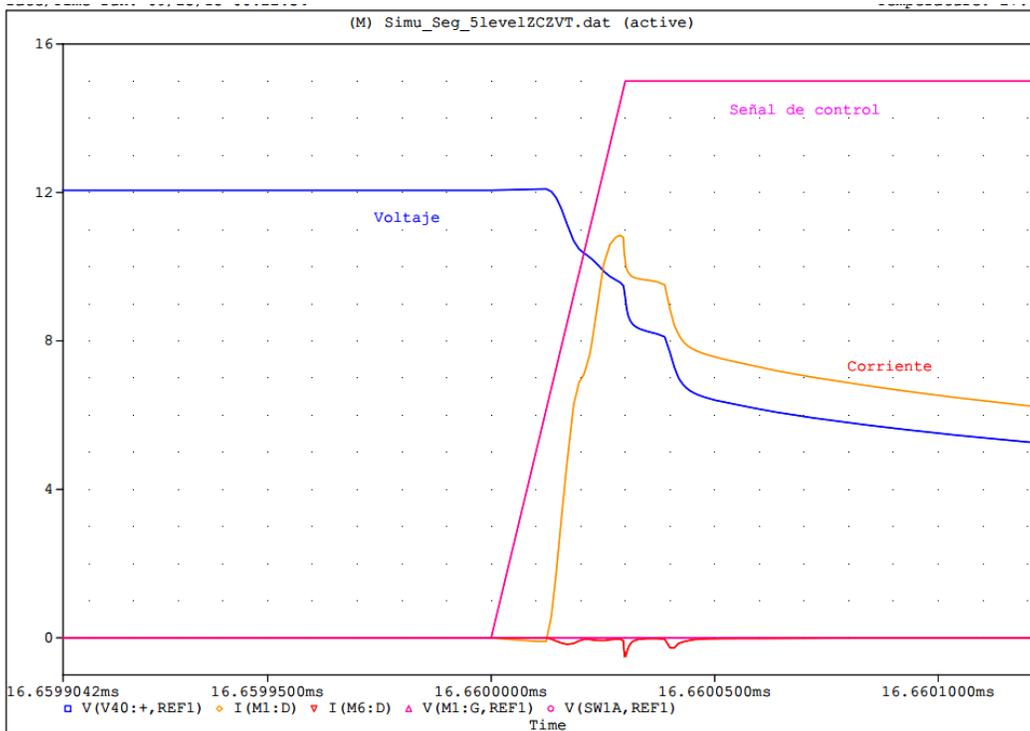


Figura 58. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW1 con la celda de conmutación ZCZVT

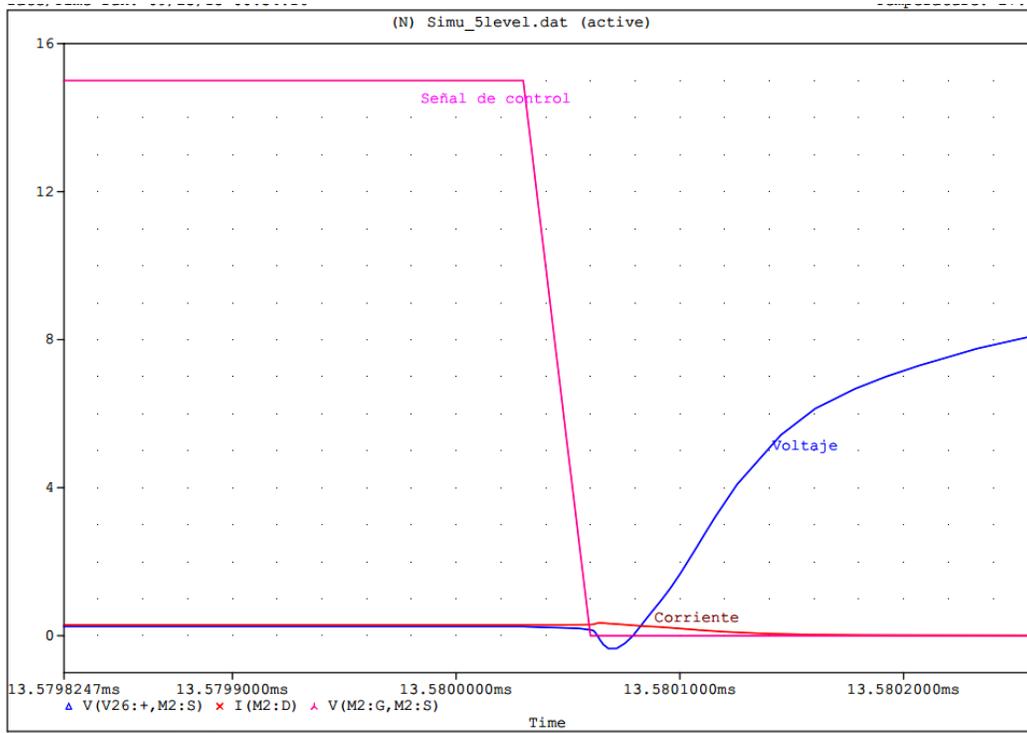


Figura 59. Gráfica Señal de control (Apagado) -Corriente-Voltaje para el interruptor SW2

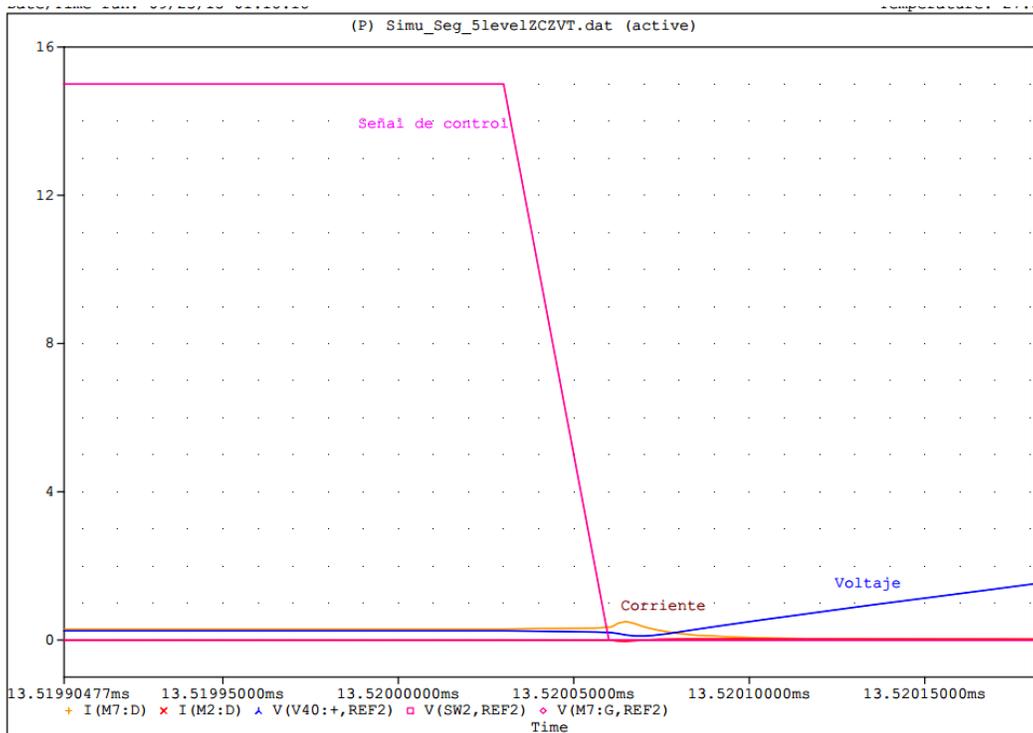


Figura 60. Gráfica Señal de control (Apagado) – Corriente - Voltaje para el interruptor SW2 con la celda de conmutación ZCZVT

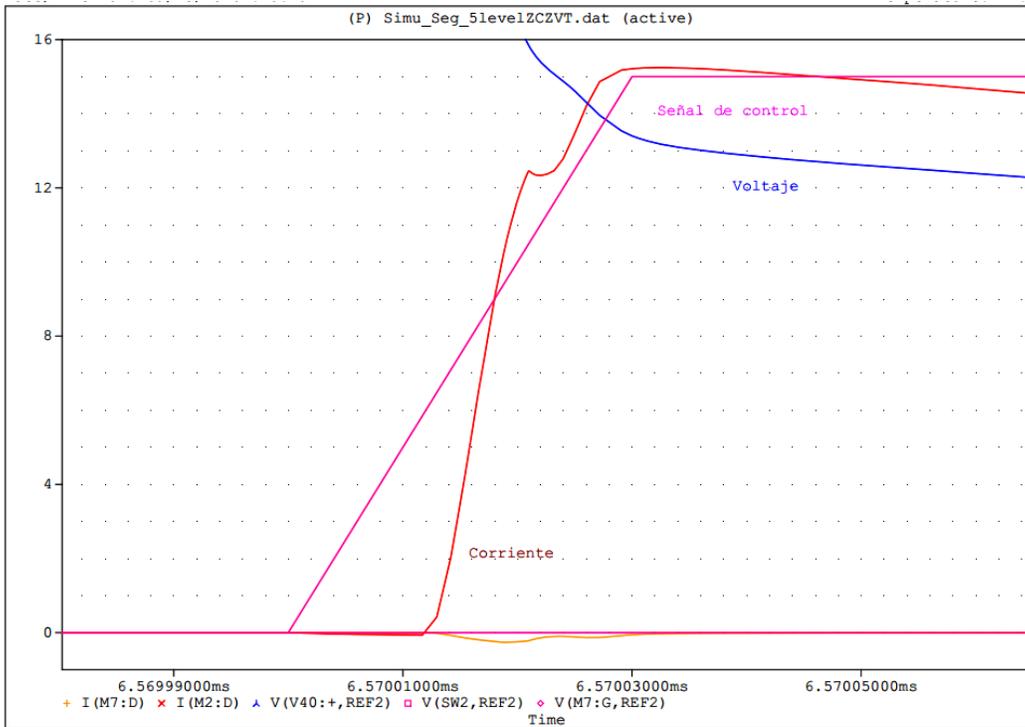


Figura 61. Gráfica Señal de control (Encendido) – Corriente - Voltaje para el interruptor SW2 con la celda de conmutación ZCZVT

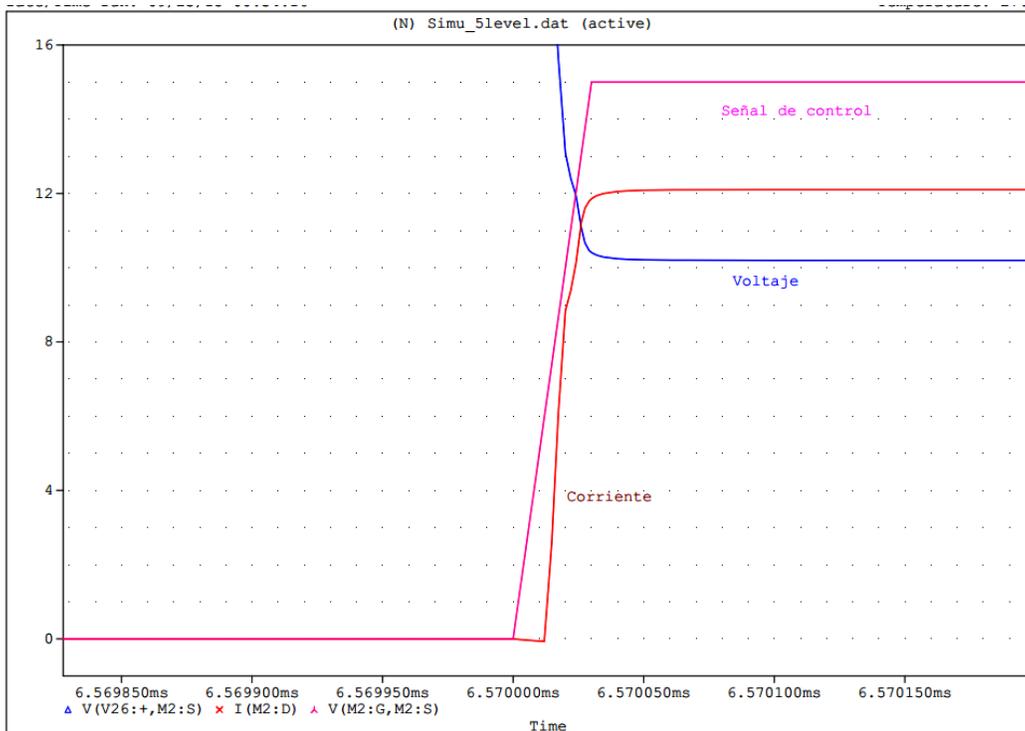


Figura 62 Gráfica Señal de control (Encendido) -Corriente-Voltaje para el interruptor SW2

## Implementación del inversor de 5 niveles

Para la validación del inversor multinivel propuesto en este trabajo, se implementó de manera experimental el circuito con la siguiente lista de dispositivos:

- Dispositivos de conmutación IRF840
- Diodos de ultra rápida recuperación MUR8100E
- Microcontrolador PIC18F4550
- Opto acopladores 6N137
- Excitadores de compuerta TLP2507
- Dos fuentes de tensión +5 Volts y 12 de +12 Volts

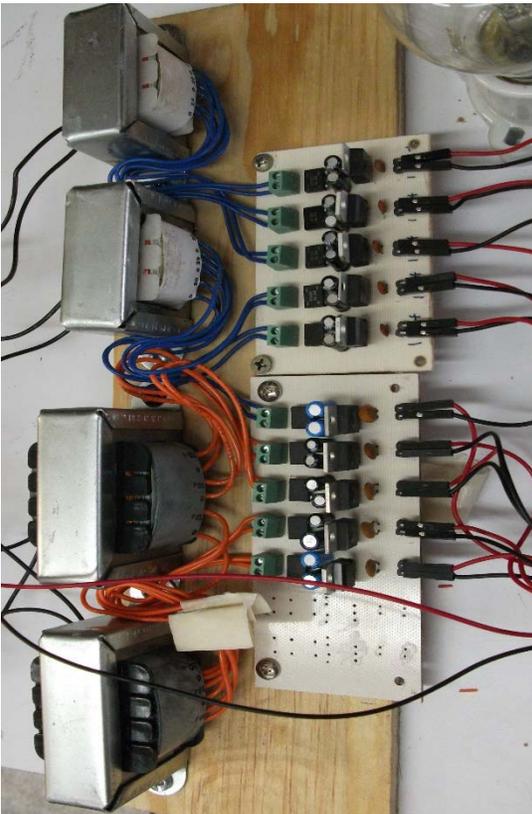


Figura 64. Fuentes de tensión utilizadas para los excitadores de compuerta TLP250



Figura 63. Aislamiento de las señales por medio de los opto acopladores 6N137 y excitadores de compuerta TLP250

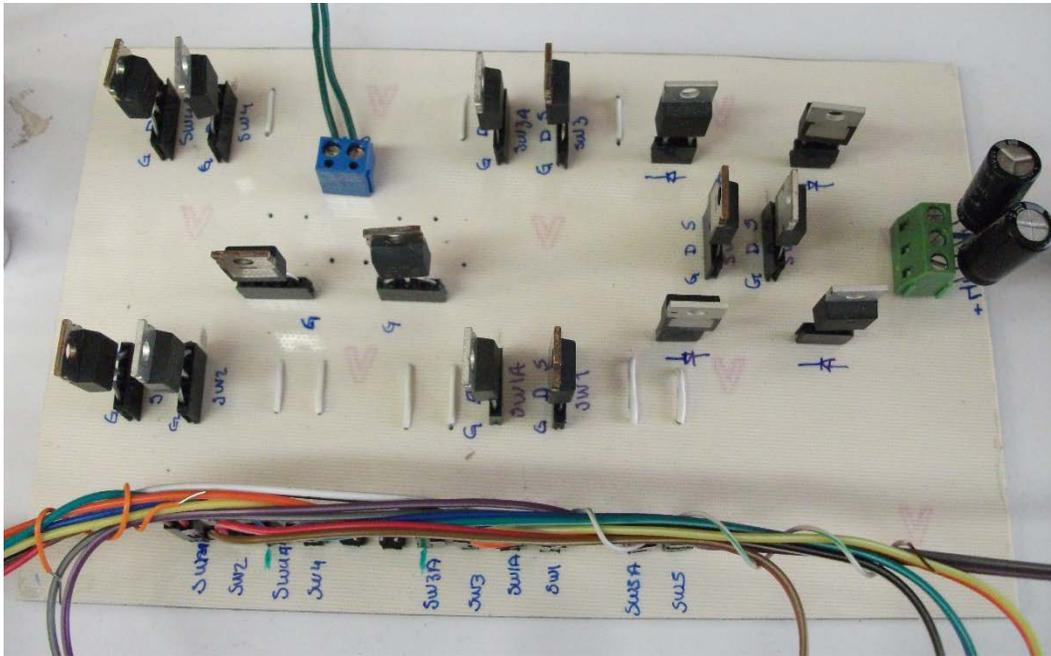


Figura 65. Circuito impreso del inversor de 5 niveles.

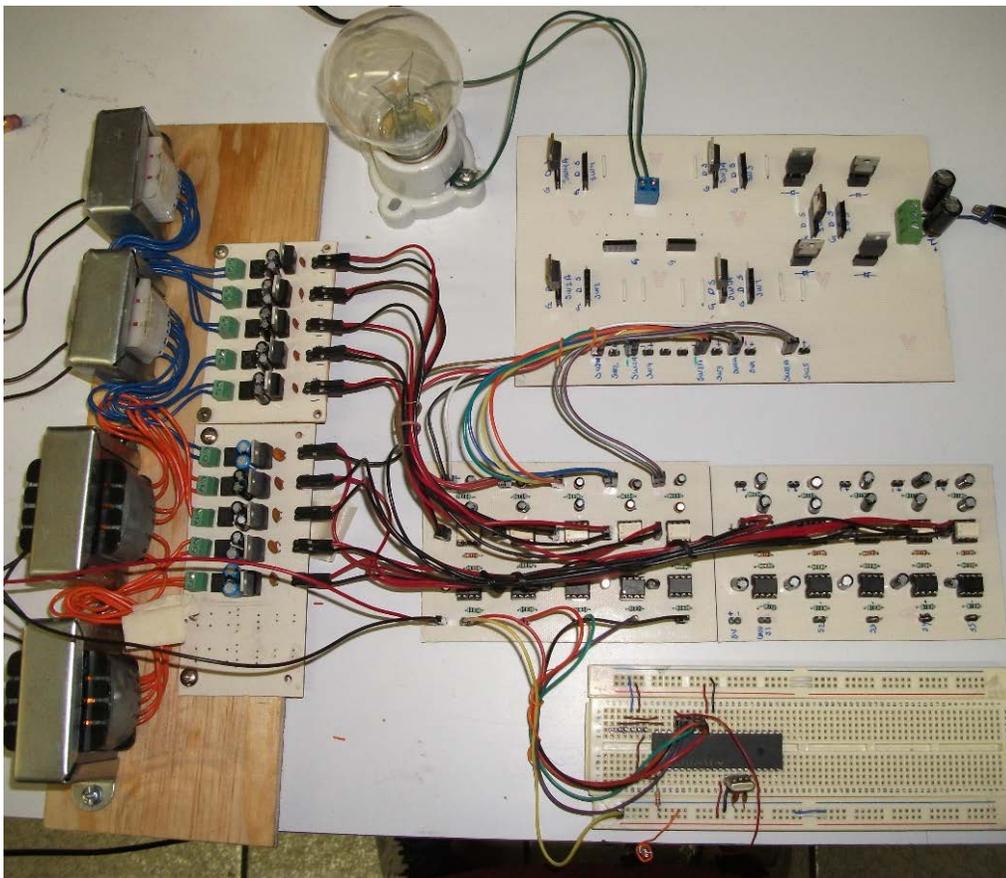


Figura 66. Implementación del inversor de 5 niveles de semiciclos segmentados propuesto.

La evaluación experimental se hizo con los siguientes valores de entrada

$$V_{CD} \text{ (Entrada)} = 52 \text{ Vcd}$$

$$F_{CONMUTACIÓN} = 60 \text{ Hz}$$

$$I_{CD} \text{ (Entrada)} = 120.5 \text{ mA}$$

$$V_O \text{ (Salida)} = \pm 35 \text{ V}_{RMS}$$

$$R_{CARGA} = 220 \Omega$$

$$I_o \text{ (Salida)} = \pm 168 \text{ mA}_{RMS}$$

$$F_{SALIDA} = 62 \text{ Hz}$$

$$P_o \text{ (Salida)} = \pm 5.88 \text{ W}$$

*Eficiencia: 93.9%*

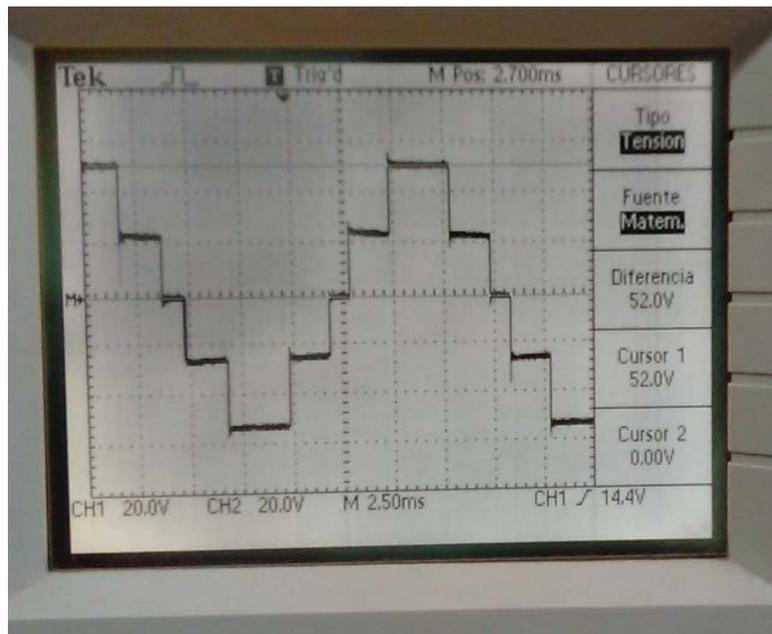


Figura 67. Tensión de salida para el inversor de 5 niveles implementado

---

## Conclusiones

En este trabajo de tesis se diseñó e implementó un inversor de 5 niveles con una topología que utiliza un conmutador auxiliar. A esta propuesta se agregó lo que se denomina técnica de semiciclos segmentados y de igual manera a este nuevo arreglo se adicionó una celda de conmutación llamada ZCZVT, que ayuda a disminuir pérdidas por conmutación.

Para reducir el número de dispositivos necesarios para la generación de 5 niveles de tensión se utilizó un conmutador auxiliar, de esta manera solo son necesarios 5 dispositivos de conmutación en lugar de los 8 que usa el inversor multinivel de fuentes independientes.

La técnica semiciclos segmentados se simuló y se implementó junto con el inversor construido, apreciando que dicha técnica es funcional para la generación de los niveles deseados en el inversor, haciendo que por cada nivel generado se ocupen 4 interruptores en lugar de 2, de esta manera se logra que el inversor tenga una vida útil prolongada. Uno de los objetivos de este trabajo era la realización de un circuito menos complejo en su construcción, pero debido a la implementación de ésta técnica, el número de dispositivos de conmutación se incrementó al doble, haciendo que la construcción de nuestra propuesta sea más compleja. Se apreció de manera gráfica que la forma de onda a la salida del inversor seguía manteniendo los 5 niveles de tensión esperados.

Se implementó la técnica ZCZVT para reducir pérdidas por conmutación al circuito propuesto, para modificar las formas de onda de corriente y voltaje de cada componente. Los resultados obtenidos en la aplicación de esta celda de conmutación mostraron una mejora en las formas de onda, pero no mostraron una disminución significativa en las pérdidas de conmutación debido a la baja potencia de las pruebas realizadas.

---

Actualmente se continúa trabajando en la experimentación con el inversor implementado, para el manejo de mayor corriente y voltaje que los utilizados en este trabajo. De igual manera, se siguen realizando ajustes al dispositivo propuesto para que las pérdidas sean disminuidas en mayor medida a las reportadas.

## Apéndice A. Diagramas Esquemáticos

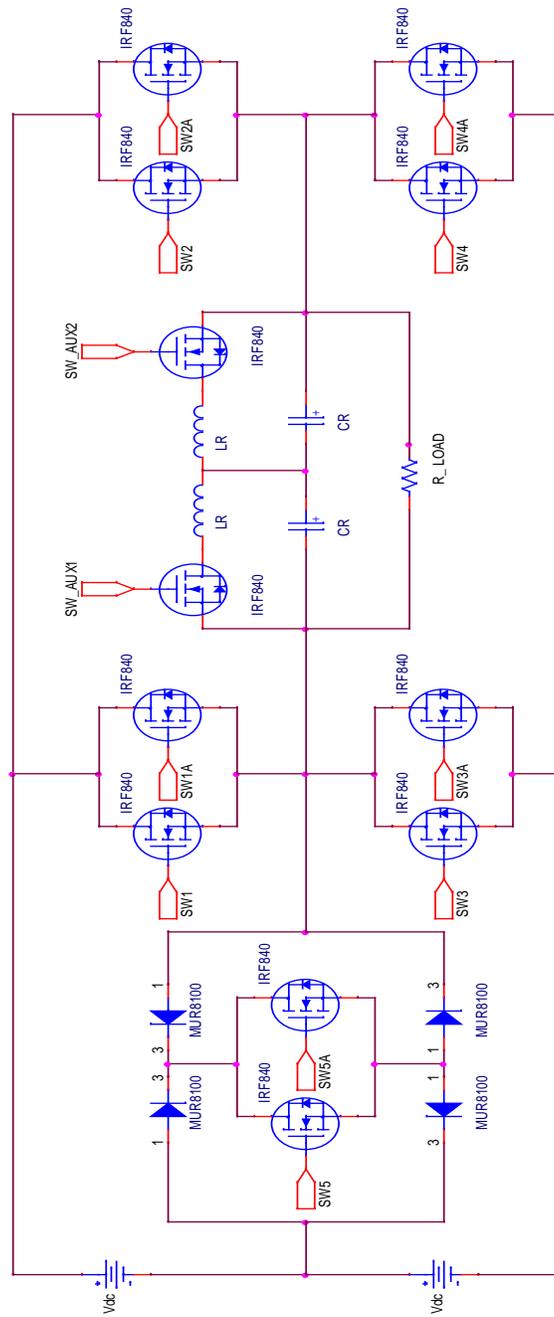


Figura A.1 Diagrama esquemático del inversor de 5 niveles utilizando la técnica semiciclos segmentados y la ZCZVT

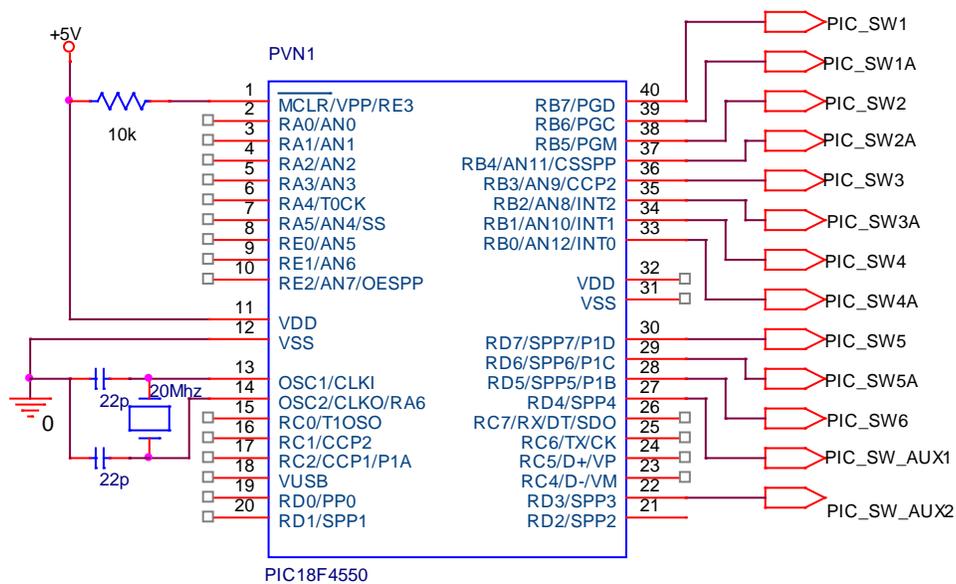


Figura A.1 Diagrama esquemático de la implementación del microcontrolador PIC18F4550 para la generación de las señales de control del inversor.

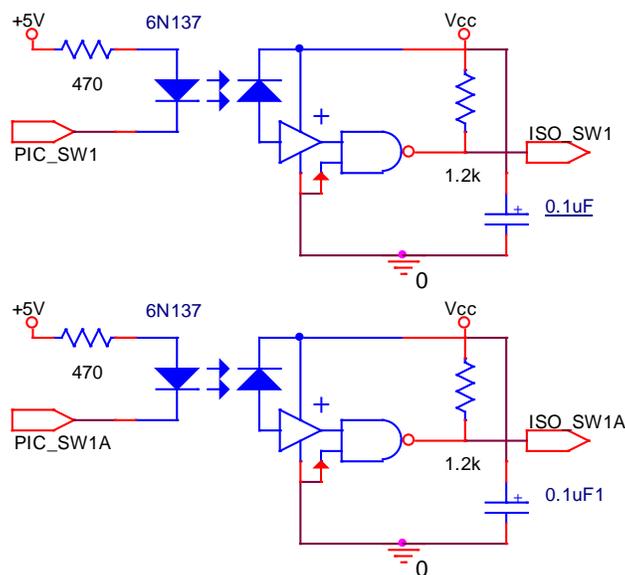


Figura A.2 Diagrama esquemático del aislamiento de las señales de control para los interruptores principales (SW1-SW5 y SW1A-SW5A) por medio de los opto acopladores 6N137.

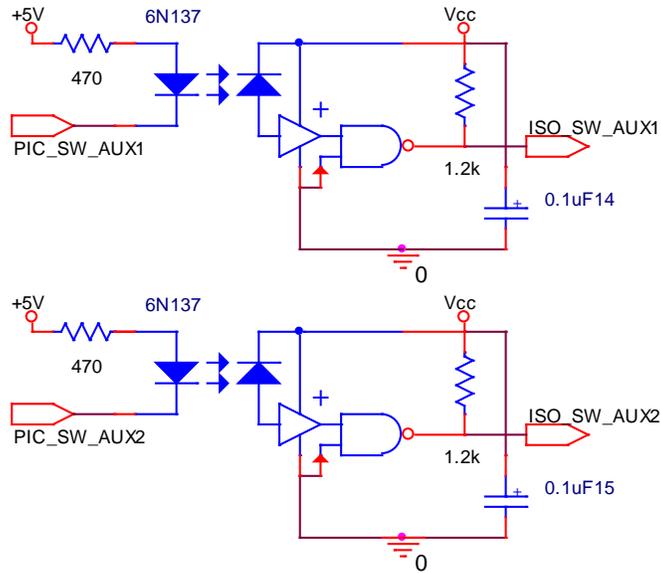


Figura A.3 Diagrama esquemático del aislamiento de las señales de control para los interruptores auxiliares (SW\_AUX1 Y SW\_AUX2) por medio de los opto acopladores 6N137.

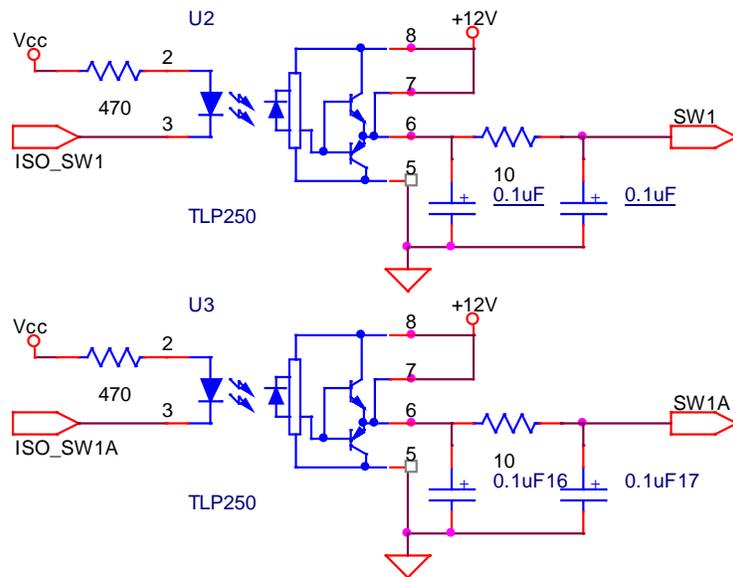


Figura A.4 Diagrama esquemático de circuito excitador de compuerta para cada una de las señales de control de los interruptores principales (SW1-SW5 y SW1A-SW5A) por medio del circuito excitador TLP250.

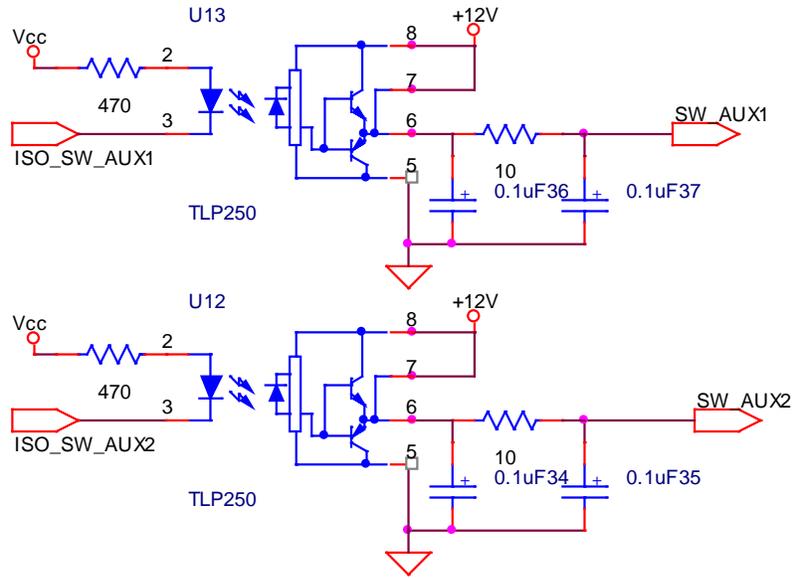


Figura A.5 Diagrama esquemático de circuito excitador de compuerta para cada una de las señales de control de los interruptores principales (SW\_AUX1 y SW\_AUX2) por medio del circuito excitador TLP250.

# Apéndice B. Circuitos Impresos

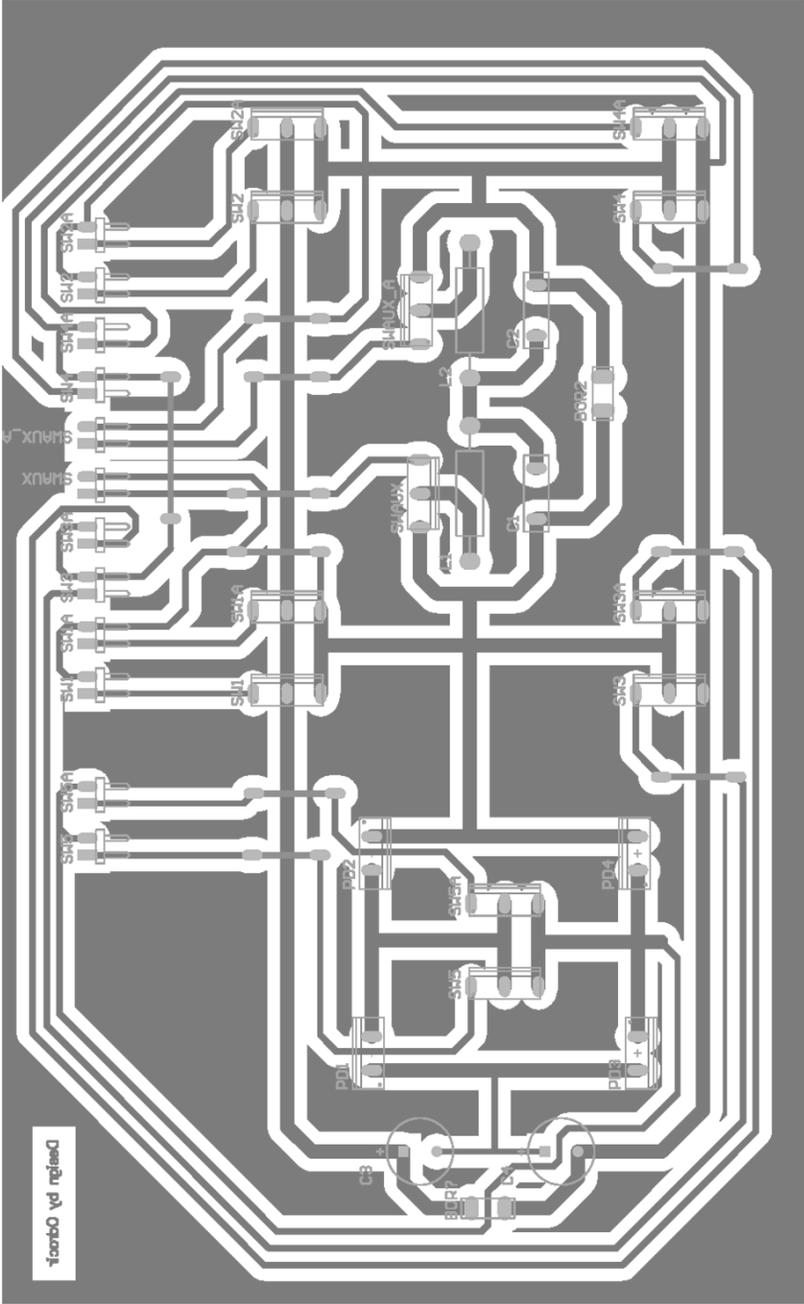


Figura B.1 Tarjeta PCB de la etapa de potencia del inversor propuesto.

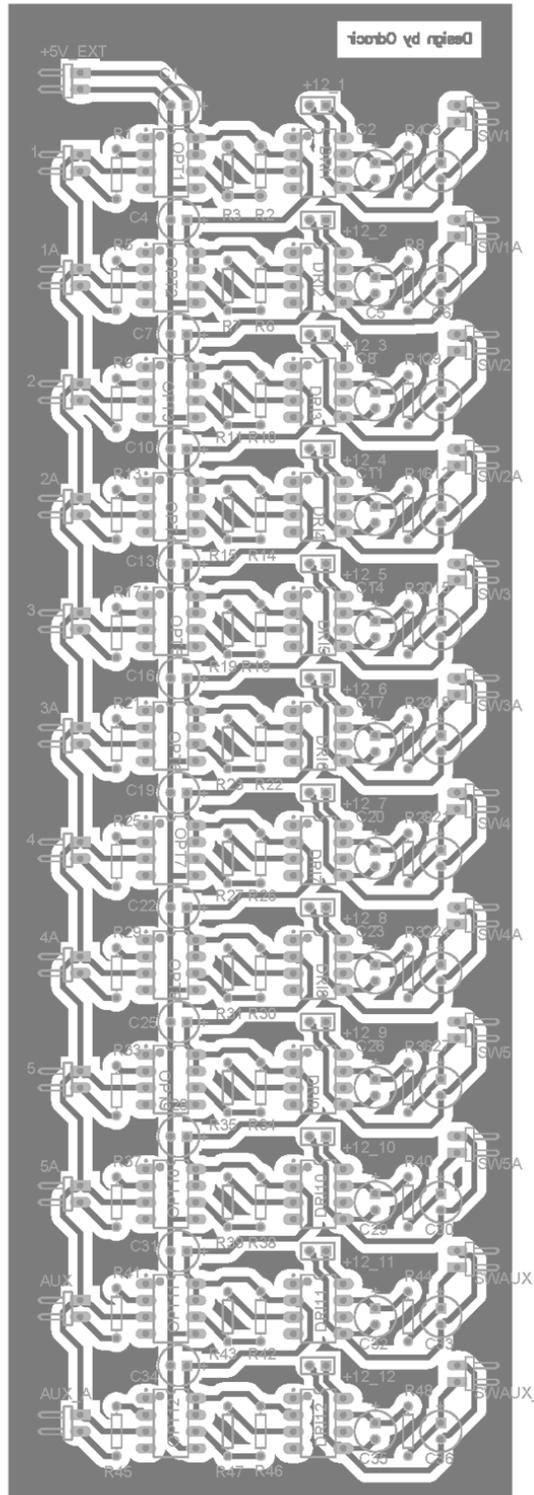


Figura B.2 Tarjeta impresa PCB de la tarjeta de aislamiento y acondicionamiento de las señales de control.

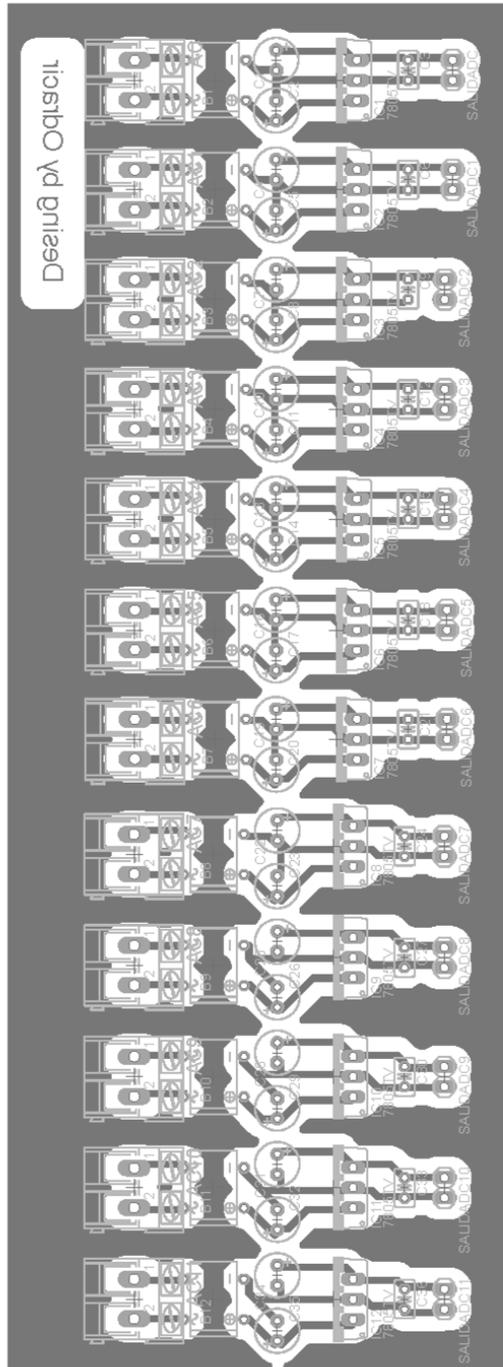


Figura B.3 Tarjeta impresa PCB de las fuentes de tensión utilizadas para el acondicionamiento de las señales

---

## Apéndice C. Plataforma de simulación Orcad

Orcad es una herramienta de captura de esquemas de circuitos eléctricos. Contiene a su vez varios paquetes que permiten realizar diferentes procesos teniendo como base un diagrama esquemático de un circuito eléctrico. Entre algunos de los paquetes que conforman esta herramienta de diseño se encuentran:

**Capture.** Permite dibujar esquemas de circuitos eléctricos tanto analógicos como digitales o mixtos.

**Pspice.** Permite simular el comportamiento de los circuitos eléctricos dibujados en Capture.

**LAYOUT/PCB.** Permite la creación de circuito impreso PCB (Printed Circuit Board) a partir de un circuito esquemático.

**Express/Capture:** Diseño de circuitos digitales con dispositivos lógicos programables y memorias.

Capture permite agrupar todos los recursos que se utilizan en el diseño de un circuito eléctrico dentro de un proyecto. Estos recursos se encuentran divididos en carpetas de esquemas, librerías de componentes, ficheros VHDL y ficheros de salida.

Para la simulación de circuitos Orcad cuenta con 4 diferentes aplicaciones que pueden ser ejecutadas de manera independiente. Estas aplicaciones son las siguientes:

**Pspice AD** permite ejecutar el simulador y visualizar los resultados.

**Pspice Model Editor** gestiona las librerías de los modelos de simulación.

**Pspice Optimizer** optimiza los circuitos analógicos y digitales, realiza iteraciones para ajustar valores definidos por el usuario para que el circuito en conjunto funcione de acuerdo a lo esperado.

**Pspice stimulus editor** permite editar estímulos para la simulación de circuitos digitales.

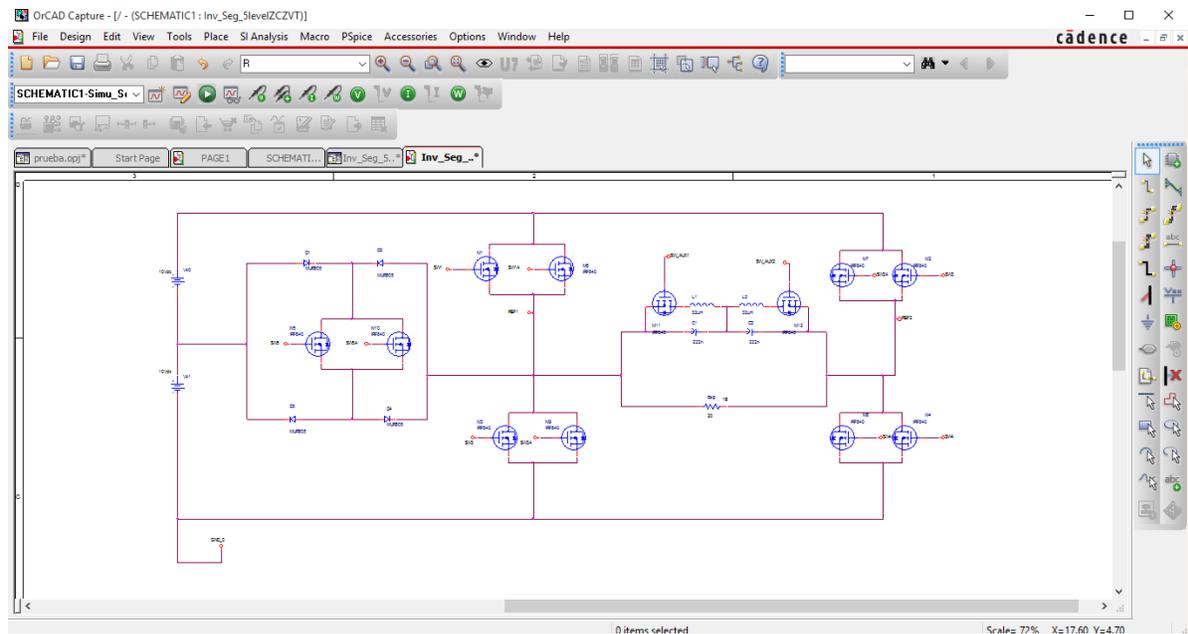


Figura C.1 Entorno de desarrollo de la aplicación Capture de la plataforma Orcad para la simulación de circuitos eléctricos.

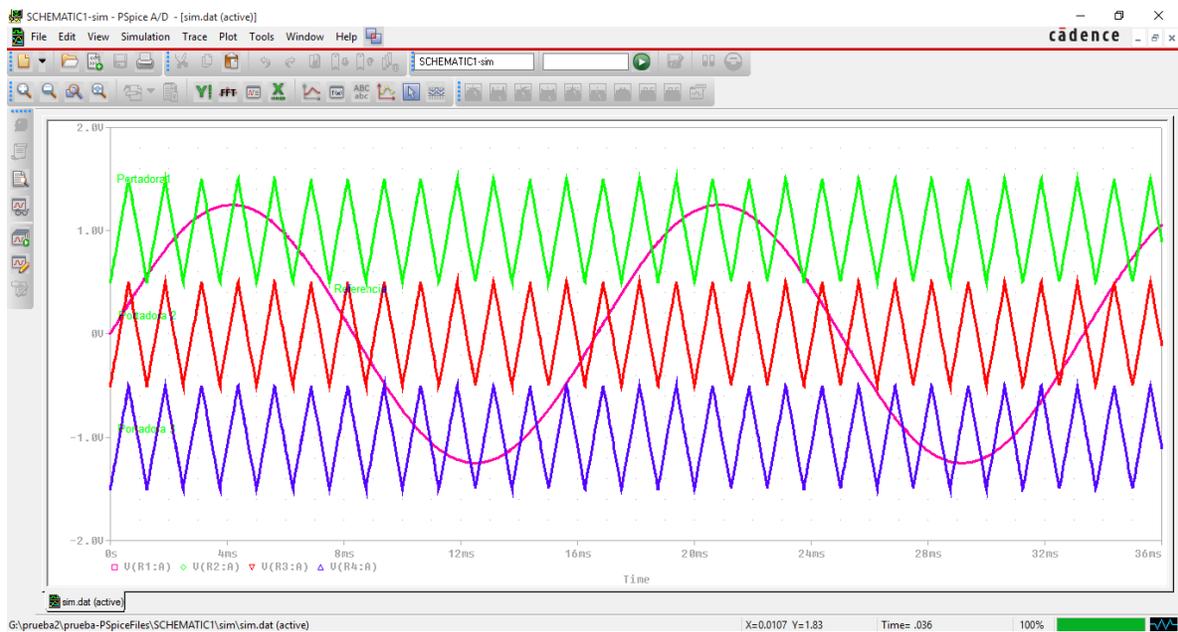


Figura C.2 Visualización de los resultados durante la simulación de un circuito eléctrico en la aplicación Pspice de la plataforma Orcad.

## Apéndice D. Plataforma de simulación Psim

Es una herramienta que permite simular circuitos de electrónica de potencia. Tiene una rápida respuesta así como una buena exactitud haciendo que sea particularmente eficiente en el análisis de convertidores de cualquier tamaño.

Psim trabaja con circuitos de control de varias formas: circuitos analógicos, diagrama a bloques de funciones de transferencia en dominio  $s$  y  $z$ , código escrito en lenguaje C o en Matlab/Simulink. Las bibliotecas de control poseen una gran lista de componentes y bloques funcionales que hacen posible la construcción virtual de cualquier esquemático de manera rápida.

Entre los diferentes módulos disponibles para simulación se encuentran control de motores, control digital, energía renovable, además de soporte para DSP y FPGA.

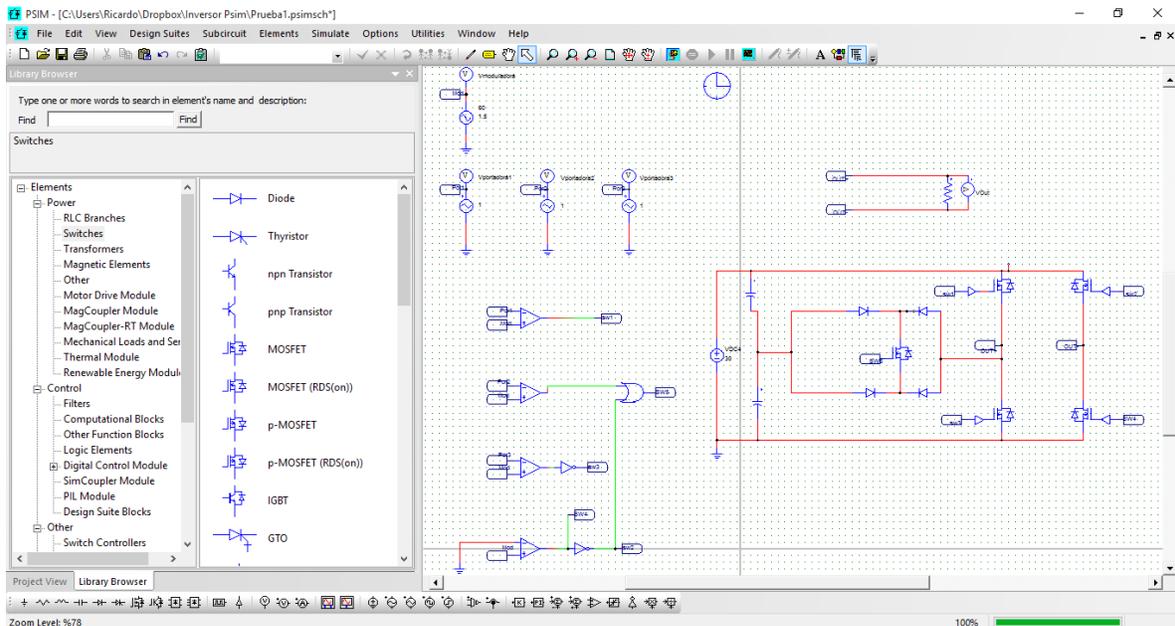


Figura D.1 Entorno de desarrollo de la plataforma de simulación de circuitos electrónicos de potencia Psim.

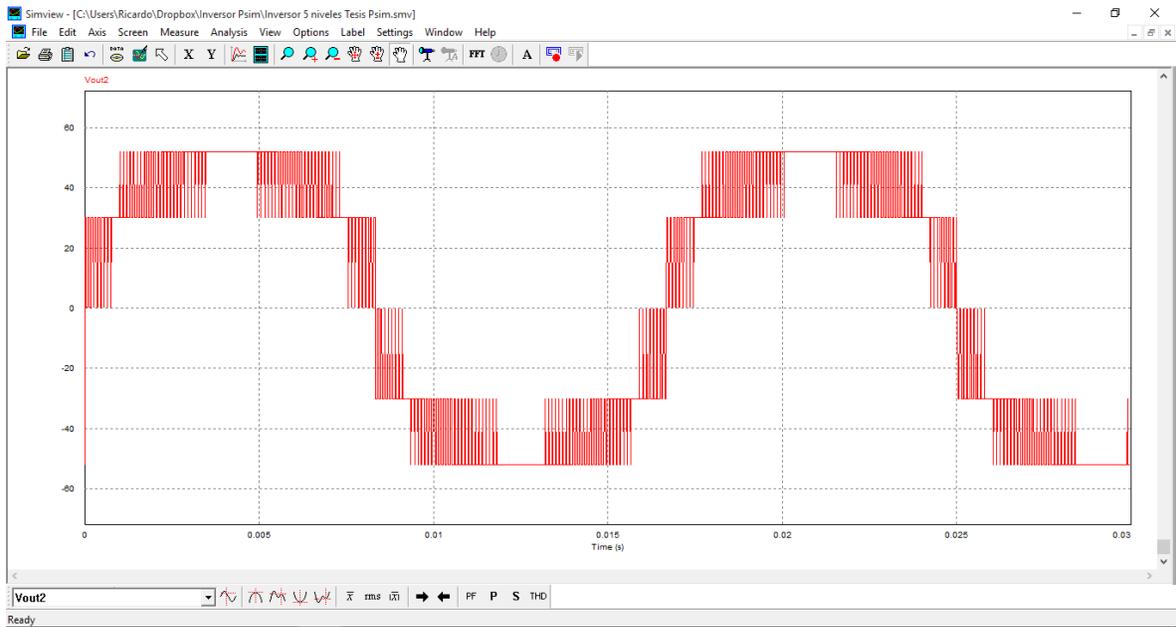


Figura D.2 Visualización de gráficas durante la simulación de un circuito eléctrico en la herramienta Simview de la herramienta Psim

---

## Referencias

- [1] G.S. Perantzakis, F.H. Xenapas, S.N. Manias, "A New Four-Level PWM Inverter Topology for High Power Applications-Effects of Switching Strategies on Power Losses Distribution", National Technical university of Athens, Department of Electrical and Computer Engineering Laboratory of Electrical Machines, pp. 4398-4404.
- [2] Gerardo Ceglia, Víctor Guzmán, Member, IEEE, Carlos Sánchez, Fernando Ibáñez, Julio Walter, and María I. Giménez, Member, IEEE, "A New Simplified Multilevel Inverter Topology for DC-AC Conversion", IEEE Transactions on Power Electronics, Vol. 21 No. 5, September 2006, pp. 1311-1318.
- [3] Davide Giacomini, member IEEE, Luigi Chiné, "A novel high efficient approach to input bridges", SMPS European Application Lab International Rectifier.
- [4] Khaliqur Rahman, Abu Tariq, and Farhad Ilahi Bakhsh, Student Member, IEEE, "Modeling and Analysis of Multilevel Inverters Using Unipolar and Bipolar Switching Schemes", IEEE- International Conference On Advances In Engineering, Science And Management (ICAESM -2012) March 30, 31, 2012, pp. 466-471.
- [5] S. Nagaraja Rao, D.V. Ashok Kumar, Ch. Sai Babu, "New Multilevel Inverter Topology with reduced number of Switches using Advanced Modulation Strategies", 2013 International Conference on Power, Energy and Control (ICPEC), pp. 693-699.
- [6] Shivam Prakash Gautam, Dr. Shubhrata Gupta, Dr. Swapnajit Pattnaik and Varsha Singh, "New topology with reduced number of switches in asymmetrical cascaded multilevel", Department of Electrical Engineering, National Institute Of Technology Raipur, Chhattisgarh, INDIA. PIN-492010, pp. 336-344.
- [7] Panagiotis Panagis, Fotis Stergiopoulos, Pantelis Marabeas and Stefanos Manias, "Comparison of State of the Art Multilevel Inverters", University of Newcastle Upon Tyne, Department of Electrical, Electronic and Computer Engineering, Newcastle, United Kingdom, pp. 4296-4301.
- [8] Mr.Pharne I.D., Prof. Bhosale Y.N., "A review on Multilevel Inverter Topology", 2013 International Conference on Power, Energy and Control (ICPEC), pp. 700-703.

- 
- [9] Surin Khomfoi, Member IEEE, Leon M. Tolbert, Senior member IEEE, Nattpat Praisuwanna, Student member IEEE, "A Hybrid Cascaded Multilevel Inverter Application for Renewable Energy Resources Including a Reconfiguration Technique", Electrical Engineering and Computer Science 311 Ferris Hall, The University of Tennessee, Knoxville, TN 37996-2100,
- [10] A. Syukri Mohamad, Norman Mariun, Nasri Sulaiman, M. Amran M. Radzi, "A New Cascaded Multilevel Inverter Topology with Minimum Number of Conducting Switches", 2014 IEEE Innovate Smart Grid Technologies – Asia (ISGT ASIA).
- [11] A. Kirubakaran, D. Vijayankumar, "Development of LabVIEW-based multilevel inverter with reduced number of switches", Int. J. Power Electronics, Vol. 6, No. 1, 2014.
- [12] L. M. A.Beigi, N. A. Azli, F. Khosravi, E. Najafi, and A. Kaykhosravi, "A New Multilevel Inverter Topology with Reduced Number of Power Switches", 2012 IEEE International Conference on Power and Energy (PECon), 2-5 Decembre 2012, Kota Kinabalu Sabah, Malasya.
- [13] M.Murugesan, S.Sivaranjani, M.Baby, K.Bhuvaneswari, "A New Reduced Switch Count Seven Level Cascaded Multilevel Inverter for BLDC Motor", 2013 International Conference on Advanced Computing and Communication Systems (ICACCS-2013), Dec. 19-21, 2013, Coimbatore, INDIA.
- [14] Mohammad Nilkar, Ebrahim Babaei, Member, IEEE, Mehran Sabahi, "A New Single-Phase Cascade Multilevel Inverter Topology Using Four-Level Cells", 20th Iranian Conference on Electrical Engineering, (ICEE2012), May 15-17, Tehran, Iran.
- [15] Nurul Aisyah Yusof, Norazliani Md Sapari, Hazlie Mokhlis, Jeyraj Selvaraj, "A Comparative Study of 5-level and 7-level Multilevel Inverter Connected to the Grid", 2012 IEEE International Conference on Power and Energy (PECon), 2-5 December 2012, Kota Kinabalu Sabah, Malasya.
- [16] Kaustubh P. Draxe, Mahajan Sagar Bhaskar Ranjana, Kiran M. Pandav, "A Cascaded Asymmetric Multilevel Inverter with Minimum Number of Switches for Solar Applications", 2014 Power and Energy Systems: Towards Sustainable Energy (PESTSE 2014).
- [17] C.M.O. Stein, H.L. Hey, J.R. Pinheiro, H. Pinheiro and H.A. Gründling, "Analysis, design, and implementation of a new ZCZVT commutation cell for PWM DC-AC Converters"

- 
- [18] Surin Khomfoi, Chatrchai Aimsaard, "A 5-Level Cascaded Hybrid Multilevel Inverter for Interfacing with Renewable Energy Resources", 2009 IEEE.
- [19] Milian M. Jovanović and Yungtaek Jang, "A novel active snubber for high-power boost converters", IEEE Transactions on Power Electronics Vol. 15 No. 2 Marzo 2000.
- [20] Jose Rodriguez, Jin-Sheng Lai, and Fang Zheng Peng, "Multilevel Inverters: A Survey of Topologies Controls, and Applications", IEEE Transactions on Industrial Electronics, Vol. 49 No. 4, August 2002.
- [21] S. Umashankar, T.S. Sreedevi, V.G. Nithya, and D. Vijayankumar, "A new 7 level Symmetric Multilevel Inverter with Minimum Number of Switches", Hindawi Publishing Corporation ISRN Electronics Volume 2013, Article ID 476876.
- [22] Nakul Thombre, Rakita Sigh Rawat, Pryanka Rana, Umashankar S., "A novel Topology of Multilevel Inverter with Reduced Number of Switches and DC Sources", International Journal of Power Electronics and Drive Systems, Vol. 5, No. 1, July 2014.
- [23] Y.R. Manjunatha, B.A. Anand, "Multilevel DC Link Inverter with Reduced Switches and Batteries", International Journal of Power Electronics and Drive Systems, Vol. 4, No. 3, September 2014.
- [24] Electrónica de potencia. Convertidores aplicaciones y diseño, Ned Mohan, Tore M. Undeland, William P. Robbins, Editorial Mc. Graw Hill Tercera Edición.
- [25] Electrónica de potencia. Circuitos, dispositivos y aplicaciones, Muhammad H. Rashid, Editorial Pearson Prentice Hall
- [26] Power electronic circuits, Issa Bataresh, John Wiley & Sons, Inc.
- [27] Power Electronics, Advanced Conversion Technologies, Fang Lin Luo, Hong Ye  
CRC Press
- [28] Electrónica de potencia, Daniel W. Hart, Editorial Prentice Hall.
- [29] Power Electronics Semiconductor Devices, Robert Perret, Jhon Whiley & Sons Inc.