



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**

---

**FACULTAD DE INGENIERÍA**

**DISEÑO E IMPLEMENTACION DE UN  
TABLERO ELECTRONICO PARA LA  
COMUNICACION DE  
POSICION ABSOLUTA**

**INFORME DE ACTIVIDADES PROFESIONALES**

Que para obtener el título de  
**Ingeniero Eléctrico Electrónico**

**P R E S E N T A**

Marin Hernandez Fabian

**ASESOR DE INFORME**

Dr. Saúl de la Rosa Nieves



Ciudad Universitaria, Cd. Mx., 2022

## Tabla de contenido

<b>1.- Introducción</b> .....	<b>4</b>
<b>2.- Objetivo</b> .....	<b>5</b>
<b>3.- La empresa</b> .....	<b>5</b>
<b>3.1.- Descripción de la empresa</b> .....	<b>5</b>
<b>3.2.- Descripción del puesto de trabajo</b> .....	<b>5</b>
<b>4.- Marco teórico</b> .....	<b>6</b>
<b>4.1.- Codificador de posición absoluta (APE)</b> .....	<b>6</b>
<b>4.2.- Estándar RS-485</b> .....	<b>6</b>
<b>4.3.- Universal Asynchronous Receiver-Transmitter (UART)</b> .....	<b>7</b>
<b>4.4.- Controller Area Network (CAN)</b> .....	<b>8</b>
<b>4.5.- Inter Integrated Circuit (I2C)</b> .....	<b>9</b>
<b>4.6.- Protecciones contra descargas electrostáticas (ESD)</b> .....	<b>10</b>
<b>4.7.- Protecciones contra sobrecorrientes PTC</b> .....	<b>13</b>
<b>4.8.- Regulador lineal de baja caída (LDO)</b> .....	<b>13</b>
<b>4.9.- Fuente conmutada reductora</b> .....	<b>15</b>
<b>4.10.- Parámetros térmicos en circuitos integrados</b> .....	<b>16</b>
<b>4.11.- JTAG</b> .....	<b>17</b>
<b>5.- Antecedentes del proyecto, tema o problemática</b> .....	<b>18</b>
<b>a) Módulo de detección de posición de la puerta</b> .....	<b>18</b>
<b>b) Integralidad modular</b> .....	<b>18</b>
<b>6.- Definición del proyecto</b> .....	<b>18</b>
<b>7.- Metodología utilizada</b> .....	<b>19</b>
<b>7.1.- Diseño Top-Down</b> .....	<b>19</b>
<b>7.2.- Etapas de desarrollo</b> .....	<b>21</b>
7.2.1.- Organización e integración .....	21
7.2.2.- Definición e investigación .....	21
7.2.3.- Diseño .....	22
7.2.4.- Construcción .....	24
7.2.5.- Validación .....	24
7.2.6.- Documentación .....	25
7.2.7.- Presentación .....	25
<b>8.- Participación profesional</b> .....	<b>25</b>
<b>8.1.- Sistema de suministro de energía</b> .....	<b>25</b>
<b>8.2.- Comunicación con el APE</b> .....	<b>27</b>

8.2.1.- Transceiver RS485 .....	27
8.2.2.- Programación UART.....	27
<b>8.3.- Protecciones.....</b>	<b>28</b>
8.3.1.- ESD .....	28
8.3.2.- PTC.....	28
<b>9.- Resultados y aportaciones.....</b>	<b>29</b>
<b>10.- Conclusiones .....</b>	<b>30</b>
<b>11.- Bibliografía .....</b>	<b>30</b>
<b>Notas de aplicación: .....</b>	<b>30</b>
<b>12.- Glosario de términos.....</b>	<b>31</b>

## 1.- Introducción

En el mundo actual, las empresas, sobre todo las tecnológicas, se enfrentan con clientes cada vez más exigentes y con nuevas necesidades, clientes que buscan conectividad en sus productos, seguridad en su información, calidad y durabilidad en lo que compran y facilidad y accesibilidad al uso de sus dispositivos, en palabras de Milton Hershey “Dales calidad, es el mejor tipo de publicidad que existe”. En este contexto tan dinámico y demandante, las empresas necesitan asegurarse de mantener sus productos competitivos e innovadores para el mercado que atiende. Dentro de la gran cadena de valor que conforma a una empresa, los ingenieros representan una parte clave para cumplir este propósito, siendo agentes innovadores y ejecutores, que no solamente desarrollan los nuevos productos que en unos años estarán en el mercado sino, además, se aseguran de la sostenibilidad de estos a largo plazo y a su vez se encargan de la correcta ejecución de los procesos tanto de manufactura como de logística.

Para la empresa en cuestión (descrita en la sección 3), que fabrica abridores de puertas, es de interés contar con un mecanismo que permita conocer la posición de las puertas en todo momento y bajo cualquier circunstancia, por lo que en el presente reporte de actividades profesionales, se presenta el diseño e implementación de un módulo electrónico capaz de conectar a un codificador de posición absoluta (APE, por sus siglas en inglés) que permite conocer la posición de la puerta a una Red de Área del Controlador (CAN, por sus siglas en inglés) que es una red de interconexión utilizada para distintos módulos funcionales usados en productos de la empresa; haciendo énfasis en la metodología utilizada en el diseño electrónico, las consideraciones para aumentar la robustez de este y los retos, complicaciones y resultados que surgieron durante cada etapa del desarrollo de este módulo.

El interés de conocer la posición de la puerta, y por ende el de desarrollar este módulo electrónico, fue el hacer ciertos productos de la empresa más sencillos de utilizar para el usuario final, ya que introduce la capacidad de detectar la posición angular del motor que abre la puerta, independientemente si esta fue movida cuando el sistema no estaba energizado, situación en la que los anteriores modelos debían reconfigurarse para poder operar adecuadamente).

Todo el proceso de desarrollo se llevó a cabo por un equipo de 3 integrantes asesorados y supervisados por ingenieros de distintas áreas de la empresa, entre las que destaco el área de diseño electrónico, el área de productividad y mantenimiento en hardware y firmware y el área de manufactura; resultando en un producto que es respaldado por profesionistas con años de experiencia en la industria.

Todo este proceso de desarrollo culminó no solamente en un módulo electrónico funcional, sino también en la adquisición de diversos conocimientos teóricos, el aprendizaje de distintas herramientas digitales utilizadas dentro de la empresa y el dominio de distinto material y equipo de laboratorio, cubriendo la parte práctica del aprendizaje.

## 2.- Objetivo

- Diseñar, implementar y validar un módulo electrónico que transmita la información de un APE a una red de comunicación CAN.
- Proveer a dicho módulo la capacidad de comunicarse en otro protocolo para interconectarse con un proyecto de RF desarrollado por otro equipo.

## 3.- La empresa

### 3.1.- Descripción de la empresa

La empresa diseña, fabrica y distribuye soluciones de acceso residencial, comercial y perimetral, genéricamente conocidos como “abridores de puertas”; fundada en 1954, es una empresa líder mundial en su ramo, cuenta con más de 6,000 empleados a nivel mundial y cuenta con presencia en ciudades como Oak Brook, Denver, Tucson, Saarbrücken, Nogales, Taipei, Shenzhen, Hong Kong, Gosford y Sydney.

Sus áreas de enfoque son:

- Bienestar
- Sustentabilidad
- Modelo *Steam*
- Humanismo

Los valores son algo fundamental para la empresa, ya que son el pilar de su excelencia, con especial enfoque en:

- Calidad y excelencia: Mejorar continuamente en todo lo que se hace para crear soluciones de calidad y brindar los mejores servicios
- Clientes: Estos determinan el éxito de la compañía, así que las soluciones de calidad deben de cumplir con las necesidades de estos
- Responsabilidad corporativa: Proveer espacios de trabajo seguros mientras se protege el medio ambiente
- Socios: Se reconoce el rol de los proveedores y distribuidores en la cadena de valor de la empresa
- Crecimiento a largo plazo y rentabilidad: Enfocarse en estos aspectos en lugar del desempeño a corto plazo
- Integridad: Siempre operar de forma ética, honesta y con rectitud.
- Liderazgo: Ser líderes innovadores en cada uno de los mercados que se cubren
- Empleados: Porque las personas conforman a la empresa, se valoran las habilidades, fortalezas y perspectivas de tan diverso equipo.

### 3.2.- Descripción del puesto de trabajo

El rol que desempeñé dentro de la empresa puede dividirse en los siguientes aspectos:

- Desarrollo de un proyecto en equipo: diseño e implementación de un módulo electrónico para conectar un APE a una red CAN.
- Diagnóstico de problemas/fallas en tableros electrónicos
- Validación funcional de componentes electrónicos nuevos
- Actualización de especificaciones de tableros y componentes electrónico

## 4.- Marco teórico

### 4.1.- Codificador de posición absoluta (APE)

Un codificador de posición absoluta (APE, por sus siglas en inglés) es un dispositivo que mide la posición angular de un eje acoplado a éste, en donde cada posición corresponde a un único valor en el codificador, en otras palabras, cada posición angular es única en el rango del dispositivo. Una característica clave es que los APE no pierden la posición angular cuando se les deja de suministrar energía, incluso si hubo un cambio en esta.

Los APE pueden ser *single-turn* o *multi-turn*, los primeros son aptos para recorridos cortos o donde la verificación de la posición es menor a una vuelta de  $360^\circ$ , mientras que los segundos son aptos para recorridos más grandes.

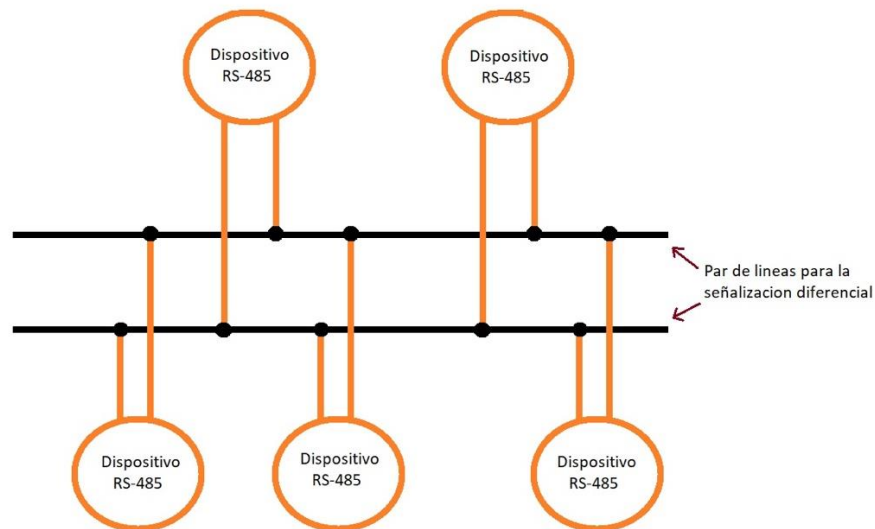
Comúnmente los APE están acoplados mediante un arreglo de engranes (pueden tener ganancia o no) que a su vez se acoplan al eje del motor cuya posición angular es de interés.

### 4.2.- Estándar RS-485

RS-485 es un estándar que define las características eléctricas (es decir, sólo de la capa física) de transmisores y receptores para la implementación de una línea de transmisión multipunto balanceada (TI\_RS485, 2020). Sus características clave son:

- Línea balanceada (la señalización es diferencial, lo que significa que la señal se encuentra en la diferencia de potencial entre dos cables de transmisión)
- Operación multipunto desde un suministro de 5 V
- Rango de voltajes en la señalización diferencial: -7 V a +12V
- Hasta 32 unidades conectadas a la línea
- Máxima tasa de transmisión: 10 Mbps a 40ft
- Máxima longitud del bus: 4,000 ft a 100 kbps

La topología del bus de RS485 se muestra en la figura 1



Nota: La topología de la red puede variar dependiendo del número de dispositivos, en esta imagen se ilustra la idea general. Las resistencias de terminación de la línea son opcionales y dependerá del criterio del diseñador

Figura 1: Topología del bus RS-485

Los niveles de las señales son mostrados en la Figura 2, donde se puede apreciar que este estándar soporta altos niveles de degradación de la señal, provocando que sea adecuado para transmisiones a largas distancias en ambientes ruidosos.



Figura 2: Niveles de voltaje de RS-485

#### 4.3.- Universal Asynchronous Receiver-Transmitter (UART)

El bloque de comunicación Transmisor-Receptor Asíncrono Universal (UART, por sus siglas en inglés) es un bloque de circuitería responsable de implementar comunicación serial de forma asíncrona entre un dispositivo transmisor y uno receptor (TI\_UART, 2020), por lo que solo necesita dos cables o conexiones entre los dispositivos Figura 3.

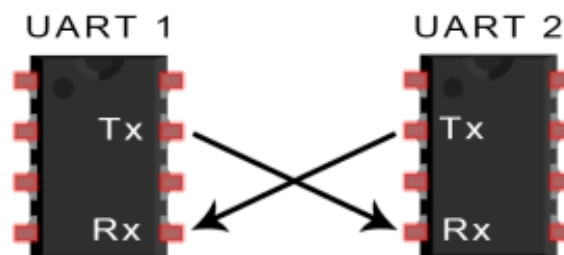


Figura 3: Conexiones de UART

UART no especifica una señalización en voltaje en particular, así que suele implementarse con estándares como RS-232 o RS485 (en donde los dispositivos se conectan de forma directa). La comunicación entre los dispositivos es asíncrona, es decir, no requiere una señal de reloj común para sincronizar la salida del transmisor con el muestreo del receptor, en su lugar, se implementa un bit de inicio (*start*) y uno o dos de fin (*stop*) en cada trama de datos que se transfiere, adicional a esto, es posible añadir un bit de paridad (bit que indica si la cantidad de unos lógicos en el mensaje es par o impar) como método de detección de errores. La Figura 4 muestra un paquete de datos en UART.

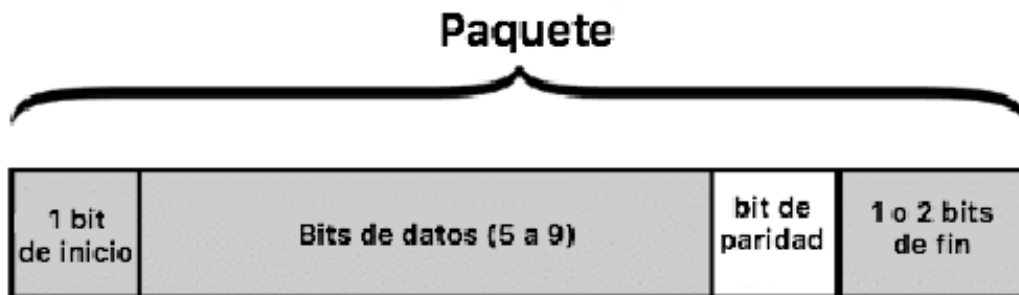


Figura 4: Paquete de datos UART

Para que la comunicación entre ambos dispositivos se pueda dar, ambos necesitan operar a la misma velocidad de transmisión (*baud rate*), que es la cantidad de bits que se transmiten/reciben por unidad de tiempo expresada en [bits/segundo] o [baud] (un baudio es símbolos por segundo, que para el caso de UART es un bit por segundo). Comúnmente la velocidad en dispositivos UART es 9,600 baud, pudiendo ser hasta 115,200 baud.

#### 4.4.- Controller Area Network (CAN)

La Red de Área del Controlador (CAN, por sus siglas en inglés) es un sistema de bus serial, caracterizada por su robustez, para comunicar distintos dispositivos (ej. Microcontroladores); originalmente desarrollado por BOSCH para redes en vehículos, aunque su gran desempeño hizo que su uso se extendiera a otras industrias como la médica o la espacial. Su principal beneficio recae en su alta fiabilidad y en lo económico que es interconectar múltiples dispositivos, ya que solo requiere un par de cables (un único bus) para conectar a todos los dispositivos, cuando múltiples dispositivos quieran usar el bus al mismo tiempo, el que tenga más alta prioridad será el que pueda transmitir datos. El envío y recepción de los mensajes se hace de forma diferencial (siendo “1” lógico o bit recesivo cuando  $\Delta V < 0.5 \text{ V}$  y “0” lógico o bit dominante cuando  $\Delta V > 0.9 \text{ V}$ ), implicando buena inmunidad al ruido en la red. CAN está estandarizado por la ISO 11898. La topología de una red CAN se muestra en la Figura 5.

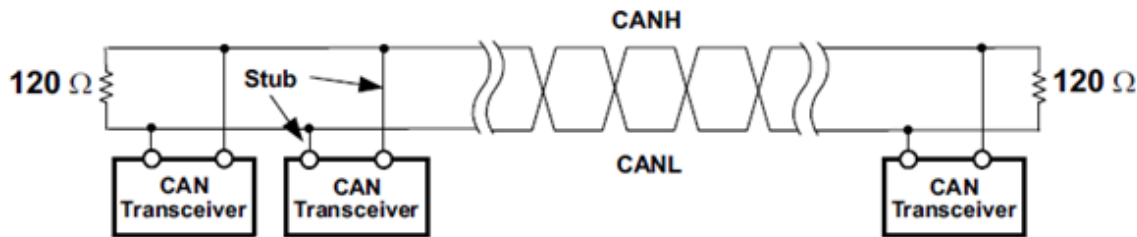


Figura 5: Topología de una red CAN

Las resistencias de  $120 \Omega$  a los extremos del bus se deben a que este debe de estar acoplado (que significa que la resistencia característica de el bus es igual a la de las resistencias de terminación). Cuando un bus esta acoplado, las ondas viajeras se disipan en las resistencias de terminación en su totalidad, de otra forma, solo una parte de la onda se disiparía y otra se reflejaría, causando interferencias (y por lo tanto degradación de la señal) entre las ondas viajeras y las ondas reflejadas.

lo que implica que las ondas viajeras sean disipadas, evitando la presencia de ondas reflejadas, las cuales causan interferencias.

Los dispositivos CAN envían datos a la red a través de paquetes llamados *frames* (NI\_CAN, 2020), los cuales se componen de las secciones mostradas en la Figura 6.



Figura 6: Trama de CAN 2.0 A



Los *frames* se componen de los siguientes campos:

- Bit SOF (*Sart-of-frame*): Indica el inicio de un mensaje con un bit dominante.
- Arreglo de identificación: Es un identificador único que también indica la prioridad del mensaje, en un *frame* estándar este es de 11 bits y en uno extendido de 29 bits.
- Bit SRR (*Substitutie Remote Request*): En el formato extendido de 29 bits, este bit reemplaza al bit RTR para identificar un *frame* remoto.
- Bit IDE (*Identifier extension*): Permite la diferenciación entre *frames* estándar y marcos extendidos.
- Bit RTR (*remote transmission request*): Permite diferenciar un *frame* remoto de datos.
- Bit r0: Reservado.
- DLC (*Data Length Code*): Indica el número de bytes que tiene el campo de datos
- Campo de datos: Contiene de 0 a 8 bytes de datos.
- CRC (*Cyclic Redundancy Clock*): Se utiliza para detectar errores a través de un código de revisión cíclica redundante de 15 bits y un bit recesivo que delimita este campo.
- ACK (*acknowledgment*): El bit de ACK es enviado por el receptor del mensaje cuando el mensaje fue recibido correctamente, en caso de no encontrarse, el transmisor envía de nuevo la trama.
- EOF (*end-of-frame*): Indica el final del mensaje con un bit recesivo.

Las especificaciones de la capa física del protocolo son las siguientes:

- Voltaje: +24Vdc  $\pm$  5%
- Consumo máximo de corriente: 100 mA (2.4 W)
- Tamaño del cable: 100 mA -> 24 awg, 230 ft para una caída de voltaje del 5%
- Aislamiento: Clase 2
- Tasa de bits: 128kbps-1 Mbps a 40 m

#### 4.5.- *Inter Integrated Circuit (I2C)*

Circuito inter-integrado (I2C, por sus siglas en inglés) es un bus de datos seriales desarrollado por Philips Semiconductors en 1982 (NXP\_I2C, 2020). Es utilizado ampliamente en comunicación de baja a media velocidad entre circuitos integrados (CI) y microcontroladores conectados a distancias cortas (dentro de un mismo sistema o entre dispositivos). Entre sus aplicaciones están principalmente la comunicación con memorias EEPROM, ADC o DAC de baja velocidad, pequeñas pantallas LCD, RTC, bocinas y sensores digitales.

Sus características principales son:

- Tiene dos líneas: una de datos (SDA) y otra de reloj (SCL), en el primero se transfieren de forma serial todos los bits de información y en el segundo se transmite una señal de reloj que puede ser desde 0.1 Mbit/s hasta 5 Mbit/s. la existencia de una línea de reloj implica que la comunicación entre dispositivos es síncrona.
- Hay dos tipos de dispositivos en el bus I2C: maestro y esclavo, los primeros son dispositivos que generan la señal de reloj en el bus SCL e inicia la comunicación con esclavos y los segundos reciben la señal de reloj y reciben y envían datos al maestro.
- Transferencia por paquetes (Figura 7): Un paquete está compuesto por bits que indican el comienzo (S) y fin del paquete (P), 7 bits que indican la dirección del receptor (extensible hasta 10 bits), un bit de control que indica si se desea leer o

escribir al esclavo, un bit de reconocimiento (ACK del inglés *acknowledge*) y el mensaje de datos o carga útil que se desea transmitir en marcos de 8 bits.



Figura 7: Protocolo I2C

#### 4.6.- Protecciones contra descargas electrostáticas (ESD)

Una descarga electrostática (ESD, por sus siglas en inglés) es una descarga eléctrica espontánea que se da de un objeto eléctricamente cargado (por ejemplo, el cuerpo humano o una maquina ensambladora) a otro (por ejemplo, un circuito integrado) cuando estos entran en contacto (TI\_ESD, 2020). Considerar fenómenos de ESD en el diseño electrónico es importante debido a que estos pueden llegar a consistir en miles de volts descargados en los dispositivos, dañando sobretodo a dispositivos semiconductores y circuitos integrados. Casi todos los componentes electrónicos analógicos o digitales tienen una sección en su hoja de especificaciones sobre sus características/clasificación de ESD. La tabla 1 especifica los distintos modelos empleados en la clasificación de fenómenos ESD.

Tabla 1: Descripción general de los modelos de ESD

Nombre	Descripción	Caso de uso															
Modelo del cuerpo humano (HBM, por sus siglas en inglés)	Simula una descarga ESD del cuerpo humano sobre un dispositivo conectado a tierra en un ambiente de controlado (i.e. un laboratorio)	Diseñado para que el dispositivo sobreviva los procesos de manufactura, traslado y ensamble. No simula el ambiente al que será expuesto el dispositivo en una aplicación real. La forma de la descarga es un pico de corriente (más pequeño que el de CDM) que dura alrededor de 100 ns															
Modelo de máquina (MM, por sus siglas en inglés)	Simula una descarga ESD de una maquina sobre un dispositivo conectado a tierra en un ambiente de controlado (i.e. un laboratorio)	Diseñado para que el dispositivo sobreviva los procesos de manufactura, traslado y ensamble. No simula el ambiente al que será expuesto el dispositivo en una aplicación real. Es menos usado que HBM															
Modelo de dispositivo cargado (CDM, por sus siglas en inglés)	Simula una descarga ESD de un dispositivo/componente cargado sobre un material conectado a tierra en un ambiente de controlado (i.e. un laboratorio)	Diseñado para que el dispositivo sobreviva los procesos de manufactura, traslado y ensamble. Mide la robustez del dispositivo para el proceso de manufactura. No simula el ambiente al que será expuesto el dispositivo en una aplicación real. La forma de la descarga es un pico de corriente grande que dura menos de 20 ns															
IEC61000-4-5	Simula la robustez del dispositivo en aplicaciones reales (este se usa como referencia para el diseño)	Define los siguientes niveles de protección: <table border="1"> <thead> <tr> <th>Nivel de IEC 61000-4-5</th> <th>Voltaje de contacto [kV]</th> <th>Voltaje de <i>air gap</i> [kV]</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>2</td> <td>2</td> </tr> <tr> <td>2</td> <td>4</td> <td>4</td> </tr> <tr> <td>3</td> <td>6</td> <td>8</td> </tr> <tr> <td>4</td> <td>8</td> <td>15</td> </tr> </tbody> </table>	Nivel de IEC 61000-4-5	Voltaje de contacto [kV]	Voltaje de <i>air gap</i> [kV]	1	2	2	2	4	4	3	6	8	4	8	15
Nivel de IEC 61000-4-5	Voltaje de contacto [kV]	Voltaje de <i>air gap</i> [kV]															
1	2	2															
2	4	4															
3	6	8															
4	8	15															

Como se muestra en la tabla 1, el estándar IEC61000-4-5 permite dar una clasificación de protección a eventos ESD en los sistemas. Acorde a este estándar, la curva de voltaje de una descarga electrostática típica es la que se muestra en la Figura 8, donde la curva tiene un tiempo de elevado de 1 ns y una corriente pico de 30 A.

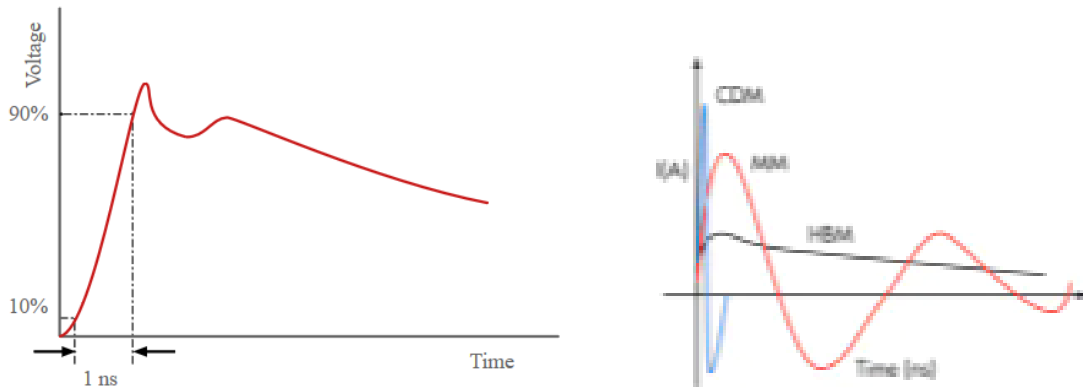


Figura 8: Forma de onda de evento de ESD acorde a IEC61000-4-5 (izquierda) y forma de onda de los modelos CDM, MM, HBM (derecha). Nota: En la grafica de la derecha solo se define la forma de onda y su duración mas no su amplitud

La tabla 2 muestra una comparación entre los modelos de protección a nivel dispositivo y el IEC61000-4-2, donde se puede observar que en HBM, MM y IEC61000-4-2 el ancho de la descarga es relativamente amplio (>80 [ns]) respecto al de CDM (~1 [ns]). Respecto a la corriente pico, IEC61000-4-2 define el más amplio, debido a esto se considera el escenario de protección más robusto.

Tabla 2: Modelos de protección a nivel dispositivo vs IEC61000-4-2

Parámetro	HBM	MM	CDM	IEC61000-4-2
Niveles de prueba [V]	500 a 2000	100 a 200	250 a 2000	2000 a 15000
Ancho del pulso [ns]	~150	~80	~1	~150
Corriente pico a 2kV [A]	1.33	-	~5	7.5
Tiempo de elevado [ns]	25	-	< 0.4	<1

Un mecanismo de protección empleado contra eventos de ESD es el uso de diodos ESD. Estos diodos son dispositivos que se conectan en paralelo al circuito a proteger, conectados entre este y la interfaz que tiene el riesgo de sufrir una descarga, comúnmente conectores (Figura 9). Estos diodos se activan ante un evento de ESD, creando un camino de baja impedancia para que el flujo de corriente se dirija a tierra y limitando los picos de voltaje. La Figura 10 muestra una comparación entre un evento ESD con protección y sin protección.

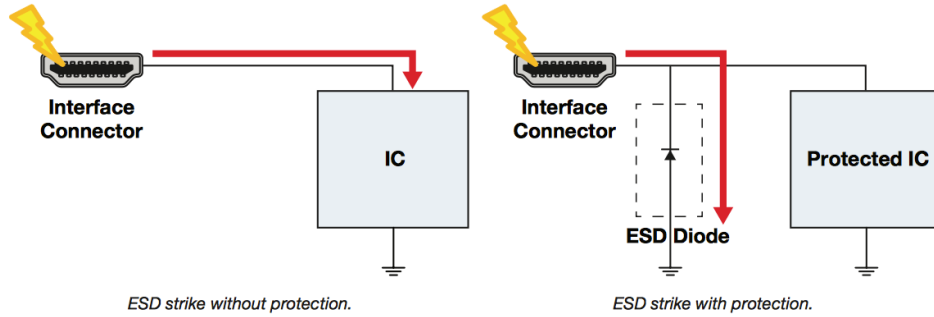


Figura 9: Protección ESD (TI\_ESD ,2020).

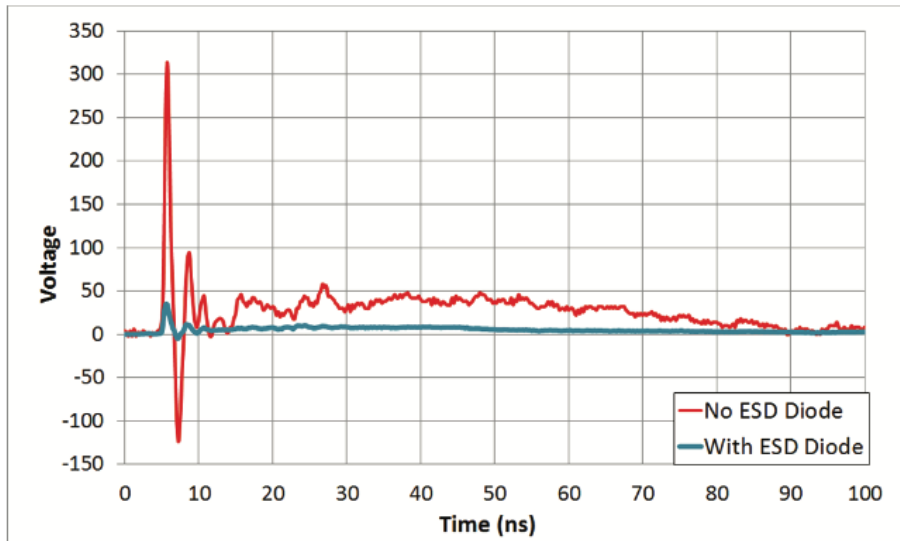


Figura 10: Curvas de voltaje con y sin protección ESD, (TI\_ESD ,2020).

Los parámetros de diseño para la selección de un diodo de ESD son:

- Voltaje de trabajo  $V_{BR}$ : Es el voltaje al que el diodo ESD se activará (suele definirse como el voltaje presente en el diodo cuando la corriente que circula sobre este es de 1 mA). El voltaje de operación de la circuitería a proteger debe ser menor a este voltaje (por lo que el diodo no se activara en condiciones normales de operación).
- Voltaje de trabajo a 10 nA  $V_{RWM}$ : Como los diodos presentan una corriente de fuga incluso antes de ser activados, se recomienda que el voltaje de operación de la circuitería a proteger sea menor que  $V_{RWM}$ , con lo cual se asegura que la corriente de fuga será menor 10 nA.
- Clasificación IEC 61000-4-2: Es estándar la robustez del diodo ESD, mientras mayor sea este, mayor será el nivel de protección. Este estándar consiste en dos mediciones de cuánto voltaje de ESD el dispositivo puede soportar tanto en contacto directo con la fuente de ESD como en contacto indirecto (con *air gap*).
- Capacitancia: Como estos dispositivos son diodos conectados en paralelo, añaden cierta capacitancia parásita al sistema que puede afectar la integridad de la señal, dependiendo de la interfaz usada (i.e. CAN, I2C, USB, HDMI, etc.) se recomienda un valor máximo para esta capacitancia.

- Voltaje de represión o *Clamping voltage*: Es el voltaje generado en las terminales del diodo ESD cuando se activa para dar un camino de baja impedancia a la corriente, en otras palabras, es el voltaje que se generará en la entrada del circuito integrado que se protege cuando hay un evento de ESD.

#### 4.7.- Protecciones contra sobrecorrientes PTC

Una protección contra sobrecorriente con coeficiente de temperatura positivo (*PTC*, por sus siglas en inglés) es un termistor, es decir, una resistencia que varía en función de la temperatura, usado para proteger cargas contra condiciones de sobreintensidad de corriente. Un PTC funciona básicamente como un fusible activable y desactivable térmicamente.

Su principio de operación es el siguiente: Cuando el circuito se encuentra operando de forma normal, la corriente que pasa a través del PTC es menor que su corriente de activación, por lo que la corriente seguirá pasando por esa parte del circuito (solo se debe de considerar que el PTC tiene una resistencia interna que suele ser despreciable (desde los  $m\Omega$  hasta unos cuantos  $\Omega$ ) pero aún así representa una pequeña caída de voltaje); en caso de presentarse una falla en el circuito que genere una corriente mayor a la corriente de activación del PTC, este se calentará rápidamente y pasará a un estado de alta resistencia (cuya transición es exponencial, como puede observarse en la Figura 11); después de que la falla es removida del circuito (de ser el caso), el PTC se enfriará y volverá a su estado de baja resistencia y el circuito regresará a su operación normal.

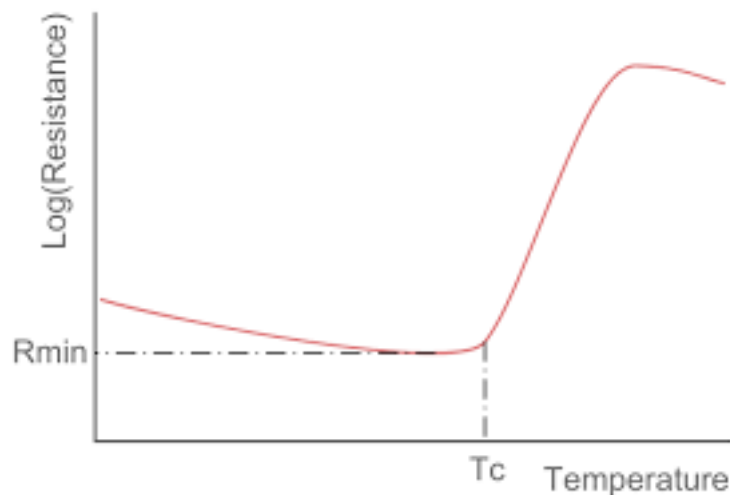


Figura 11: Log(Resistencia) vs Temperatura (Notes, 2020)

#### 4.8.- Regulador lineal de baja caída (LDO)

Un regulador lineal de baja caída (LDO, por sus siglas en inglés) es un regulador de voltaje directo que ofrece un voltaje de salida estable. Su mecanismo de regulación es a través de un transistor (en este caso un MOSFET tipo n) operando en la región de saturación, provocando una caída de voltaje tal que en la salida se obtiene el voltaje deseado, este voltaje de salida, a su vez, es utilizado por un amplificador de error que induce el voltaje necesario en la *gate* (G) del transistor regulador para que este trabaje en el punto de operación deseado. El

diagrama de un LDO que regula de 5V a 3.3V se muestra en la Figura 12. Su funcionamiento es el siguiente:

1. Se tiene el voltaje de entrada no regulado  $V_{in}$  (con un capacitor de filtrado conectado en paralelo) en el *drain* del MOSFET.
2. Un voltaje de retroalimentación, que es obtenido del voltaje de salida  $V_{out}$  a través de la red de alimentación compuesta por dos resistencias (ecuación 1), se conecta a la entrada inversora de un amplificador de error (que es un amplificador operacional).

$$V_{FB} = \frac{R_2}{R_1 + R_2} V_{out} \dots (1)$$

3. El amplificador de error compara el voltaje de retroalimentación con un voltaje de referencia (que proviene comúnmente de un diodo Zener conectado a la entrada no inversora).
4. La salida del amplificador de error se conecta a un *gate drive*, el cual inducirá un voltaje en el *gate* del MOSFET tal que este pueda operar en la región de saturación y se produzca el  $V_{DS}$  y con ellos la regulación deseada.

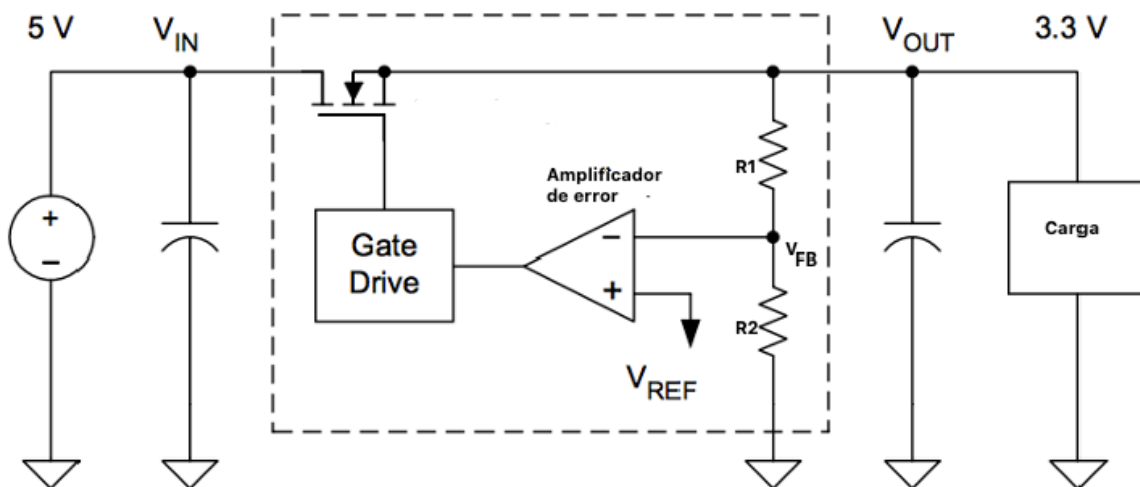


Figura 12: Topología de un LDO (TI\_LDO, 2020)

Existen comercialmente circuitos integrados que incorporan la circuitería del LDO y para obtener el voltaje de salida solo es necesario el cálculo de las resistencias de retroalimentación, dicho cálculo depende de la selección del CI y estará dominado por la impedancia de entrada del amplificador de error y el voltaje de referencia  $V_{ref}$ . En este caso, el fabricante del circuito del LDO establece que el voltaje de salida se obtiene con la ecuación 2.

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) V_{REF} \dots (2)$$

Un requerimiento de estos circuitos es que el voltaje de caída del LDO  $V_{do}$  (del inglés *dropout voltage* cumpla la condición mostrada en la ecuación 3 (donde se muestra que el voltaje de entrada debe ser mayor al voltaje de salida más el voltaje de *dropout*).  $V_{do}$  es función de la corriente de salida y la temperatura, por lo que comúnmente se describe en la hoja de especificaciones del regulador.

$$V_{in} > V_{out} + V_{do} \quad (3)$$

#### 4.9.- Fuente conmutada reductora

Una fuente conmutada (SMPS, por sus siglas en inglés) es un regulador de voltaje caracterizado por su alta eficiencia respecto a los LDO. Su principio de operación se basa en la conmutación de un transistor cuyo ciclo de trabajo  $D$  (ecuación 4) determina la regulación del voltaje de salida.

$$D = \frac{t_{on}}{t_{on} + t_{off}} \dots (4)$$

La topología de una SMPS reductora se muestra en la Figura 13

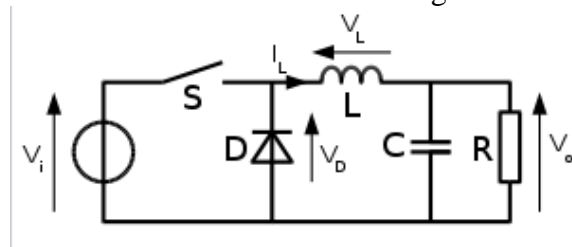


Figura 13: Topología de una SMPS

El interruptor  $S$  representa un transistor, comúnmente MOSFET, operando como conmutador, este determina los dos posibles estados de la topología: “*on-state*” y “*off-state*”, como se muestra en la Figura 14. En el *on-state* el diodo  $D$  se encuentra en polarización inversa (por lo que no conduce corriente), así que se cargan los elementos almacenadores de energía (el inductor  $L$  y la capacitancia  $C$ ). Después, cuando el circuito se encuentra en *off-state*, la resistencia de carga  $R$  tiene el mismo voltaje que la capacitancia  $C$  y a su vez se alimenta con la corriente almacenada en el inductor  $L$  (donde la componente de  $CD$  fluye hacia la resistencia de carga  $R$  y la componente de  $CA$  fluye hacia la capacitancia  $C$ ).

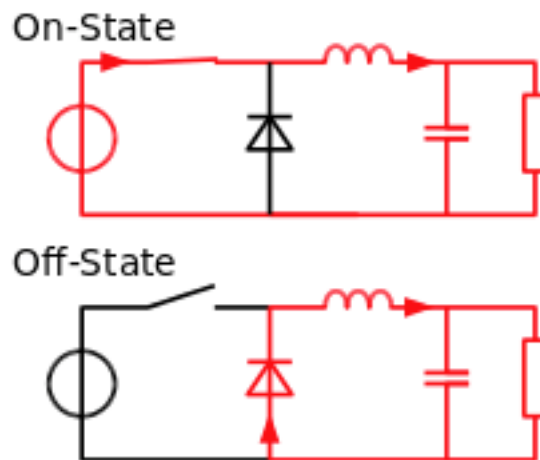


Figura 14: Estados de una SMPS

Existen CI que integran el circuito de conmutación, cuyo ciclo de trabajo se define por un arreglo de resistores que retroalimentan el voltaje de salida a una entrada específica del CI. La ecuación 5 se utiliza para la selección del inductor.

$$L_{o,min} = \frac{V_{i,max} - V_o}{I_o * K_{IND}} * \frac{V_o}{V_{i,max} * f_{sw}} \quad (5)$$

Donde  $K_{IND}$  es la relación entre el rizo de corriente y la corriente máxima que circulará a la carga y  $f_{sw}$  es la frecuencia de conmutación (parámetro que tiene el CI en su hoja de especificaciones).

Para los parámetros relacionados a la corriente, se tienen las ecuaciones 6, 7 y 8.

$$I_{rizo} = \frac{V_{out} * (V_{in,max} - V_{out})}{V_{in,max} * L_o * f_{sw}} \quad (6)$$

$$I_{L,RMS} = \sqrt{I_o^2 + \frac{1}{12} I_{rizo}^2} \quad (7)$$

$$I_{L,pico} = I_o + \frac{I_{rizo}}{2} \quad (8)$$

Para la selección del capacitor de salida  $C_o$ , se debe considerar que este afectará la respuesta de la fuente conmutada a cambios grandes en la corriente de salida (ecuación 9), la regulación de sobrecargas de voltaje provocadas por el inductor (ecuación 10) y el voltaje de rizo de salida (ecuación 11); la ecuación 12 muestra la máxima resistencia ESR que puede tener el capacitor de salida para cumplir con el requerimiento del voltaje de rizo. La resistencia ESR modela las pérdidas presentes en el capacitor a cierta frecuencia y temperatura (el valor se puede encontrar en la hoja de especificaciones del componente).

$$C_o > \frac{2 * \Delta I_{out}}{f_{sw} * \Delta V_{out}} \quad (9)$$

$$C_o > L_o * \frac{I_{oh}^2 - I_{ol}^2}{V_f^2 - V_i^2} \quad (10)$$

$$C_o > \frac{1}{8 * f_{sw}} * \frac{I_{L,rizo}}{V_{o,rizo}} \quad (11)$$

$$R_{ESR} < \frac{V_{o,rizo}}{I_{L,rizo}} \quad (12)$$

Otro requerimiento importante en las fuentes conmutadas es que el diodo de conmutación sea de tipo Schottky o de conmutación ultra rápida, considerando en su selección parámetros como máxima corriente que este puede soportar.

#### 4.10.- Parámetros térmicos en circuitos integrados

Existen distintos parámetros térmicos para semiconductores y empaquetados de CI que permiten valorar el rendimiento térmico de estos en cierta aplicación.

El primero es la resistencia térmica de unión-a-ambiente  $R_{\theta JA}$ , que es una medida del rendimiento térmico de un CI montado en una prueba específica (TI\_Thermal, 2020), así que



solo es conveniente usar este parámetro como referencia del rendimiento térmico entre circuitos integrados que se prueben con el mismo procedimiento. La ecuación 13 muestra cómo puede utilizar este parámetro para calcular la temperatura de la unión ( $T_j$ ) del CI y utilizarla solo como una referencia sobre el posible rendimiento térmico que este tendrá. La operación del CI no debe exceder  $T_{j,max}$ , parámetro comúnmente indicado en su hoja de especificaciones (dicho valor suele rondar entre los 150-170 °C).

$$T_j = T_A + R_{\theta JA} * P_d \quad (13)$$

Donde  $T_A$  es la temperatura ambiente y  $P_d$  es la potencia disipada por el CI.

#### 4.11.- JTAG

JTAG es un estándar industrial (nombrado así por el grupo que la definió, el *Joint Test Access Group*) diseñado para la validación y diagnóstico de CI después de ser manufacturados. JTAG esta definido en el estándar IEEE 1149.1 y utiliza la metodología denominada escaneo de límites como método de acceso.

Escaneo de Límites es una metodología utilizada para acceder, analizar y validar bloques funcionales dentro de un CI, cada señal de interés está conectada a una celda de escaneo de límite y a su vez cada celda está conectada en serie con otras celdas, formando así una red o cadena de celdas que pueden ser accedidas por un puerto de acceso de prueba (TAP, por sus siglas en inglés).

Características importantes

- Un TAP esta compuesto de 5 señales utilizadas para controlar la máquina de estados de JTAG:
  - TCK (Test Clock): Sincroniza los estados internos y los datos seriales
  - TDI (Test Data In): Datos seriales de entrada para las celdas de escaneo
  - TDO (Test Data Out): Datos seriales de salida provenientes de las celdas de escaneo
  - TMS (Test Mode Select): Control de estados del controlador TAP
  - TRST (Test Reset): Opcional, reinicia (cuando se presenta un cero lógico) la máquina de estados interna
- El controlador TAP es una máquina de estados finitos con 16 estados diferentes
- JTAG funciona independientemente del CPU
- La máquina de estados de JTAG se compone de 4 registros: Registro de instrucción, registro de escaneo de límites, registro de identificación del dispositivo y registro de derivación
- El propósito principal de JTAG es analizar y validar PCBs, pero como este puede tener control completo sobre los registros internos del sistema electrónico, también es utilizado para programar memorias no volátiles en el sistema

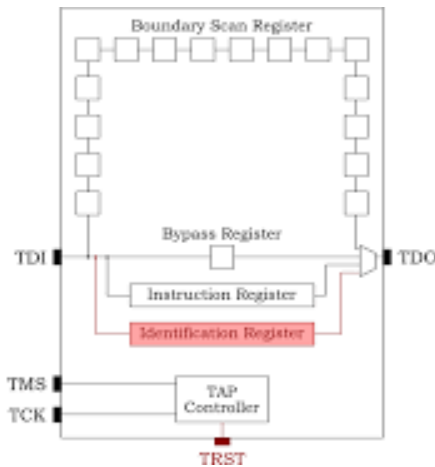


Figura 15: Arquitectura de JTAG (Wang, 2007)

## 5.- Antecedentes del proyecto, tema o problemática

### a) Módulo de detección de posición de la puerta

La empresa se especializa en el diseño de abridores de puertas, en cierta categoría de productos es necesario conocer la posición de la puerta (a lo largo de su trayectoria). El módulo actual de detección de posición absoluta de la puerta (a partir de ahora llamado solamente “módulo”) tiene un problema que ocurre cuando este no está energizado y la puerta es movida, bajo estas condiciones, el módulo es incapaz de medir la posición de la puerta hasta que el usuario, manualmente, mueve la puerta. Este problema origina una pérdida en la calidad de la experiencia del usuario con el producto.

### b) Integralidad modular

La empresa cuenta con distintos módulos funcionales que expanden las características de los productos, por lo cual se pretende estandarizar la interconexión de estos módulos funcionales mediante una red de comunicación CAN, permitiendo una expansión modular de las funcionalidades acorde a las necesidades del usuario.

## 6.- Definición del proyecto

Dada la necesidad expresada en el apartado 5.a y 5.b, se desarrolló un módulo que detecta la posición de la puerta. El proyecto desarrollado consistió en el diseño e implementación de un módulo electrónico que permite comunicar un APE (cuyo número de parte fue seleccionado por la empresa), el cual se comunica con UART empleando el estándar RS-485 a 9600 baud, con una red de comunicación CAN. El diagrama de bloques del módulo electrónico se muestra en la Figura 16.

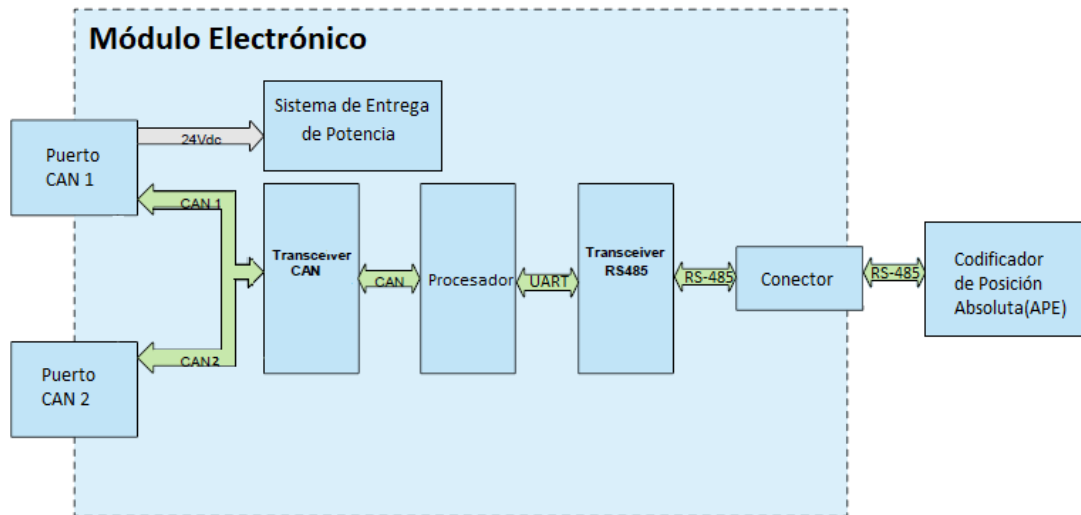


Figura 16: Diagrama de bloques del módulo

Los requerimientos adicionales del módulo electrónico fueron:

- Los componentes electrónicos deben ser de tecnología de montaje superficial (SMT)
- Poder programarse a través de JTAG
- Tener una resistencia para el acoplamiento del bus CAN (esta debe estar presente o no, dependiendo de la posición del módulo en la red)
- Tener protecciones contra ESD en el puerto CAN y RS485
- Contar con dos conectores RJ45 para la conexión con el bus CAN
- Tener protecciones contra sobrecorrientes tipo PTC
- El procesamiento se realizará con un microprocesador cuyo número de parte fue seleccionado por la empresa
- Tener puertos del microprocesador disponibles para comunicación SPI
- Comunicarse mediante el protocolo I2C con una memoria EEPROM
- Alimentar con 3.3V y comunicarse mediante I2C con el proyecto de RF desarrollado por el otro equipo
- Poder funcionar en un rango de operación de temperatura de  $-20^{\circ}\text{C}$  a  $+65^{\circ}\text{C}$
- No hay restricciones en cuanto a dimensiones y forma

## 7.- Metodología utilizada

### 7.1.- Diseño *Top-Down*

El diseño *Top-Down* es una metodología que permite el diseño de sistemas electrónicos a través del refinamiento sucesivo desde niveles altos de abstracción de un sistema hasta la implementación física de este. El objetivo de esta metodología es identificar fallas en el diseño durante las primeras etapas de desarrollo (a niveles altos de abstracción) y evitar las costosas y tardadas iteraciones a lo largo de los múltiples niveles de abstracción. Las ventajas de trabajar con altos niveles de abstracción radican en que es más fácil la especificación del diseño (se sabe todo lo que se quiere desde el principio), los tiempos de simulación se reducen y que se puede ver todo el espacio de implementación. Las representaciones del diseño del sistema (y las transacciones entre estas) se muestran en la figura 17

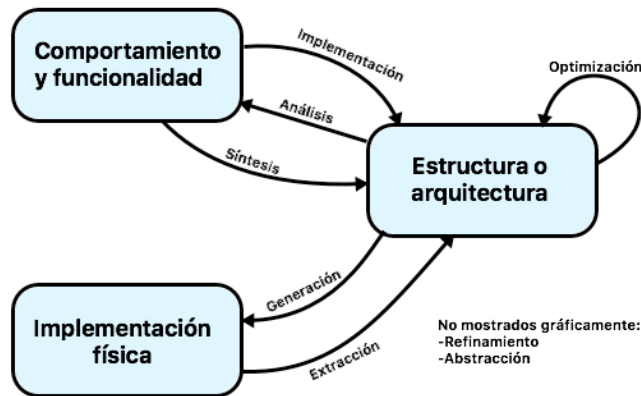


Figura 17: Etapas del diseño electrónico

Esta metodología consiste en repetidas iteraciones del ciclo “especificación – exploración – refinamiento”, explicadas a continuación.

### Especificación

La especificación consiste en determinar el modelo funcional del sistema, entendiendo por modelo a una descripción formal, completa y no ambigua de la funcionalidad o comportamiento de un sistema.

En este paso se detalla el comportamiento y la funcionalidad del sistema y de los bloques que lo componen, considerando la importancia de mediar aspectos como el nivel de abstracción respecto a la precisión del modelo o la calidad de este contra el esfuerzo que implica el desarrollo.

### Exploración

La exploración consiste en la evaluación de las posibles implementaciones del espacio de diseño. En este paso se realiza la síntesis e implementación del modelo funcional, resultando en las posibles arquitecturas o modelos estructurales del sistema con sus componentes y conexiones. Estas arquitecturas se evalúan acorde a criterios como desempeño, robustez, costo, flexibilidad o confiabilidad a través de simulaciones o métricos. Es posible que, en este paso del proceso de diseño, se tenga que reanalizar y modificar el modelo funcional del sistema. En la exploración también se realiza la optimización de la arquitectura seleccionada, resultando así en la versión final del esquemático.

### Refinamiento

El refinamiento consiste en la generación de un menor nivel de abstracción de los bloques funcionales de la arquitectura seleccionada en la fase de exploración. El menor nivel de abstracción posible es la implementación física del sistema, donde se especifican las dimensiones de los componentes, su disposición física y sus conexiones, dicha implementación física se conoce como “*layout*”.

## 7.2.- Etapas de desarrollo

### 7.2.1.- Organización e integración

La primera fase del proyecto consistió en la integración del equipo, para conocer nuestras fortalezas, debilidades e intereses y con base en ello, designar y delegar las tareas que se realizarían. Siendo un equipo de 3 integrantes se dividieron las actividades en 3 bloques:

- Bloque 1: Sistema de suministro de potencia, selección del transceiver RS485, programación del protocolo UART, protecciones contra ESD y cortos circuitos.
- Bloque 2: mecanismo de acoplamiento de la red CAN, *layout*
- Bloque 3: Programación con JTAG, selección del transceiver CAN, programación del protocolo CAN, programación del protocolo I2C, interfaz gráfica de visualización en LabView

El objetivo de dividir en bloques las actividades fue que cada integrante pudiese desarrollar actividades de su interés y cumplir con los tiempos establecidos, sin embargo, durante todo el desarrollo, el equipo estuvo al tanto de los avances, se participó activamente en los problemas que a algún integrante le surgían y cada uno conocía el fundamento de las decisiones que se tomaron en cada bloque. El autor de este trabajo se encargó del bloque 1 del proyecto, por lo que se presentará a más detalle el diseño electrónico de esa parte del proyecto.

### 7.2.2.- Definición e investigación

En esta etapa se plantearon los requerimientos del proyecto, se definió los requerimientos de las partes a desarrollar en el bloque, siempre coordinando y considerando la interconectividad y compatibilidad de las partes desarrolladas. Con ello, surgió la necesidad de investigar a fondo la teoría correspondiente a los temas involucrados, asesorándose con fuentes fidedignas, con la experiencia de los ingenieros del equipo y de los ingenieros supervisores proporcionados por la empresa. Esta etapa fue un ciclo constante entre investigación y especificación del proyecto. Resultando en el diagrama de bloques del proyecto, mostrado en la Figura 18.

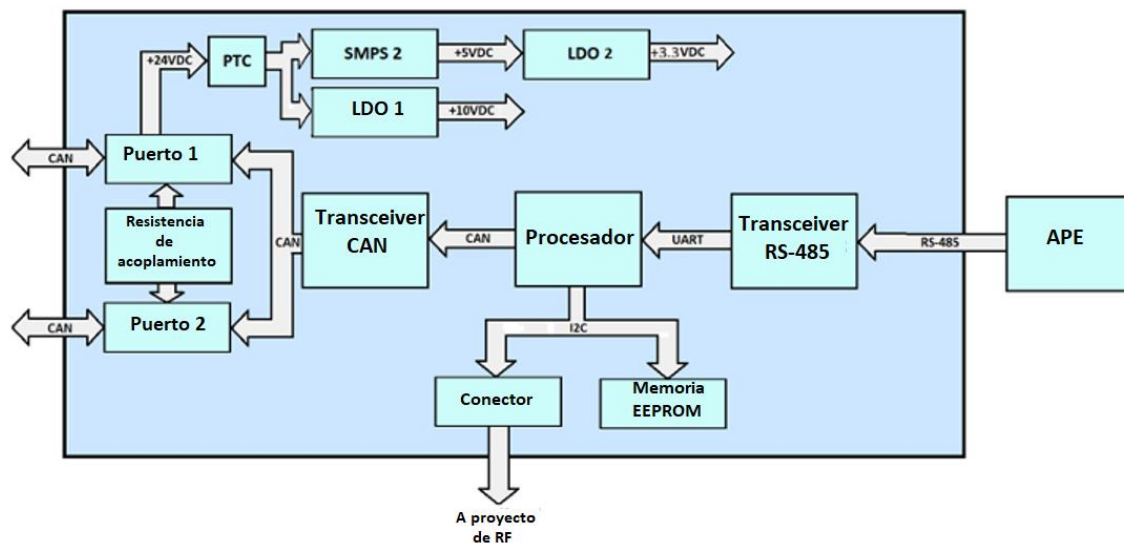


Figura 18: Bloques funcionales del módulo

### 7.2.3.- Diseño

La etapa de diseño consiste en analizar, sintetizar y determinar con circuitos electrónicos el sistema mostrado en la Figura 18 y a su vez desarrollar el software necesario para utilizar el sistema, por ello esta etapa se divide en tres partes: desarrollo del firmware para el microprocesador, la realización del esquemático y la realización del *layout*.

#### *Firmware del Procesador*

El procesador utilizado fue por petición de los ingenieros supervisores del proyecto, dado esto la habilitación del uso del procesador se dividió en dos etapas:

- Firmware en tarjeta de desarrollo: en esta primera etapa se utilizó una tarjeta de desarrollo del fabricante, esto representó una disminución en el tiempo de desarrollo total del producto, ya que pudimos habilitar ciertas funcionalidades del procesador como la interfaz UART, para la cual, se necesitó comprar una tarjeta de desarrollo con transceivers RS-485 y así poder establecer las primeras interacciones con el APE. En esta fase no se pudo habilitar I2C debido a que esas terminales del procesador estaban conectados a otro circuito electrónico dentro de la tarjeta de desarrollo, tampoco se pudo habilitar la interfaz CAN debido a que se requerían los transceivers. En esta etapa, la programación del dispositivo fue a través de una interfaz micro USB integrada en la tarjeta de desarrollo.
- Firmware en módulo electrónico desarrollado: en esta segunda etapa, se terminaron de habilitar las funcionalidades de I2C, validada a través de la escritura/lectura de datos en la memoria EEPROM y la comunicación con el proyecto de RF (ver Figura 18) y CAN, validada a través de la comunicación entre dos de los módulos electrónicos desarrollados conectados a un mismo bus. En esta etapa, la programación del dispositivo fue a través del TAP de JTAG, para lo cual, se empleó un programador comercial que transfiere los datos de la computadora (desde el puerto USB) al módulo electrónico (en JTAG).

#### *Esquemático del circuito eléctrico*

La dinámica en equipo para la realización del esquemático fue la siguiente: se mantuvo una junta diaria con los ingenieros supervisores del proyecto, donde cada integrante mostró sus avances y recibió preguntas y retroalimentación sobre estos. Al finalizar el esquemático se realizó una junta con el equipo de ingeniería de la empresa (compuesta aproximadamente de 15 ingenieros) para la revisión final y la aprobación de este.

La realización del esquemático se compuso de dos actividades interrelacionadas:

-Selección de los componentes electrónicos: en esta fase, basado en los requerimientos funcionales y eléctricos de cada bloque del sistema (descritos a detalle en la siguiente sección), se obtuvo una lista de opciones para cada componente, todos de tecnología SMT por requerimiento del proyecto, que cumplieran con una función en particular (desde circuitos integrados como transceivers y reguladores de voltaje hasta dispositivos pasivos como resistencias y capacitores) y se compararon los siguientes parámetros:

- Costo del componente a distintos volúmenes de producción
- Si el componente es actualmente utilizado en producción, esto debido a que todos los componentes electrónicos con los que trabaja la empresa son previamente avalados por un ingeniero en componentes y/o un ingeniero en regulaciones, así que un componente empleado en producción es más fácil de utilizar que un componente

completamente nuevo (el cual tendría que pasar por un proceso de aprobación). Para este fin, se requirió aprender el manejo de una base de datos empleada por la empresa.

- Rangos térmicos
- Consumo de potencia
- Disponibilidad del componente, esto debido a que muchos componentes tienen programado un fin de ciclo de vida, lo cual significa que dejarán de producirse/venderse y esto representaría un rediseño del producto en caso de llevarse a producción masiva.

Cabe mencionar que para emplear un componente electrónico en un software de diseño de PCBs, un ingeniero que da soporte a las librerías de dicho software necesita crear tanto su representación simbólica para el esquemático como su representación física para el *layout*

#### -Implementación de los bloques del sistema:

En esta etapa se diseñó el diagrama electrónico de cada uno de los bloques funcionales mostrados en la Figura 18, los cálculos se presentarán en la siguiente sección, para este propósito primero se seleccionó el circuito integrado que implementa una función específica (transceiver de CAN, transceiver RS485, circuito controlador de la SMPS y los reguladores de voltaje LDO) y después, basado en las recomendaciones del fabricante para la implementación de dichos circuitos y en los cálculos para establecer la configuración adecuada, se obtuvo el diagrama electrónico deseado para cada bloque funcional. En ocasiones se utilizó un software de simulación de circuitos eléctricos para corroborar el funcionamiento de ciertas partes del circuito.

En el diseño del PCB se deben de implementar buenas prácticas de diseño: considerar el ancho de las pistas (líneas de interconexión) dependiendo de la corriente que circule por estas, la disposición de los componentes para su manufactura (depende de la tecnología que se use para soldar), la compatibilidad electromagnética del arreglo de componentes (por ejemplo, separar componentes ruidosos como la SMPS de componentes sensibles como el procesador) y evitar que las pistas de interconexión formen ángulos de 90° para evitar ruido electromagnético.

#### *Layout*

La dinámica para la realización del *layout* consistió en que un integrante del equipo utilizó un software de diseño de PCB para la generación de este, basándose en las recomendaciones que cada integrante proporcionó para los distintos bloques funcionales; una vez concluido el *layout*, se realizaron dos juntas con el equipo de ingeniería de la empresa, en la primera se recibieron sugerencias y recomendaciones y en la segunda se dio la aprobación.

Dentro de las consideraciones importantes para la realización del *layout*, están:

-Maximizar la compatibilidad electromagnética de la implementación, esto implica alejar o separar circuitos que generen mucho ruido electromagnético (como la SMPS al conmutar) de circuitos susceptibles al ruido (como el microprocesador) y agregar planos de tierra lo más grandes posibles

-Debido a un requerimiento de Diseño para Validación (DFT, por sus siglas en inglés), se agregaron distintos puntos de contacto a las pistas de la PCB que en la manufactura no serán cubiertas con una resina protectora, esto permite tener un contacto eléctrico para corroborar niveles de voltaje con un multímetro o la señalización de un protocolo desde un osciloscopio.

Es recomendable tener estos contactos en todas las pistas de difícil acceso, con excepciones como las pistas que interconectan el cristal de reloj con el microprocesador.

-Por requerimientos de Diseño para Manufactura (DFM, por sus siglas en inglés), se tomaron algunas consideraciones para facilitar/permitir la producción a escala del módulo electrónico como no colocar conectores en la parte inferior de la PCB, alinear las resistencias SMD a una orientación en particular para facilitar su colocación y dejar un espacio de aproximadamente 5 mm entre cualquier componente y el borde del módulo electrónico.

#### 7.2.4.- Construcción

Una vez concluido el *layout*, se tiene que hacer un arreglo de este para poder ser fabricado, para esto se tuvo que consultar a un especialista de la empresa en DFM del cual recibimos recomendaciones sobre cómo disponer las PCB tal que no fueran dañadas en el proceso de manufactura. Mientras las PCB estaban siendo fabricadas, se consiguieron los componentes (se obtuvieron de la empresa los que estaban disponibles y los que no a través de distribuidores). Una vez recibidas las PCB, cada integrante se dio a la tarea de soldar a mano una PCB, esto con el fin de adquirir la habilidad de soldar componentes muy pequeños y de detectar cualquier problema de calidad con las PCB, resultando en 3 módulos electrónicos completamente funcionales. Dentro de las buenas prácticas para soldar se encuentran:

- Usar equipo de protección dentro del laboratorio, lo cual incluye una pulsera con conexión a tierra, bata y gafas.
- Usar una punta de cautín de tamaño y forma adecuada, esto para no dañar el componente ni utilizar exceso de estaño al soldar, de igual forma, la punta del cautín debe limpiarse periódicamente con una lija especial.
- Se puede auxiliar de algún químico para soldar, esto ayuda a mejorar el contacto térmico entre el cautín y el área de soldado, reduciendo así el riesgo a un daño en el componente.
- Debe agregarse una cantidad adecuada de soldadura a cada conexión, poca soldadura puede resultar en una mala conexión y mucha soldadura puede resultar en esfuerzos mecánicos que dañen el componente.
- Para ciertos componentes SMD (como el microprocesador), se puede utilizar una pistola de calor y pasta para soldar, para esto, la PCB tiene que ser precalentada con una plancha térmica especial, después se coloca un poco de la pasta para soldar, después el componente electrónico y al final se termina de soldar el componente al aplicarle indirectamente el flujo de aire caliente de la pistola. Esta técnica requiere especial cuidado, ya que fácilmente pueden generarse cortos circuitos por soldadura extra.

#### 7.2.5.- Validación

El procedimiento de validación se realizó en tres partes:

##### *Validación del funcionamiento del APE*

Con ayuda de un ingeniero mecánico de la empresa, se desarrolló un acople mecánico para conectar el eje del motor de un abridor de puertas con el APE; se monitoreó mediante una interfaz gráfica desarrollada por un integrante del equipo los valores que el APE enviaba al módulo electrónico, resultando así en el cumplimiento del requerimiento de comunicarse con el APE.



### *Validación de la comunicación con la red CAN*

Partiendo del experimento del punto anterior, se conecto un cable de 12 m entre los puertos CAN de dos de los módulos desarrollados y se monitoreo en ambos los valores que el APE enviaba al moverse el abridor de puerta.

### *Validación de interconectividad con el proyecto de RF*

El módulo desarrollado suministró alimentación al proyecto de RF y se comunicó con este a través del protocolo I2C. Para validar la interconectividad se transfirieron los datos del APE al módulo de RF y este a su vez transmitió inalámbricamente los datos a otro módulo RF conectado al modulo desarrollado.

### 7.2.6.- Documentación

A lo largo del proyecto se documentó información relevante de este como las especificaciones de diseño, memorias de cálculo, archivos para manufactura del módulo y presentaciones de los avances que se fueron dando, todo esto con la finalidad de respaldar el desarrollo del proyecto en evidencia objetiva y hacer la información de este accesible para futuros cambios, implementaciones o expansiones.

### 7.2.7.- Presentación

Finalmente, se realizó una presentación corporativa del desarrollo y resultados obtenidos del proyecto, frente a un grupo de altos ejecutivos e ingenieros de la empresa, así que esta fue dinámica, sin presentar tecnicismos a fondo y con una demostración del módulo operando con un abridor de puertas.

## 8.- Participación profesional

### 8.1.- Sistema de suministro de energía

Para el diseño de esta parte del módulo, las principales consideraciones que se tomaron fueron:

- Voltajes requeridos
- Consumos de corriente mínimos, promedios y máximos de cada elemento
- Topología de la red de alimentación
- Rendimiento térmico

Para esta tarea, se analizó cada componente acorde a su hoja de especificaciones, basándose en la información mostrada en las tablas 3 y 4. Debido a que no se pueden mostrar los valores de los requerimientos ni de los cálculos, se representaran estos con un \*.

*Tabla 3: Requerimientos del dispositivo*

<b>Requerimientos</b>		
Parámetro	Valor	Unidades
Voltaje de alimentación	*	V
Temperatura de operación	*	°C
Resistencia unión-a-ambiente	*	°C/W

Tabla 4: Análisis de operación del dispositivo

Operación				
Modos de operación	I <sub>min</sub> [mA]	I <sub>prom</sub> [mA]	I <sub>max</sub> [mA]	Comentarios
...	...	...	...	
Consumo total	*	*	*	
Disipación de potencia	*	*	*	$P_d = V \cdot I$ [W]
Incremento de temperatura	*	*	*	$R_{ja} \cdot P_d$
Temperatura a 65°C	*	*	*	$T_j = T_a + R_{ja} \cdot P_d$

Para la selección de la topología, se decidió suministrar los voltajes para los circuitos electrónicos como se muestra en la tabla 5

Tabla 5: Topología del sistema de alimentación

V entrada [V]	V salida [V]	Tipo de regulador	Dispositivos conectados
24	10	LDO	APE
24	5	SMPS	Transceivers (UART y CAN)
5	3.3	LDO	Microprocesador, Proyecto RF

Basándose en las siguientes justificaciones:

Usar un LDO de 24 V a 10 V solo para el APE fue debido a dos razones:

- Un regulador LDO es mucho menos costoso que una SMPS, si embargo, es mucho menos eficiente y hay que tener especial cuidado con su rendimiento térmico, pero como este solo alimentó al APE y como la caída de voltaje no excedió alguna especificación, pudo utilizarse el LDO como una buena opción.
- El APE puede trabajar con un voltaje de operación de 7 V a 18 V, si este opera con algún voltaje entre 7 V y 10 V la temperatura de operación del dispositivo aumenta 10°C. Así que alimentar el APE con 10 V fue un buen equilibrio que aseguró un mejor rendimiento térmico para el APE y para el LDO.

Usar una SMPS de 24 V a 5 V fue debido a:

- No se pudo disponer de la línea de 10 V como voltaje de entrada porque el consumo de corriente que se generaría en esta excedería las especificaciones del LDO.
- Como el voltaje de entrada tuvo que ser el de la línea de 24 V, la única forma eficiente de obtener un voltaje de salida de 5V fue con una SMPS

Usar un LDO de 5 V a 3.3 V fue la mejor opción en relación eficiencia, complejidad y costo, ya que una caída de voltaje de 1.7 V es adecuada para ese tipo de reguladores.

Consideraciones que se tomaron en el diseño del *layout* para el sistema de alimentación:

- Para mejorar la EMC se requirió que:
  - La SMPS estuviera lo más alejado posible del microprocesador, esto debido a que la conmutación genera curvas de corriente variables con el tiempo que a su vez generan campos electromagnéticos que pueden generar interferencias tanto en el microprocesador como en los buses de comunicación
  - La conexión física entre el diodo Shotky, el inductor y el CI conmutador fuera lo más corto posible, debido a que es la conexión que genera más ruido de toda la SMPS.

Dejar un amplio plano de tierra debajo de los LDO, esto para aumentar la disipación de potencia y con ello mejorar el rendimiento térmico.

## 8.2.- Comunicación con el APE

Para establecer comunicación con el APE se requirió:

- Definir la capa física de la comunicación a través de un transceiver
- Definir la capa de datos de la comunicación a través de comunicación UART

### 8.2.1.- Transceiver RS485

El criterio de selección de este transceiver se basó, por orden de importancia, en:

- Tasa de transmisión en Mbits/s
- Temperatura de operación
- Consumo de corriente
- Costo

La configuración de este se basó en las recomendaciones del fabricante, las cuales incluían:

- Configuración de operación
- Sugerencia de implementar resistencias limitadoras de corriente en el bus de RS485
- Sugerencia de capacitores de filtrado en el bus de RS485

Para el diseño del *layout* se requirió que las dos líneas del bus RS485 fueran paralelas, esto debido a que es necesario conservar los parámetros eléctricos como resistencia y capacitancia de la línea lo más igual posible, lo cual aseguró una transmisión más confiable de los datos.

### 8.2.2.- Programación UART

La programación de la comunicación UART del microcontrolador se dividió en dos fases:

- En la primera fase, usando el módulo de desarrollo del microcontrolador, se habilitó y programó la comunicación UART a través de la IDE recomendada por el fabricante,

utilizando las librerías y funciones recomendadas por este y configurando en ellas parámetros como: tipo de paridad, tasa de transmisión y número de bits de término de marco. En esta fase se programó vía USB al microcontrolador.

- En la segunda fase, usando ya el módulo desarrollado, se implementó el código desarrollado en la fase anterior cambiando únicamente los puertos del microcontrolador destinados a este propósito. La programación se realizó a través de JTAG.

### 8.3.- Protecciones

#### 8.3.1.- ESD

Para la selección de las protecciones ESD, se consideraron los siguientes parámetros:

- Voltaje de trabajo
- Clasificación IEC 61000-4-2
- Voltaje de represión

Las protecciones contra eventos ESD están disponibles comercialmente para aplicaciones específicas, por lo que se emplearon protecciones para voltajes de trabajo de RS485 y CAN. El posicionamiento en el *layout* de estas protecciones fue lo más cercano que se pudo a los pines o puertos que estas tenían que proteger, esto debido a que un evento de ESD es impredecible tanto temporal como espacialmente, así que asegurar que el máximo rango de protección es indispensable.

#### 8.3.2.- PTC

Para la selección del PTC se consideraron los siguientes parámetros de diseño:

- Resistencia a 25 °C, el costo del PTC aumenta conforme esta resistencia es menor, afortunadamente como la tecnología que se usó fue SMT, esta resistencia no representó una caída de voltaje significativa en condiciones normales de operación.
- Corriente de activación o de viaje, como el PTC es un artefacto activado térmicamente, se aseguró que esta corriente fuera mayor que la corriente máxima de operación del módulo operando a 60°C (que corresponde a la máxima temperatura que puede presentarse en el módulo en una condición de operación)

## 9.- Resultados y aportaciones

El módulo electrónico desarrollado cumplió exitosamente su propósito, aunque para esto, se tuvieron que solucionar algunos problemas enlistados en la tabla 6

Tabla 6: Problemas, causas y soluciones en el módulo electrónico

Problema	Causa	Solución
No se podía programar el microcontrolador	Mala asignación de las terminales del conector de JTAG	Se soldaron cables para puentear correctamente el conector
No se podía comunicar con el APE	Las resistencias limitadoras de corriente en el bus de RS 485 generaron una disminución del voltaje tal que el transceiver no detectaba la señal del APE	Se cambiaron dichas resistencias limitadoras de corriente por resistencias de 0 hms
El transceiver CAN no funcionaba	El transceiver CAN se encontraba en "bajo consumo de energía" debido a una mala configuración del hardware	Se corrigió la mala configuración de hardware puenteadando correctamente las terminales del transceiver

Una vez solucionados los problemas del diseño, con los módulos modificados, se ejecutó una estrategia de validación que derivó en los siguientes resultados:

- El módulo desarrollado fue capaz de transmitir, por un cable de 12 m de longitud, la posición del motor cuyo eje fue acoplado al APE.
- El módulo desarrollado pudo operar correctamente a los límites temperatura de operación, es decir, a  $-20^{\circ}\text{C}$  y a  $+60^{\circ}\text{C}$ . Probados en una cámara térmica con temperatura ajustable
- La comunicación entre el módulo desarrollado con la del proyecto de RF fue exitosa, pudiendo añadir la capacidad de transmitir información inalámbricamente.

Cabe mencionar que una vez detectados los cambios que debían ser realizados, estos se hicieron en el esquemático y el *layout*, generando así la versión final del módulo electrónico, la cual se envió a manufacturar a una escala un poco más grande con la finalidad de tener los módulos electrónicos listos para la presentación al final del programa, desafortunadamente por retrasos ajenos a nuestro equipo, estas versiones finales no estuvieron listas para ese momento, así que se realizó la presentación final del proyecto con los módulos corregidos y soldados a mano que se usaron para la fase de validación.

## 10.- Conclusiones

Se pudo establecer comunicación entre el APE de interés y el bus de comunicación CAN, demostrando la factibilidad del uso de este APE para los productos de la empresa, con la consideración de que este, al ser *single-turn*, se necesita acoplar por medio de un arreglo de engranes de alta ganancia al eje del motor.

Se demostró de igual forma que los buses de datos CAN son una forma segura y robusta de transmitir información, debido a que esta es diferencial y a que el protocolo es robusto, y además la viabilidad de poder hacer integraciones modulares con este bus.

Todo el proceso de desarrollo resultó en la completa documentación del producto desarrollado, siendo un punto de partida, si así se desease, para la implementación de este en la producción de la empresa, considerando que deberían de realizarse pruebas funcionales más estrictas, acorde a los estándares de la empresa, y análisis más detallados sobre el diseño para manufactura de este.

## 11.- Bibliografía

Notas de aplicación:

1. NI\_CAN. (2020). *Introducción a CAN*. Obtenido de National Instruments: <https://www.ni.com/es-mx/innovations/white-papers/06/controller-area-network--can--overview.html>
2. Notes, E. (2020). *Thermistor ptc positive temperature coefficient*. Obtenido de Electronic Notes: [https://www.electronic-notes.com/articles/electronic\\_components/resistors/thermistor-ptc-positive-temperature-coefficient.php](https://www.electronic-notes.com/articles/electronic_components/resistors/thermistor-ptc-positive-temperature-coefficient.php)
3. NXP\_I2C. (2020). *I2C Bus*. Obtenido de NXP: <https://www.nxp.com/docs/en/application-note/AN10216.pdf>
4. TI\_LDO. (2020). *Texas Instruments*. Obtenido de LDO Basics: [https://www.ti.com/lit/eb/slyy151a/slyy151a.pdf?ts=1609644976507&ref\\_url=https%253a%252F%252Fwww.google.com%252F](https://www.ti.com/lit/eb/slyy151a/slyy151a.pdf?ts=1609644976507&ref_url=https%253a%252F%252Fwww.google.com%252F)
5. TI\_UART. (2020). *UART*. Obtenido de Texas Instruments: <http://www.ti.com/lit/ug/sprugp1/sprugp1.pdf>

Libros:

1. Wang, L.-T. (2007). *System on Chip Test Architectures: Nanometer design for testability*. Elsevier.

Manuales:

1. TI\_ESD. (2020). *ESD Protection Guide*. Obtenido de Texas Instruments: <http://www.ti.com/lit/sg/sszb130c/sszb130c.pdf>
2. TI\_RS485. (2020). *The RS-485 Design Guide*. Obtenido de Texas Instruments: <http://www.ti.com/lit/an/slla272c/slla272c.pdf>

3. TI\_Thermal. (2020). *Semiconductor and IC Package Thermal Metrics*. Obtenido de Texas Instruments: <https://www.ti.com/lit/an/spra953c/spra953c.pdf>

## 12.- Glosario de términos

- APE: *Absolute Position Encoder*
- UART: *Universal Asynchronous Receiver Transmitter*
- CAN: *Controler Area Network*
- CI: *Circuito Integrado*
- I2C: *Inter Integrated Communication*
- SPI: *Serial Peripheral Interface*
- ESD: *Electrostatic Discharge*
- PTC: *Positive Therman Coefficient*
- LDO: *Low Drop-Out*
- SMPS: *Switching Mode Power Supply*
- SMT: *Surface Mounting Technology*
- PCB: *Printed Circuit Board*
- JTAG: *Joint Test Access Port*